

GPC[®] 550

General Purpose Controller 80C552

MANUALE TECNICO



grifo[®]

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

<http://www.grifo.com>

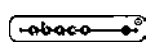
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



GPC[®] 550

Rel. 3.00

Edizione 11 Marzo 2003

 [®], GPC[®], grifo[®], sono marchi registrati della ditta grifo[®]



GPC[®] 550

General Purpose Controller 80C552

MANUALE TECNICO

Scheda in formato singola Europa da 100x160mm con interfaccia per il **BUS industriale Abaco[®]**. Microcontrollore **Philips 80C552**, da **22M Hz** o compatibili. Vari dispositivi di memoria: **32K EPROM**; **32K SRAM**; **32K EPROM, FLASH, EEPROM** o **SRAM**; fino a **1K EEPROM** seriale; **256 bytes SRAM** seriale. **Real Time Clock** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi e di generare un **INT** con cadenze definibili da software. Circuiteria di **back up** per **SRAM** e **RTC** con batteria al **Litio** e connettore per eventuale batteria esterna. 8 linee di **A/D** converter da **10 bits**, con fondo scala **+2,49V**, oppure **0÷20** o **4÷20 mA.**, tempo di conversione **27µs**, provviste di filtro passa banda. **1 LED** di stato piu' **3 LED** e **BUZZER** di segnalazione, gestiti via software. **1 dip switch** da 8 vie, di cui 7 leggibili da software, usato anche come selettore **RUN/DEBUG**. **1** linea seriale hardware settabile in **RS 232, RS 422, RS 485, Current Loop** passivo, con baud rate settabile da software, fino a **115 KBaud** ed una seriale software in **RS 232**. **40** linee di **I/O TTL**, settabili da software, di cui 24 gestite dal **PPI82C55** e 16 gestite dalla CPU (alcune di queste linee hanno duplice funzione). 2 uscite indipendenti di **PWM** da 8 bits. **3 timer counter** da 16 bits di cui uno con funzionalità di capture e comparazione, abbinata ad ingressi ed uscite disponibili sui connettori. 2 linee **I2C BUS**, di cui una hardware ed una software, disponibili sui connettori. Linea **CAN** opzionale basata sul controllore **PHILIPS SJA 1000** che supporta i protocolli **Basic CAN, CAN 2.0B** e **PeliCAN**, con bit rate fino a **1 MBit/sec**. Driver di linea **CAN PHILIPS 82C250** con separazione galvanica. **9 connettori** standard, disposti principalmente sul frontale della scheda, in modo da facilitare la connessione con gli altri sistemi e con il campo. Unica tensione di alimentazione a **5Vdc, 330 mA** massimi. Possibilità di funzionamento a basso consumo in modalità **idle** o **power down**. Vasta disponibilità di software di **sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**. Tra i pacchetti disponibili si possono citare: **GET 51; Monitor Debugger; Assemblatori**; compilatori **BASIC; FORTH**; compilatori **C; PLM 51**; compilatori **PASCAL**; ecc.

grifo[®]

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

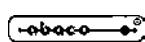
<http://www.grifo.com>

Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



GPC[®] 550

Rel. 3.00 Edizione 11 Marzo 2003

, GPC[®], grifo[®], sono marchi registrati della ditta grifo[®]

Vincoli sulla documentazione grifo® Tutti i Diritti Riservati

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della grifo®.

IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante grifo® non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.

grifo® altresì si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per grifo®.

Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:

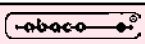


Attenzione: Pericolo generico



Attenzione: Pericolo di alta tensione

Marchi Registrati

 , GPC®, grifo® : sono marchi registrati della grifo®.

Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INDICE GENERALE

| | |
|---|----|
| INTRODUZIONE | 1 |
| VERSIONE SCHEDA | 1 |
| INFORMAZIONI GENERALI | 2 |
| MEMORIE | 3 |
| PROCESSORE DI BORDO | 4 |
| LOGICA DI CONTROLLO | 4 |
| BUS ABACO® | 4 |
| CLOCK | 6 |
| CONFIGURAZIONE SCHEDA | 6 |
| A/D CONVERTER | 6 |
| LINEE DI I/O DIGITALI | 7 |
| COMUNICAZIONE SERIALE | 7 |
| LINEA CAN | 8 |
| LINEE I2C BUS | 8 |
| LINEE PWM | 9 |
| SPECIFICHE TECNICHE | 10 |
| CARATTERISTICHE GENERALI | 10 |
| CARATTERISTICHE FISICHE | 10 |
| CARATTERISTICHE ELETTRICHE | 11 |
| INSTALLAZIONE | 12 |
| CONNESSIONI | 12 |
| J6 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP | 12 |
| CN3 - CONNETTORE PER I/O DEL PPI E I2C BUS SW | 13 |
| CN2 - CONNETTORE PER I/O DEL PPI | 14 |
| CN1 - CONNETTORE PER I/O DELLA CPU | 16 |
| JP3 - CONNETTORE PER LINEA SERIALE A | 18 |
| JP4 - CONNETTORE PER LINEA SERIALE B | 24 |
| CN4+CN5 - CONNETTORE PER ABACO® BUS | 26 |
| JP1 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM | 28 |
| JP5 - CONNETTORE PER LINEA CAN | 30 |
| INTERFACCIAMENTO CONNETTORI CON IL CAMPO | 34 |
| TRIMMER E TARATURE | 34 |
| SELEZIONE TIPO INGRESSI ANALOGICI | 35 |
| INTERFACCIE PER I/O DIGITALI | 36 |
| JUMPERS | 38 |
| JUMPERS A 2 VIE | 39 |
| JUMPERS A 4 VIE | 39 |
| JUMPERS A 3 VIE | 40 |
| JUMPERS A 5 VIE | 40 |
| RESET E POWER GOOD | 42 |
| SEGNALAZIONI VISIVE | 42 |
| INTERRUPTS | 43 |

| | |
|---|-----|
| ALIMENTAZIONE | 43 |
| SELEZIONE COMUNICAZIONE SERIALE | 44 |
| BACK UP | 46 |
| SELEZIONE MEMORIE | 47 |
| COLLEGAMENTO LINEA CAN | 48 |
| | |
| DESCRIZIONE SOFTWARE | 50 |
| | |
| MAPPAGGI ED INDIRIZZAMENTI | 52 |
| MAPPAGGIO DELLE RISORSE DI BORDO | 52 |
| MAPPAGGIO MEMORIE | 52 |
| MAPPAGGIO 0 | 53 |
| MAPPAGGIO 1 | 54 |
| MAPPAGGIO 3 | 55 |
| MAPPAGGIO BUS ABACO® | 56 |
| MAPPAGGIO PERIFERICHE | 56 |
| | |
| DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO | 57 |
| I2C BUS SOFTWARE | 57 |
| LEDS DI ATTIVITA' | 57 |
| BUZZER | 58 |
| EEPROM SERIALE | 58 |
| INGRESSI DI CONFIGURAZIONE | 58 |
| SRAM TAMPONATA + RTC SERIALE | 59 |
| PERIFERICHE DELLA CPU | 59 |
| COMUNICAZIONE RS 422, RS 485 | 60 |
| SERIALE SOFTWARE B | 60 |
| PPI 82C55 | 61 |
| LINEE I/O DELLA CPU | 62 |
| CONTROLLORE CAN | 62 |
| | |
| SCHEDE ESTERNE | 64 |
| | |
| BIBLIOGRAFIA | 68 |
| | |
| APPENDICE A: SCHEMI ELETTRICI | A-1 |
| | |
| APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO | B-1 |
| CPU 80C552 | B-1 |
| FAMIGLIA I51 | B-4 |
| CONTROLLORE CAN SJA 1000 | B-5 |
| SRAM+RTC PCF8583 | B-6 |
| | |
| APPENDICE C: INDICE ANALITICO | C-1 |

INDICE DELLE FIGURE

| | |
|--|-----|
| FIGURA 1: SCHEMA A BLOCCHI | 5 |
| FIGURA 2: J6 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP | 12 |
| FIGURA 3: CN3 - CONNETTORE PER I/O DEL PPI ED I2C BUS SW | 13 |
| FIGURA 4: CN2 - CONNETTORE PER I/O DEL PPI | 14 |
| FIGURA 5: SCHEMA DEL COLLEGAMENTO I/O DEL PPI | 15 |
| FIGURA 6: CN1 - CONNETTORE PER I/O DELLA CPU | 16 |
| FIGURA 7: SCHEMA COLLEGAMENTO LINEE DI I/O DELLA CPU | 17 |
| FIGURA 8: JP3 - CONNETTORE PER LINEA SERIALE A | 18 |
| FIGURA 9: PIANTA COMPONENTI LATO STAGNATURE | 19 |
| FIGURA 10: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232 | 20 |
| FIGURA 11: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 422 | 20 |
| FIGURA 12: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485 | 20 |
| FIGURA 13: ESEMPIO COLLEGAMENTO IN RETE IN RS 485 | 21 |
| FIGURA 14: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 4 FILI | 22 |
| FIGURA 15: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 2 FILI | 22 |
| FIGURA 16: ESEMPIO DI COLLEGAMENTO IN RETE IN CURRENT LOOP | 23 |
| FIGURA 17: JP4 - CONNETTORE PER LINEA SERIALE B | 24 |
| FIGURA 18: SCHEMA DI COMUNICAZIONE SERIALE | 25 |
| FIGURA 19: CN4+CN5 - CONNETTORE PER BUS ABACO® | 26 |
| FIGURA 20: JP1 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM | 28 |
| FIGURA 21: SCHEMA DI COLLEGAMENTO A/D CONVERTER | 29 |
| FIGURA 22: JP5 - CONNETTORE PER LINEA CAN | 30 |
| FIGURA 23: SCHEMA DI COLLEGAMENTO LINEA CAN | 31 |
| FIGURA 24: ESEMPIO COLLEGAMENTO IN RETE CON BUS CAN | 32 |
| FIGURA 25: DISPOSIZIONE CONNETTORI, TRIMMER, BATTERIA, MEMORIE, ECC. | 33 |
| FIGURA 26: PIANTA COMPONENTI LATO COMPONENTI | 37 |
| FIGURA 27: TABELLA RIASSUNTIVA JUMPERS | 38 |
| FIGURA 28: TABELLA JUMPERS A 2 VIE | 39 |
| FIGURA 29: TABELLA JUMPERS A 4 VIE | 39 |
| FIGURA 30: TABELLA JUMPERS A 3 VIE | 40 |
| FIGURA 31: TABELLA JUMPERS A 5 VIE | 40 |
| FIGURA 32: DISPOSIZIONE E NUMERAZIONE JUMPERS | 41 |
| FIGURA 33: TABELLA DELLE SEGNALAZIONI VISIVE | 42 |
| FIGURA 34: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE | 45 |
| FIGURA 35: TABELLA DI SELEZIONE MEMORIE | 47 |
| FIGURA 36: FOTO SCHEDA | 49 |
| FIGURA 37: MAPPAGGIO DELLE MEMORIE IN MODO 0 | 53 |
| FIGURA 38: MAPPAGGIO DELLE MEMORIE IN MODO 1 | 54 |
| FIGURA 39: MAPPAGGIO DELLE MEMORIE IN MODO 3 | 55 |
| FIGURA 40: TABELLA INDIRIZZAMENTO PERIFERICHE | 56 |
| FIGURA 41: FLOW CHART INIZIALIZZAZIONE CONTROLLORE CAN | 63 |
| FIGURA 42: SCHEMA DELLE POSSIBILI CONNESSIONI | 65 |
| FIGURA A1: SCHEMA ELETTRICO IAC 01 | A-1 |
| FIGURA A2: SCHEMA ELETTRICO KDX x24 | A-2 |
| FIGURA A3: SCHEMA ELETTRICO QTP 16P | A-3 |

FIGURA A4: SCHEMA ELETTRICO QTP 24P - PARTE 1 A-4
FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2 A-5
FIGURA A6: SCHEMA ELETTRICO SPA 01 A-6



INTRODUZIONE

L'uso di questi dispositivi é rivolto - **IN VIA ESCLUSIVA** - a personale specializzato.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - **IN VIA ESCLUSIVA** - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'**ASSISTENZA TECNICA AUTORIZZATA**, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - **PRIMA DI COMINCIARE AD OPERARE** - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 550** versione **200702** e successive. La validità delle informazioni riportate è quindi subordinata al numero di versione della scheda in uso e l'utente deve quindi sempre verificare la giusta corrispondenza tra le due indicazioni. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio sotto alla batteria BT1 sul lato stagnature).

INFORMAZIONI GENERALI

La scheda **GPC® 550** é un potente modulo di controllo e di gestione nel formato standard **Singola Europa** da 100x160 mm. E' in grado di funzionare autonomamente come periferica intelligente, può essere remotata in una rete di telecontrollo e teleacquisizione ma può anche essere facilmente affiancata dalla ricca serie di periferiche, intelligenti e non, disponibili sul **BUS Industriale Abaco®**. La sua tipica installazione é quella su un mother board montato all'interno di un rack oppure su mother board per guide ad **Omega** (come **ABB 05** od **ABB 03**) che inoltre consentono la gestione di schede in formato **BLOCK** con **Abaco® I/O BUS**.

La scheda supporta varie versioni di microcontrollori quali **80C552**, **87C552**, ecc., tutti software compatibili con il diffusissimo **8051 INTEL** ed ha a bordo scheda notevoli risorse hardware. Particolarmente interessanti sono la disponibilità di 8 linee di **A/D converter** da 10 bits, le numerose linee di I/O a livello TTL, la linea di comunicazione **CAN** e le linee in **I2C BUS**.

La estrema modularita' e la notevole completezza di risorse hardware della scheda **GPC® 550** le consentono di poter affrontare applicazioni anche di notevole complessita' con estrema disinvoltura. La facilita' di impiego e' determinata anche dalla ricca serie di tools di sviluppo software basati su linguaggi sia a basso che alto livello che consentono di poter lavorare al meglio utilizzando unicamente un normale PC. Tra questi tools si ricordano i vari **compilatori C**, il **FORTH** ed il compilatore basic **BASCOM 8051**. Grande attenzione e' stata riservata alla messa a punto dell'applicativo, rendendo disponibili dei programmi che consentono di effettuare il **debug remoto** direttamente sulla scheda e che programmano direttamente la **FLASH** di bordo con il programma utente.

La **GPC® 550** é dotata di una serie di connettori normalizzati, standard **Abaco®**, che le consentono di utilizzare immediatamente la numerosa serie di moduli **BLOCK** di I/O, che permettono il collegamento diretto di interfacce operatori locali (**KDx x24**, **QTP xxP**) oppure di interfacce da campo costruite direttamente dall'utente o da terze parti, consentendo così una notevole riduzione dei costi.

- Formato singola Europa da 100x160mm con interfaccia per il **BUS industriale Abaco®**.
- Microcontrollore **Philips 80C552**, da **22M Hz** o compatibili.
- Vari dispositivi di memoria: **32K EPROM**; **32K SRAM**; **32K EPROM**, **FLASH**, **EEPROM** o **SRAM**; fino a **1K EEPROM** seriale; **256 bytes SRAM** seriale.
- **Real Time Clock** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi e di generare un **INT** con cadenze definibili da software.
- Circuiteria di **back up** per **SRAM** e **RTC** con batteria al **Litio** e connettore per eventuale batteria esterna.
- 8 linee di **A/D converter** da **10 bits**, con fondo scala **+2,49V**, oppure **0÷20** o **4÷20 mA.**, tempo di conversione **27µs**, provviste di filtro passa banda.
- **1 LED** di stato piu' **3 LED** e **BUZZER** di segnalazione, gestiti via software.
- **1 dip switch** da 8 vie, di cui 7 leggibili da software, usato anche come selettore **RUN/DEBUG**.
- **1** linea seriale hardware settabile in **RS 232**, **RS 422**, **RS 485**, **Current Loop** passivo, con baud rate settabile da software, fino a **115 KBaud** ed una seriale software in **RS 232**.
- **40** linee di **I/O TTL**, settabili da software, di cui 24 gestite dal **PPI 82C55** e 16 gestite dalla CPU (alcune di queste linee hanno duplice funzione).
- 2 uscite indipendenti di **PWM** da 8 bits.
- **3 timer counter** da 16 bits di cui uno con funzionalità di capture e comparazione, abbinata ad ingressi ed uscite disponibili sui connettori.
- 2 linee **I2C BUS**, di cui una hardware ed una software, disponibili sui connettori.

- Linea CAN opzionale basata sul controllore PHILIPS SJA 1000 che supporta i protocolli **Basic CAN**, **CAN 2.0B** e **PeliCAN**, con bit rate fino a **1 MBit/sec**.
- Driver di linea CAN PHILIPS **82C250** con separazione galvanica.
- **9 connettori** standard, disposti principalmente sul frontale della scheda, in modo da facilitare la connessione con gli altri sistemi e con il campo.
- Unica tensione di alimentazione a **5Vdc**, **330 mA** massimi.
- Possibilità di funzionamento a basso consumo in modalità **idle** o **power down**.
- Vasta disponibilità di software di **sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**. Tra i pacchetti disponibili si possono citare: **GET 51**; **Monitor Debugger** (FM0 52, MD/P, NO ICE 51); **Assemblatori** (ASM51, A51, SXA51); compilatori **BASIC** (BASCOM 8051, BXC51); **FORTH**; compilatori **C** (HI TECH C 51, DDS MICRO C 51, µC 51, SYS51CW); **PLM 51**; compilatori **PASCAL** (SYS51PW); ecc.

Viene di seguito riportata una descrizione dei blocchi funzionali della scheda, con indicate le operazioni effettuate da ciascuno di essi. Per una più facile individuazione di tali blocchi e per una verifica delle loro connessioni, fare riferimento alla figura 1.

MEMORIE

E' possibile dotare la scheda di un massimo di 97K e 256 bytes di memoria variamente suddivisi con un massimo di 32K EPROM, 32K SRAM, 32K SRAM/EEPROM/FLASH EPROM/EPROM, 256 bytes di SRAM seriale ed infine 1K di EEPROM seriale. La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all'applicazione da risolvere e quindi in relazione alle esigenze dell'utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con 32K SRAM, 256 bytes di SRAM seriale e 512 bytes di EEPROM seriale e che tutte le rimanenti memorie devono essere quindi opportunamente specificate in fase di ordine della scheda.

Tramite la circuiteria di Back Up presente a bordo scheda c'è inoltre la possibilità di tamponare fino ad un massimo di 32K e 256 bytes di SRAM aggiungendo quindi la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema anche per lunghi periodi di inattività, senza dover ricorrere a costosi gruppi di continuità esterni. La circuiteria di back up è basata su una batteria al Litio presente a bordo scheda e da una batteria esterna collegabile tramite un apposito connettore. Qualora la quantità di SRAM tamponata risulti insufficiente (ad esempio per sistemi di raccolta dati) si possono sempre utilizzare i moduli di SRAM tamponata e/o di EEPROM.

Il modulo di SRAM seriale montato su U14 è inoltre provvisto di un real time clock interno in grado di gestire via software l'orario (ore, minuti, secondi) e la data (giorno, mese, anno, giorno della settimana).

Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo, che provvede ad allocare i dispositivi all'interno dello spazio d'indirizzamento del microprocessore; tale logica di controllo provvede a gestire in modo completamente automatico diversi tipi di mappaggi richiesti dai diversi pacchetti software disponibili per la **GPC® 550**.

Per maggiori informazioni fare riferimento al capitolo "MAPPAGGI ED INDIRIZZAMENTI" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO". Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo strappaggio della scheda, fare riferimento al paragrafo "SELEZIONE MEMORIE".

PROCESSORE DI BORDO

La scheda **GPC® 550** è predisposta per accettare il processore **PHILIPS 80C552**, comprese le derivazioni che ne mantengono il pin out. Tale processore ad 8 bit è codice compatibile con il famoso 8051 della INTEL ed è quindi caratterizzato da un esteso set di istruzioni, da un'alta velocità di esecuzione e di manipolazione dati e da un'efficiente gestione vettorizzata degli interrupts. Di fondamentale importanza è la presenza delle seguenti periferiche interne al microprocessore:

- 8k bytes EPROM, 256 bytes RAM
- 5 gruppi di I/O digitali ad 8 bits (PORT);
- 2 Timer Counters da 16 bits (TMR CNT);
- 1 Timer Counter da 16 bits con funzioni di capture e compare (TMR CNT);
- 2 livelli di priorità per gli Interrupt (ICU);
- 15 sorgenti d'interrupt interne (ICU);
- 8 linee di conversione analogica digitale da 10 bits (ADC);
- 2 linee indipendenti per la generazione di frequenze ad 8 bits (PWM);
- 1 linea seriale multifunzione (UART);
- 1 linea per I²C bus (HW I2C);
- Timer di Watch Dog;
- Funzionamento in modalità IDLE o POWER DOWN;

Per maggiori informazioni a riguardo di questo componente si faccia riferimento all'apposita documentazione della casa costruttrice.

LOGICA DI CONTROLLO

Il mappaggio e la gestione di alcune delle periferiche presenti sulla scheda e dei dispositivi di memoria, è affidata ad un'opportuna logica di controllo che si occupa di allocare tali dispositivi nello spazio d'indirizzamento della CPU.

Per maggiori informazioni fare riferimento ai paragrafi "MAPPAGGIO I/O" e "MAPPAGGIO MEMORIE".

BUS ABACO®

Una delle caratteristiche di fondamentale importanza della **GPC® 550** è quella di disporre del cosiddetto **BUS ABACO®**: ovvero un connettore normalizzato **ABACO®** con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), schede con contatori e temporizzatori, schede per gestione di I/O logico bufferato, controllo assi, controllo temperature, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente.

Utilizzando mother board come l'**ABB 03** o l'**ABB 05** è inoltre possibile gestire tutte le schede periferiche in formato BLOCK con interfaccia per **ABACO® I/O BUS**. Tale caratteristica rende la scheda espandibile con un ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.

Da ricordare che tutte le linee del **BUS ABACO® I/O BUS** sono bufferate in modo da garantire una maggiore protezione contro i disturbi esterni ed il comando di un maggior numero di schede periferiche di espansione, senza problemi di fan-out.

Il capitolo "SCHEDE ESTERNE" mostra una breve descrizione di alcune di queste schede di espansione.

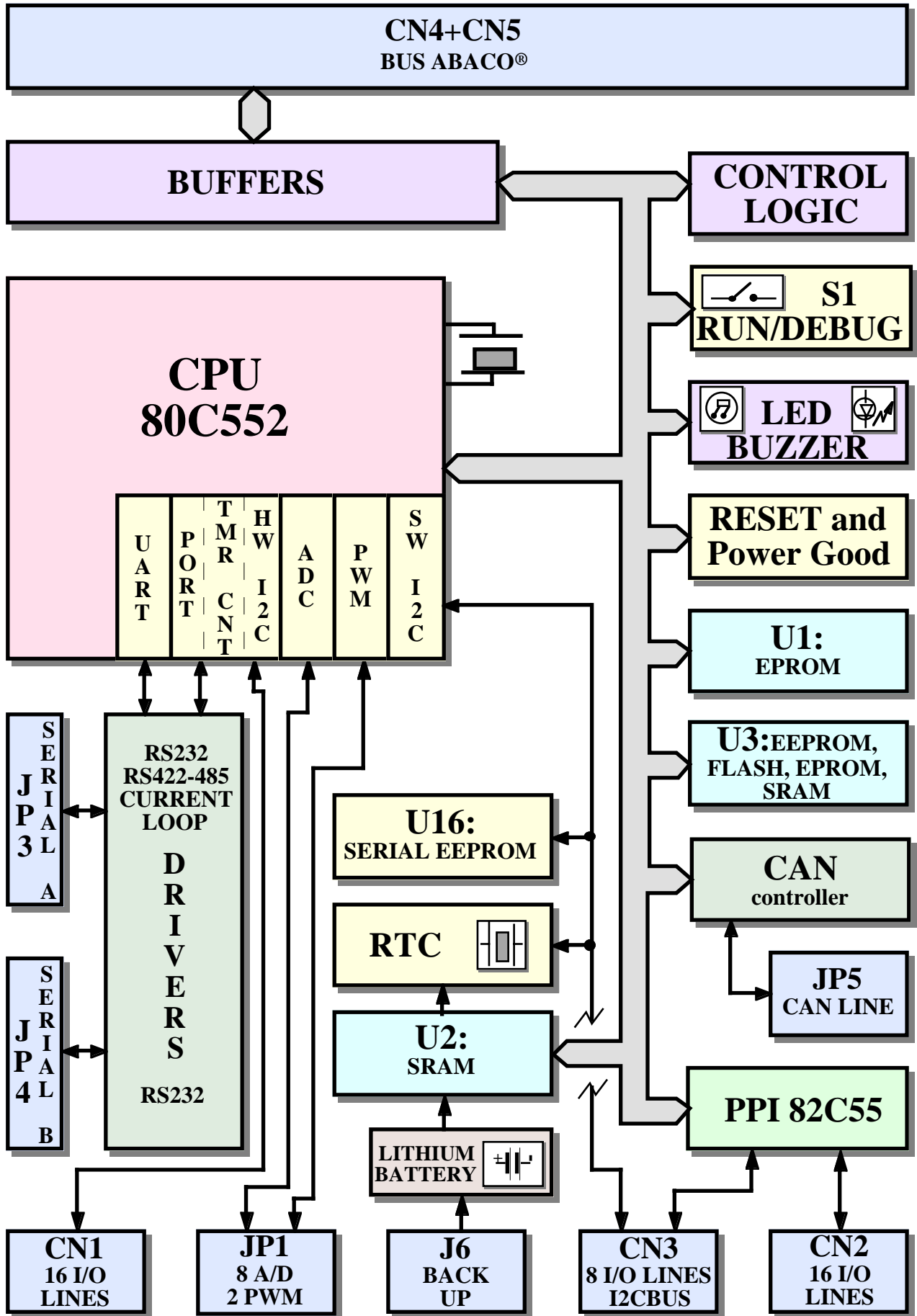


FIGURA 1: SCHEMA A BLOCCHI

CLOCK

Sulla **GPC® 550** sono presenti tre circuiterie di clock:

- La prima é basata su un quarzo che provvede a generare la frequenza di clock per la CPU da cui vengono ricavate anche le frequenze necessarie per le altre sezioni della scheda (Timer, Seriale, I2C BUS hardware, PWM, ecc.). Si ricorda che il valore standard di clock é di **22,1184 MHz**, ovvero quella del quarzo montato a bordo scheda, e che si può intervenire via software sull'apposita sezione di power management per variarne i valori e quindi i consumi. In caso di esigenze particolari si può richiedere una frequenza di clock diversa per la CPU ma tale configurazione deve essere concordata direttamente con la **grifo®**.
- La seconda circuiteria é basata su un quarzo che genera le frequenze necessarie al controllore CAN a **24 MHz**. Tale circuiteria é opzionale ed é presente solo in caso di ordine dell'opzione .CAN, mentre il suo valore é il risultato di un'approfondita progettazione e sperimentazione.
- Infine la terza circuiteria provvede a fornire le giuste temporizzazioni al real time clock di bordo ed é basata su un quarzo da **32,768 KHz**.

La scelta di utilizzare tre circuiti e quindi tre quarzi indipendenti, é legata alla possibilità di poter variare in modo indipendente la frequenza di lavoro della CPU.

CONFIGURAZIONE SCHEDA

Allo scopo di rendere configurabile la scheda ed in particolare il programma applicativo sviluppato, é stato previsto un dip switch ad 8 vie. L'acquisizione via software dello stato di 7 di questi dip, fornisce all'utente la possibilità di gestire diverse condizioni tramite un unico programma, senza dover rinunciare ad altre linee d'ingresso (le applicazioni caratteristiche sono: selezione della lingua di rappresentazione, definizione parametri del programma, selezione delle modalità operative, ecc). Alcuni pacchetti software sviluppati per la **GPC® 550** usano uno di questi dip per selezionare la modalità operativa RUN o DEBUG, come descritto negli appositi manuali d'uso degli stessi pacchetti.

In aggiunta la scheda ha un tre di attività ed un buzzer, gestibili via software, che possono essere usati per segnalare visivamente o acusticamente la configurazione attuale della scheda, come descritto negli appositi paragrafi.

Tutte le risorse di configurazione descritte sono completamente gestite via software, tramite la programmazione di appositi registri allocati nello spazio di I/O dalla logica di controllo.

A/D CONVERTER

La conversione A/D della **GPC® 550** é gestita dalla sezione ADC interna alla CPU, che sfrutta il principio delle approssimazioni successive. Le caratteristiche principali di questa sezione sono: risoluzione di 10 bit in modalità unipolare; 8 ingressi variabili nel range 0÷2,490V oppure 0÷20 mA, 4÷20 mA tramite apposito convertitore corrente tensione; tempo di conversione su singolo canale di 27 µsec; 20 Ksps di sample rate su ogni canale; semplicissima gestione software; generazione interrupt di fine conversione. La sezione ADC converter é completamente gestita via software, tramite la programmazione di due registri interni della CPU.

Al fine di semplificare la gestione del convertitore A/D, alcuni pacchetti software forniscono delle procedure di utility che gestiscono la sezione in tutte le sue parti.

LINEE DI I/O DIGITALI

La scheda dispone di due controllori di I/O digitale che sono utilizzati per comandare alcune risorse di bordo (EEPROM seriale, SRAM+RTC seriale, seriale software, ecc.) e per gestire 40 linee di I/O digitale TTL, a disposizione dell'utente, di cui:

- 16 con direzionalità settabile per ogni linea, collegate alla sezione PORT della CPU;
- 24 con direzionalità settabile a gruppi di 8 linee, collegate al PPI 82C55.

Tali linee sono collegate direttamente a due connettori a 20 vie con pin out standard **I/O ABACO®** ed hanno quindi la possibilità di essere direttamente collegate a numerose schede d'interfaccia.

Via software é definibile la funzionalità di queste linee, con possibilità di associarle anche alle periferiche della scheda (Timer Counter, Interrupt, I2C BUS, ecc.), tramite una semplice programmazione di alcuni registri interni della CPU.

Si ricorda inoltre che sulla **GPC® 550** sono disponibili altre 8 linee di solo ingresso TTL in alternativa agli ingressi analogici ed altre 2 linee di sola uscita TTL in alternativa alle uscite PWM; se l'applicazione da realizzare richiede più di 40 I/O ma non necessita di A/D e PWM, tali linee sono utilizzabili con un'appropriata gestione software.

Per maggiori informazioni fare riferimento ai paragrafi "CONNESSIONI", "INTERFACCE PER I/O DIGITALI", "LINEE I/O DELLA CPU" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

COMUNICAZIONE SERIALE

La **GPC® 550** é provvista di numerose interfacce per la comunicazione seriale tra cui linee I2C BUS, linea CAN e due linee asincrone. Le prime due sono descritte nei paragrafi successivi, mentre quest'ultime sono completamente settabili via software, in modo completamente autonomo. Per convenzione le linee di comunicazione asincrona vengono chiamate **A** (seriale hardware gestita dalla sezione UART della CPU in cui tramite alcuni registri interni si può definire via software il baud rate fino a 115200 ed il numero bit per carattere tra 8 e 9) e **B** (seriale software gestita con due linee di I/O in cui baud rate, bit per carattere, parità e stop bit sono tutti definiti dallo stesso software di gestione). Tramite appositi artifici software é comunque possibile settare la parità od il numero di stop bit anche per la linea seriale A, in modo da poter comunicare con la maggioranza dei dispositivi presenti sul mercato.

Dal punto di vista hardware, tramite una serie di comodi jumpers e driver da installare, é invece possibile selezionare il protocollo elettrico di comunicazione. In particolare la linea B é sempre bufferata in **RS 232**, mentre la rimanente linea A può essere bufferata in **RS 232**, **current loop** o **RS 422**, **RS 485**; in quest'ultimi casi é definibile anche l'attivazione e/o la direzionalità della linea di comunicazione. Qualora sia necessaria una linea seriale RS 232 provvista di anche due linee di handshake, ad esempio per comunicare con un modem, é possibile usare le 2 linee di comunicazione della seriale B che via software potranno svolgere funzioni di RTS, CTS, DTR, RI, ecc. Si ricorda che la scheda viene normalmente fornita con entrambe le linee seriali bufferate in RS 232 e che tutte le rimanenti configurazioni devono essere quindi opportunamente specificate in fase di ordine della scheda.

Per ulteriori informazioni in merito alla comunicazione seriale fare riferimento ai paragrafi "CONNESSIONI", "SELEZIONE COMUNICAZIONE SERIALE" e "SERIALE SOFTWARE B".

LINEA CAN

Questa sezione é basata sul potente controllore **SJA 1000** della PHILIPS e si preoccupa della gestione software del protocollo CAN in tutte le sue modalit  ed aspetti. Le caratteristiche fondamentali di questa sezione sono:

- supporto protocollo BasicCAN;
- supporto del protocollo PeliCAN 2.0B;
- gestione identificatori da 11 e 29 bits;
- buffer di trasmissione da 13 bytes;
- buffer di ricezione da 64 bytes;
- baud rate programmabile fino ad 1M Bit/sec;
- eliminazione del comparatore di ricezione;
- filtri di accettazione messaggi configurabili;
- driver di uscita programmabile;
- frequenza di lavoro 24M Hz.

Dal punto di vista elettrico la scheda   dotata dell'apposito driver di linea **82C250** della PHILIPS, galvanicamente isolato. Questo componente si preoccupa di soddisfare tutte le specifiche di collegamento con il campo, definite nel protocollo CAN senza richiedere alcun intervento software. Inoltre la linea CAN di bordo   galvanicamente isolata dal resto della scheda, in modo da garantire l'immunit  agli eventuali disturbi del campo; questa caratteristica   di fondamentale importanza soprattutto nel caso di collegamento con sistemi remoti a diversi potenziali oppure di collegamenti con cavi che attraversano ambienti elettricamente rumorosi. Un apposito DC/DC converter si preoccupa di generare le tensioni galvanicamente isolate richieste dal driver di linea, mentre l'interfacciamento con le linee di comunicazione del controllore CAN sono effettuati tramite appositi optoisolatori per alte frequenze.

Il collegamento con il campo della linea CAN   effettuato tramite un connettore a morsettiera a rapida estrazione a 3 vie che facilita il cablaggio e garantisce una buona trasmissione del segnale.

Si ricorda che la sezione CAN   opzionale, ovvero non presente se non specificata in fase di ordine della scheda: il codice di tale opzione   **.CAN**.

Dal punto di vista software la linea CAN   completamente configurabile tramite la programmazione di 64 registri allocati nello spazio di I/O dalla logica di controllo ed   in grado di generare interrupt in corrispondenza di numerose condizioni di stato.

Per ogni chiarimento necessario l'utente pu  fare riferimento all'apposita documentazione della casa costruttrice.

LINEE I2C BUS

La scheda **GPC® 550** dispone di due linee di comunicazione sincrone secondo lo standard I2C BUS, che le consentono di essere collegata alle numerose unit  che dispongono dello stesso tipo di interfaccia. Delle due linee una pu  essere definita hardware in quanto comandata da un'apposita sezione interna della CPU che ha le seguenti caratteristiche:

- trasferimento dati bidirezionale tra unit  master e slave;
- modalit  multimaster;
- arbitraggio della linea in caso di collisione, senza perdita di dati;

- sincronizzazione tra dispositivi che lavorano a diverse velocità;
- bit rate programmabile fino a 1,8M Bit/sec;
- gestione ad alto livello di trasmissione come master, trasmissione come slave;
- gestione ad alto livello di ricezione come master, ricezione come slave;
- generazione interrupt in corrispondenza di numerose condizioni di stato.

La seconda linea viene invece definita software in quanto é comandata da due linee di I/O della CPU, come descritto nel capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO" ed é già collegata a bordo scheda con due dispositivi I2C BUS che sono la EEPROM seriale e la SRAM+RTC seriale.

Entrambe le linee I2C BUS sono disponibili su comodi connettori a scatolino, su cui é presente anche la tensione di alimentazione, in modo effettuare una rapida connessione con le altre unità del sistema. Dal punto di vista software le linee I2C BUS sono completamente configurabili tramite la programmazione di alcuni registri interni della CPU.

LINEE PWM

Sono disponibili due linee indipendenti di PWM con cui é possibile generare dei segnali con frequenza e duty cycle definibile via software con una risoluzione di 8 bits. Le applicazioni tipiche di tali segnali sono il controllo della velocità di motori, infatti molti azionamenti dispongono di ingressi compatibili oppure la generazione di segnali analogici facilmente ottenibili tramite l'aggiunta di un semplice circuito integratore. Entrambe le linee sono riportate su un connettore a scatolino di facile cablaggio e sono gestite tramite tre registri interni della CPU.

Per ogni chiarimento necessario l'utente può fare riferimento all'apposita documentazione della casa costruttrice.

SPECIFICHE TECNICHE

CARATTERISTICHE GENERALI

| | |
|---------------------------------------|--|
| Risorse della scheda: | 16 input/output digitali TTL 24 input/output digitali TTL 3 timer counter a 16 bit 1 linea seriale RS 232 (B) 1 linea seriale RS 232, RS 422, RS 485, current loop (A) 2 linee I2C BUS 1 linea CAN 8 linee di A/D converter 2 linee PWM 3 LED gestibili via software 1 real time clock 1 buzzer 1 dip switch da 8 vie 1 circuiteria di reset e power good 1 circuiteria di back up 1 interfaccia BUS ABACO® |
| Memoria indirizzabile: | U1: EPROM da 32K x 8 U2: SRAM da 32K x 8 U3: FLASH, EEPROM, SRAM, EPROM da 32K x 8 U14: SRAM seriale da 256 byte U16: EEPROM seriale da 256 byte a 1K byte |
| Tempo d'accesso memorie: | 120 nsec |
| CPU di bordo: | PHILIPS P80C552 |
| Frequenza clock CPU: | 22,1184 MHz |
| Frequenza max contatori: | Frequenza clock CPU / 12 |
| Frequenza clock CAN: | 24 MHz |
| Bit rate massimo CAN: | 1 Mbit |
| Frequenza taglio ingressi A/D: | 1 MHz |
| Risoluzione A/D: | 10 bit |
| Tempo conversione A/D: | 27 µsec |
| Errore complessivo A/D: | ±1 punto |
| Frequenza clock RTC: | 32,768 KHz |
| Tempo di reset: | 200 msec |

CARATTERISTICHE FISICHE

| | |
|--------------------------------|--|
| Dimensioni (L x A x P): | formato singola EUROPA 100 x 160 x 20 100 x 172 x 20 ingombro esterno |
| Peso: | 150 g (versione base) |
| Connettori: | CN1: 20 vie scatolino verticale M CN2: 20 vie scatolino verticale M CN3: 20 vie scatolino 90 gradi M CN4+CN5: 64 vie DIN 41612 corpo C 90 gradi M |

JP1: 20 vie scatolino verticale M
 JP3: Plug a 6 vie 90 gradi F
 JP4: Plug a 6 vie 90 gradi F
 JP5: 3 vie morsettiera a rapida estrazione M
 J6: 2 vie scatolino verticale M

Range di temperatura:

da 0 a 70 gradi Centigradi

Umidità relativa:

20% fino a 90% (senza condensa)

CARATTERISTICHE ELETTRICHE

Tensione di alimentazione: 5 Vdc $\pm 5\%$
Corrente assorbita sui +5 Vdc: 150 mA * (conf. base)
 100 mA * (power down)
 330 mA * (conf. massima)
Batteria di bordo di back up: 3,0 Vdc; 1/2 AA
Batteria esterna di back up: 3,6 \div 5 Vdc
Corrente di back up: 2,7 μ A (batteria di bordo)
 3,4 μ A (batteria esterna da 3,6 Vdc)
Ingressi analogici: 0 \div 2,490 V
Ingressi analogici in corrente: 0 \div 20; 4 \div 20 mA (con modulo di conversione)
Impedenza ingressi analogici: Alta (non dichiarata dal costruttore)
Rete terminazione RS 422-485: Resistenza terminazione linea= 120 Ω
 Resistenza di pull up sul positivo= 3,3 K Ω
 Resistenza di pull down sul negativo=3,3 K Ω
Impedenza di linea CAN: 60 Ω
Rete terminazione CAN: Resistenza da 120 Ω , disinseribile
Soglia d'intervento power good: 4,62 V

* I dati riportati sono riferiti ad un lavoro a temperatura ambiente di 20 gradi centigradi (per ulteriori informazioni fare riferimento al paragrafo "ALIMENTAZIONE").

INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori, dei trimmers, dei LED, ecc. presenti sulla **GPC® 550**.

CONNESSIONI

Il modulo **GPC® 550** è provvisto di 9 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 25, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

J6 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

J6 é un connettore a scatolino, verticale, maschio, con passo 2,54 mm a 2 vie.

Tramite J6 deve essere collegata una batteria esterna che provvede a mantenere i dati delle SRAM di bordo ed a garantire il funzionamento del real time clock, in assenza di tensione di alimentazione (per maggiori informazioni fare riferimento al paragrafo "BACK UP").

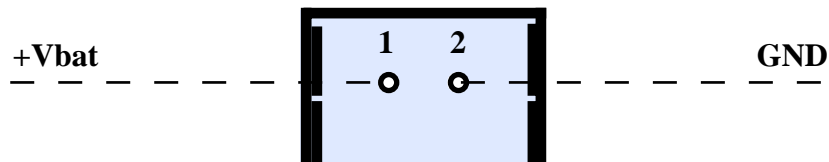


FIGURA 2: J6 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

Legenda:

+Vbat = I - Positivo della batteria esterna di back up.
GND = - Negativo della batteria esterna di back up.

CN3 - CONNETTORE PER I/O DEL PPI E I2C BUS SW

CN3 è un connettore a scatolino, a 90 gradi, maschio, con passo 2.54 mm, a 20 piedini. Tramite CN3 si effettua la connessione tra 8 linee di I/O digitale dell'interfaccia PPI, la linea I2C BUS software, la linea d'interrupt del RTC e l'ambiente esterno. Tutti i segnali di CN3 coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O ABACO®.

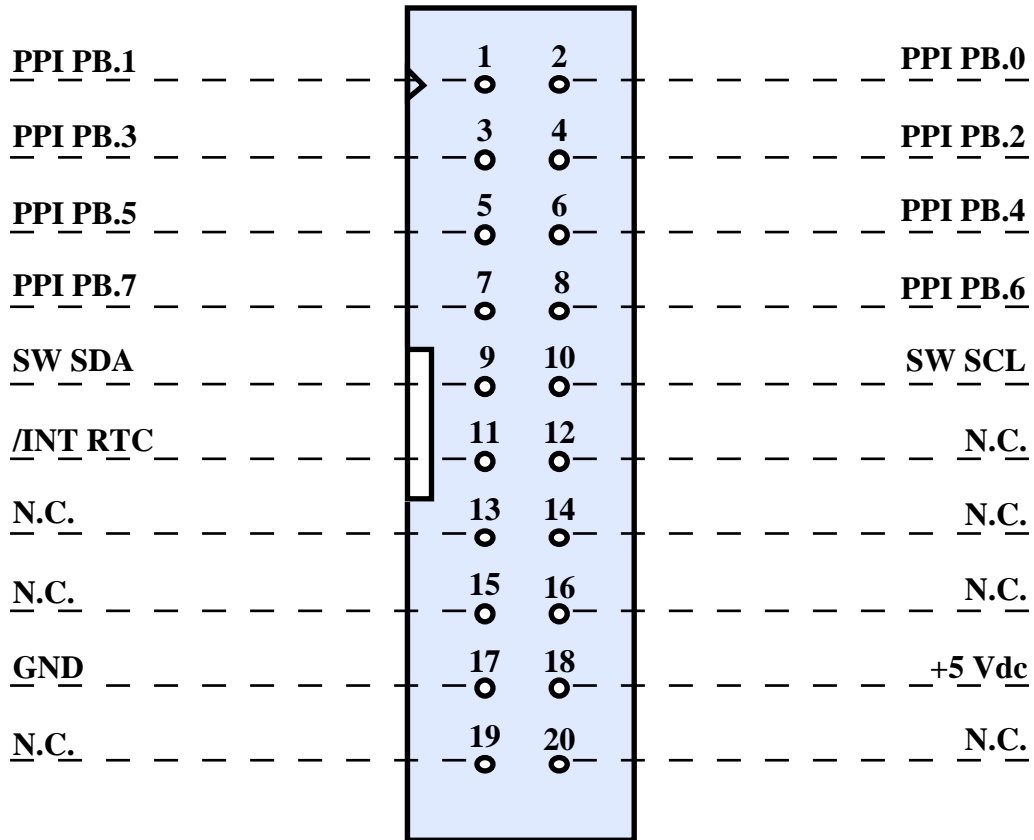


FIGURA 3: CN3 - CONNETTORE PER I/O DEL PPI ED I2C BUS SW

Legenda:

- PPI PB.n** = I/O - Linea digitale n del port B del PPI 82C55.
- SW SDA** = I/O - Linea dati della linea I2C BUS software.
- SW SCL** = I/O - Linea clock della linea I2C BUS software.
- /INT RTC** = O - Linea d'interrupt generata dal real time clock.
- +5 Vdc** = O - Linea di alimentazione a +5 Vdc.
- GND** = - Linea di massa.
- N.C.** = - Non collegato.

CN2 - CONNETTORE PER I/O DEL PPI

CN2 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini.

Tramite CN2 si effettua la connessione tra l'interfaccia periferica programmabile PPI 82C55 e l'ambiente esterno, utilizzando due dei tre port paralleli ad 8 bit di cui dispone. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O ABACO®.

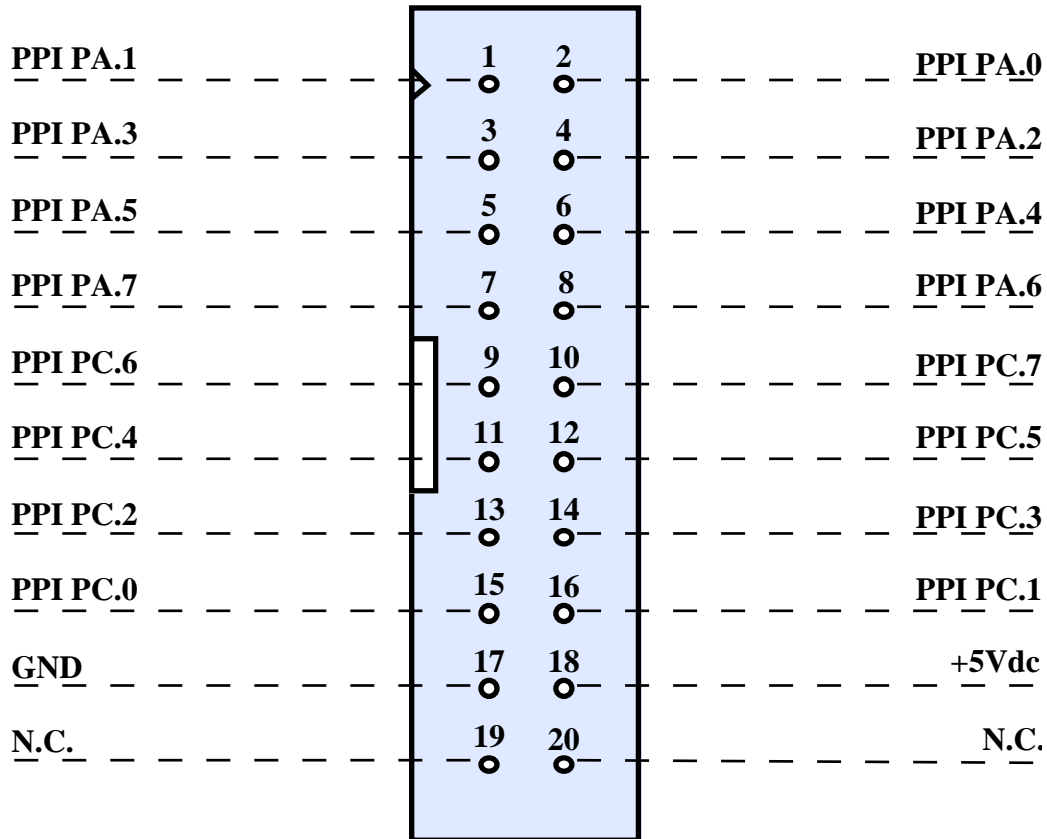


FIGURA 4: CN2 - CONNETTORE PER I/O DEL PPI

Legenda:

| | |
|-----------------|--|
| PPI PA.n | = I/O - Linea digitale n del port A del PPI 82C55. |
| PPI PC.n | = I/O - Linea digitale n del port C del PPI 82C55. |
| +5 Vdc | = O - Linea di alimentazione a +5 Vdc |
| GND | = - Linea di massa |
| N.C. | = - Non Collegato |

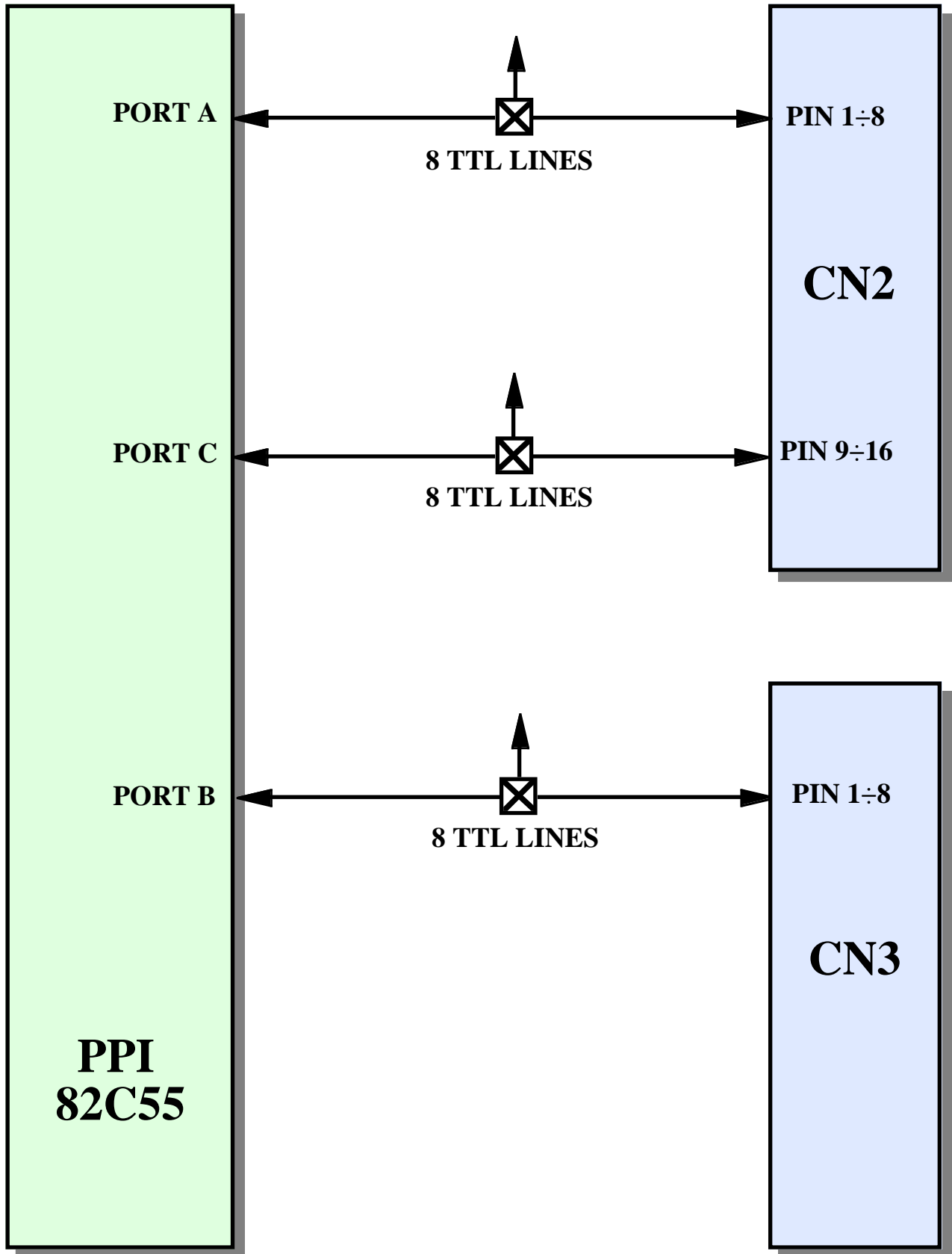


FIGURA 5: SCHEMA DEL COLLEGAMENTO I/O DEL PPI

CN1 - CONNETTORE PER I/O DELLA CPU

CN1 è un connettore a scatola verticale con passo 2.54 mm a 20 piedini.

Tramite CN5 si effettua la connessione tra i port 1 e 4 della CPU e l'ambiente esterno. Alcuni piedini di questo connettore hanno una duplice funzione infatti, via software, alcune sezioni interne della CPU possono essere multiplexate con i segnali di I/O. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL e seguono il pin out standardizzato I/O **ABACO**®.

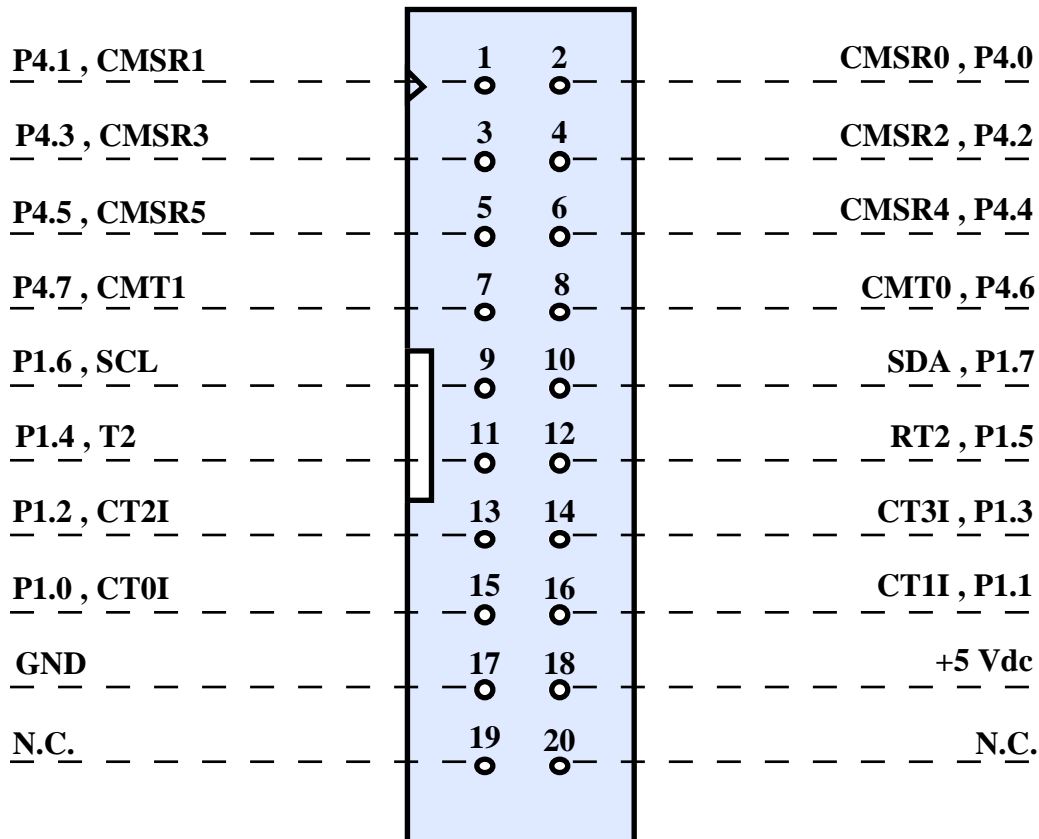


FIGURA 6: CN1 - CONNETTORE PER I/O DELLA CPU

Legenda:

| | |
|---------------|--|
| P1.n | = I/O - Linea digitale n del port 1 della CPU. |
| P4.n | = I/O - Linea digitale n del port 4 della CPU. |
| CMSRn | = O - Linea n di comparazione e set/reset sull'uguaglianza, con timer 2 della CPU. |
| CMTn | = O - Linea n di comparazione e complemento sull'uguaglianza, con timer 2 della CPU. |
| CTnI | = I - Linea n di cattura del valore attuale timer 2 della CPU. |
| SW SDA | = I/O - Linea dati della linea I2C BUS hardware. |
| SW SCL | = I/O - Linea clock della linea I2C BUS hardware. |
| T2 | = I - Linea di conteggio per timer 2 della CPU. |
| RT2 | = I - Linea di azzeramento conteggio per timer 2 della CPU. |
| +5 Vdc | = O - Linea di alimentazione a +5 Vdc |
| GND | = - Linea di massa |
| N.C. | = - Non Collegato |

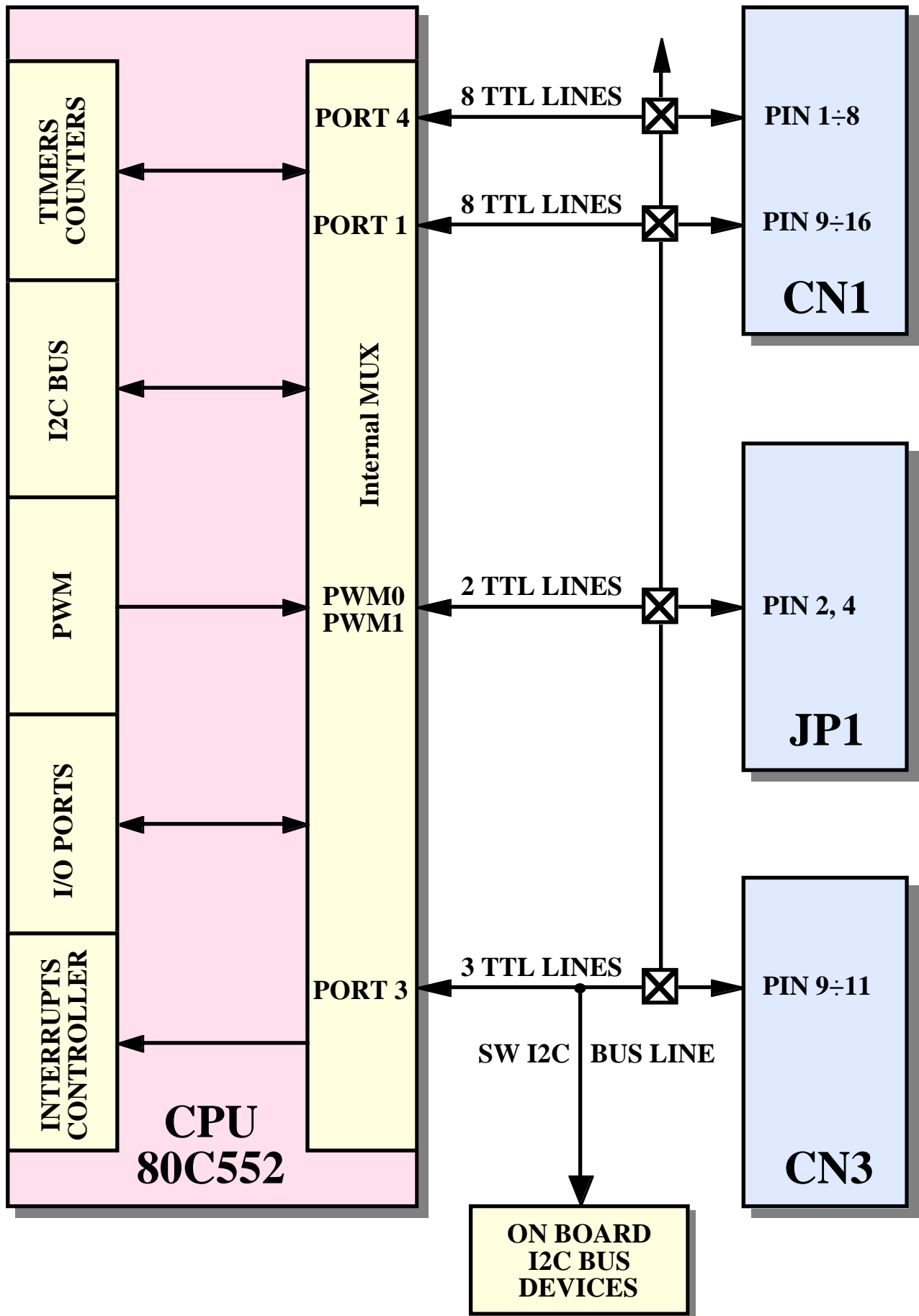


FIGURA 7: SCHEMA COLLEGAMENTO LINEE DI I/O DELLA CPU

JP3 - CONNETTORE PER LINEA SERIALE A

JP3 é un connettore femmina, a 90 gradi., del tipo plug a 6 vie.

Sul connettore sono disponibili i segnali per la comunicazione della linea seriale A, in RS 232, RS 422, RS 485 o current loop che é fisicamente collegata alla sezione UART della CPU. La disposizione dei segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative allo standard utilizzato.

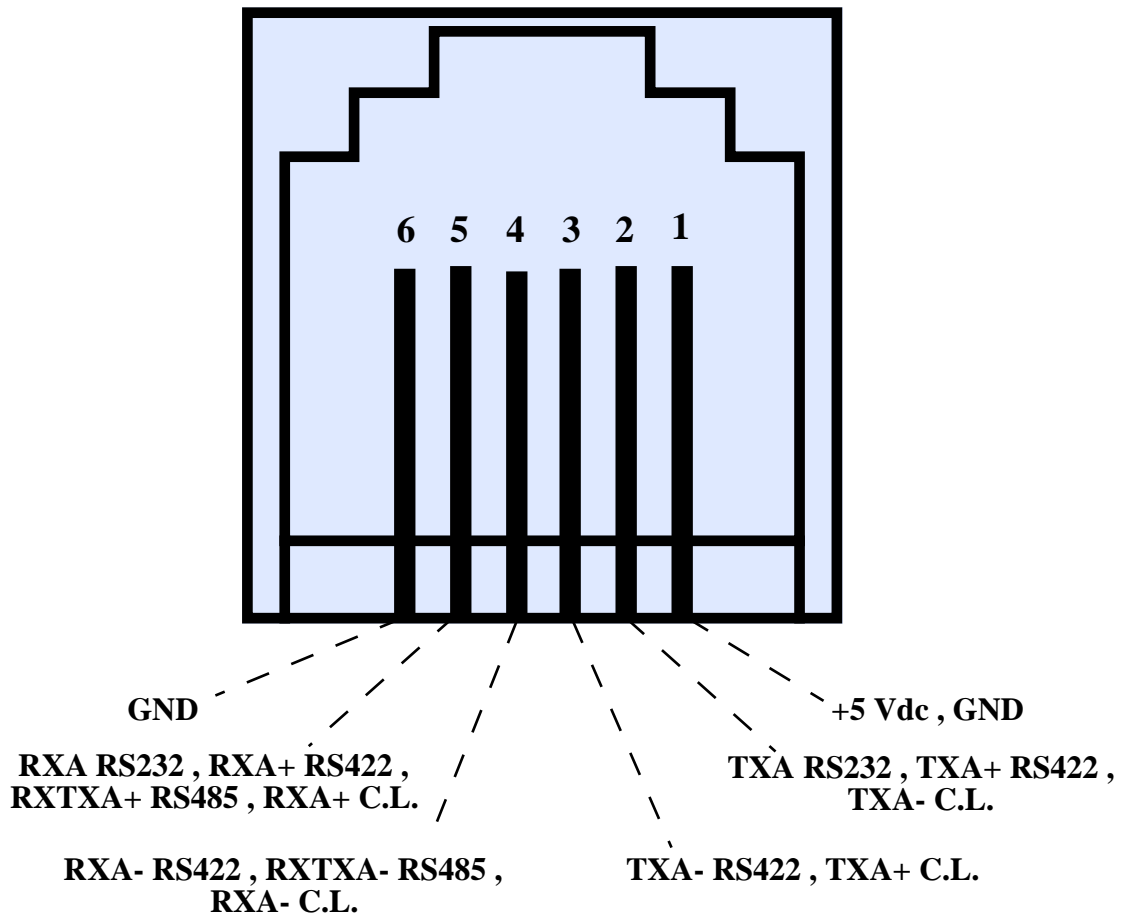


FIGURA 8: JP3 - CONNETTORE PER LINEA SERIALE A

Legenda:

| | |
|---------------------|---|
| RXA RS232 | = I - Receive Data: linea ricezione in RS 232 della seriale hardware=A. |
| TXA RS232 | = O - Transmit Data: linea trasmissione in RS 232 della seriale hardware=A. |
| RXA- RS422 | = I - Receive Data Negative: linea bipolare negativa di ricezione differenziale in RS 422 della seriale hardware=A. |
| RXA+ RS422 | = I - Receive Data Positive: linea bipolare positiva di ricezione differenziale in RS 422 della seriale hardware=A. |
| TXA- RS422 | = O - Transmit Data Negative: linea bipolare negativa di trasmissione differenziale in RS 422 della seriale hardware=A. |
| TXA+ RS422 | = O - Transmit Data Positive: linea bipolare positiva di trasmissione differenziale in RS 422 della seriale hardware=A. |
| RXTXA- RS485 | = I/O - Receive Transmit Data Negative: linea bipolare negativa di ricezione e trasmissione differenziale in RS 485 della seriale hardware=A. |

- RXTXA+ RS485** = I/O - Receive Transmit Data Positive: linea bipolare positiva di ricezione e trasmissione differenziale in RS 485 della seriale hardware=A.
- RXA- C.L.** = I - Receive Data Negative: linea bipolare negativa di ricezione in Current Loop della seriale hardware=A.
- RXA+ C.L.** = I - Receive Data Positive: linea bipolare positiva di ricezione in Current Loop della seriale hardware=A.
- TXA- C.L.** = O - Transmit Data Negative: linea bipolare negativa di trasmissione in Current Loop della seriale hardware=A.
- TXA+ C.L.** = O - Transmit Data Positive: linea bipolare positiva di trasmissione in Current Loop della seriale hardware=A.
- +5 Vdc** = O - Linea di alimentazione a +5 Vdc.
- GND** = - Linea di massa.

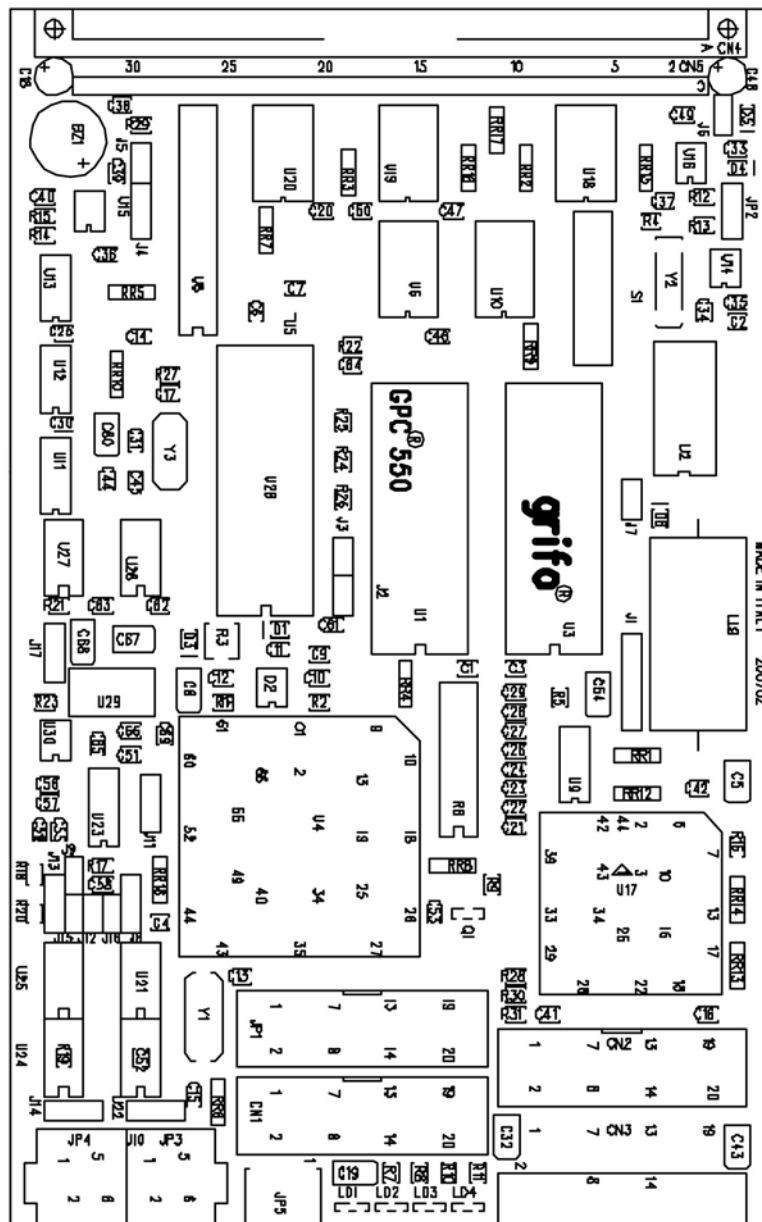


FIGURA 9: PIANTE COMPONENTI LATO STAGNATURE

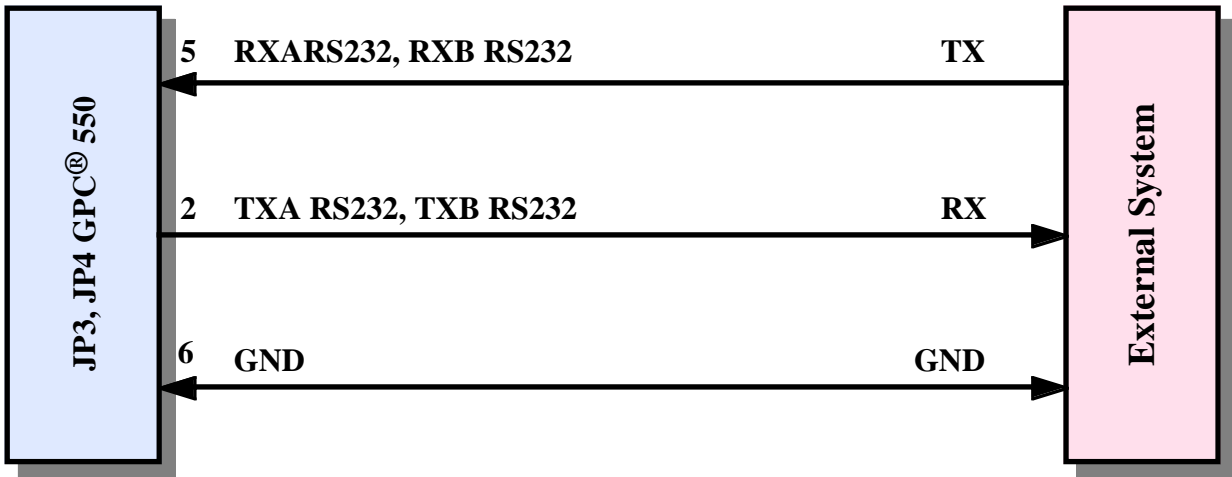


FIGURA 10: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 232

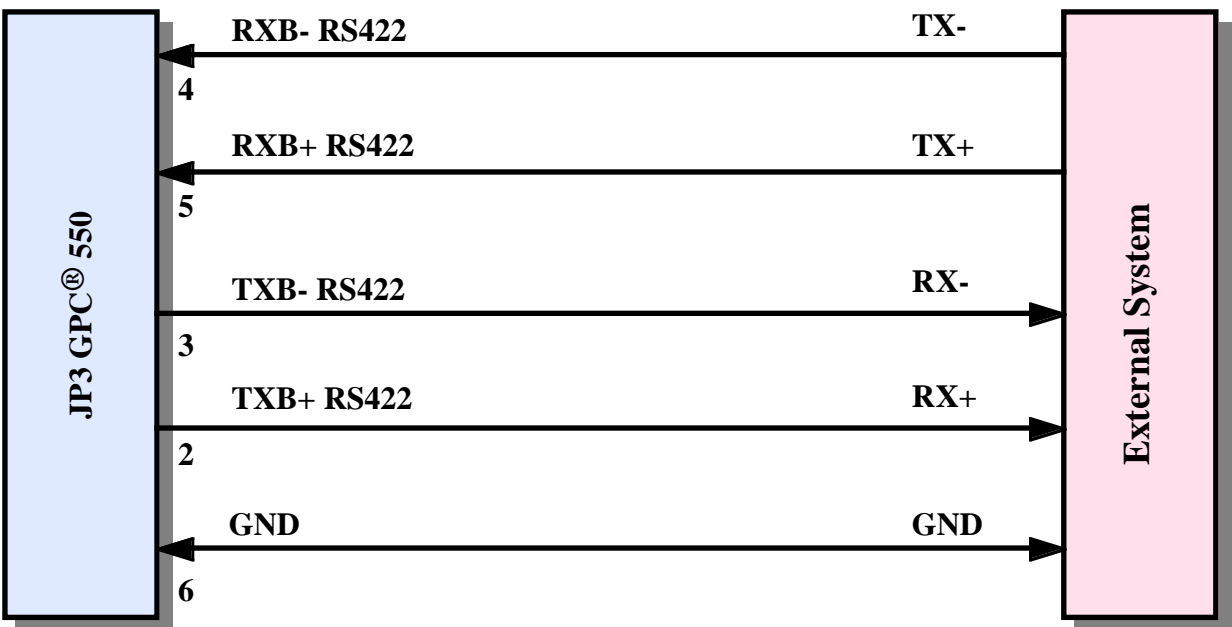


FIGURA 11: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 422

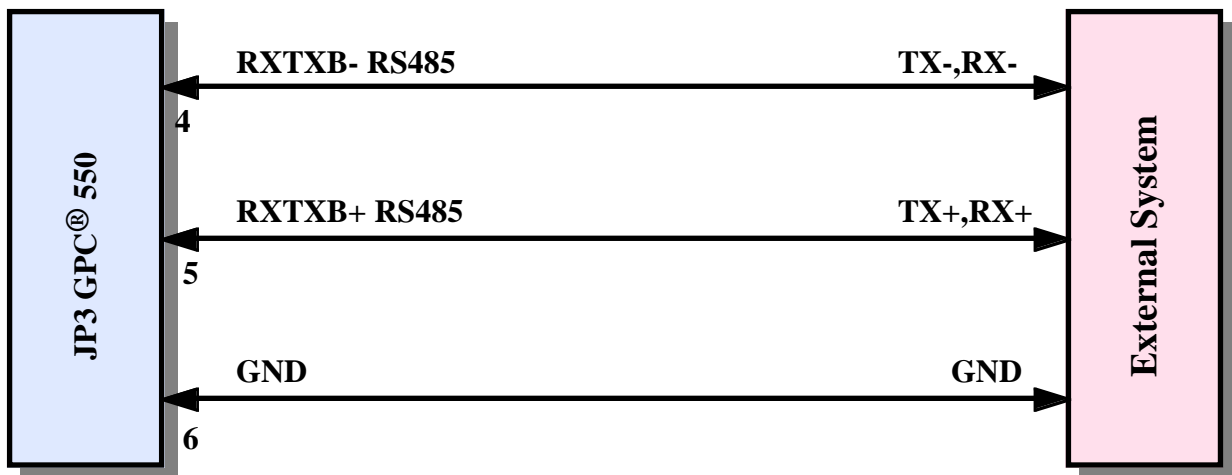


FIGURA 12: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN RS 485

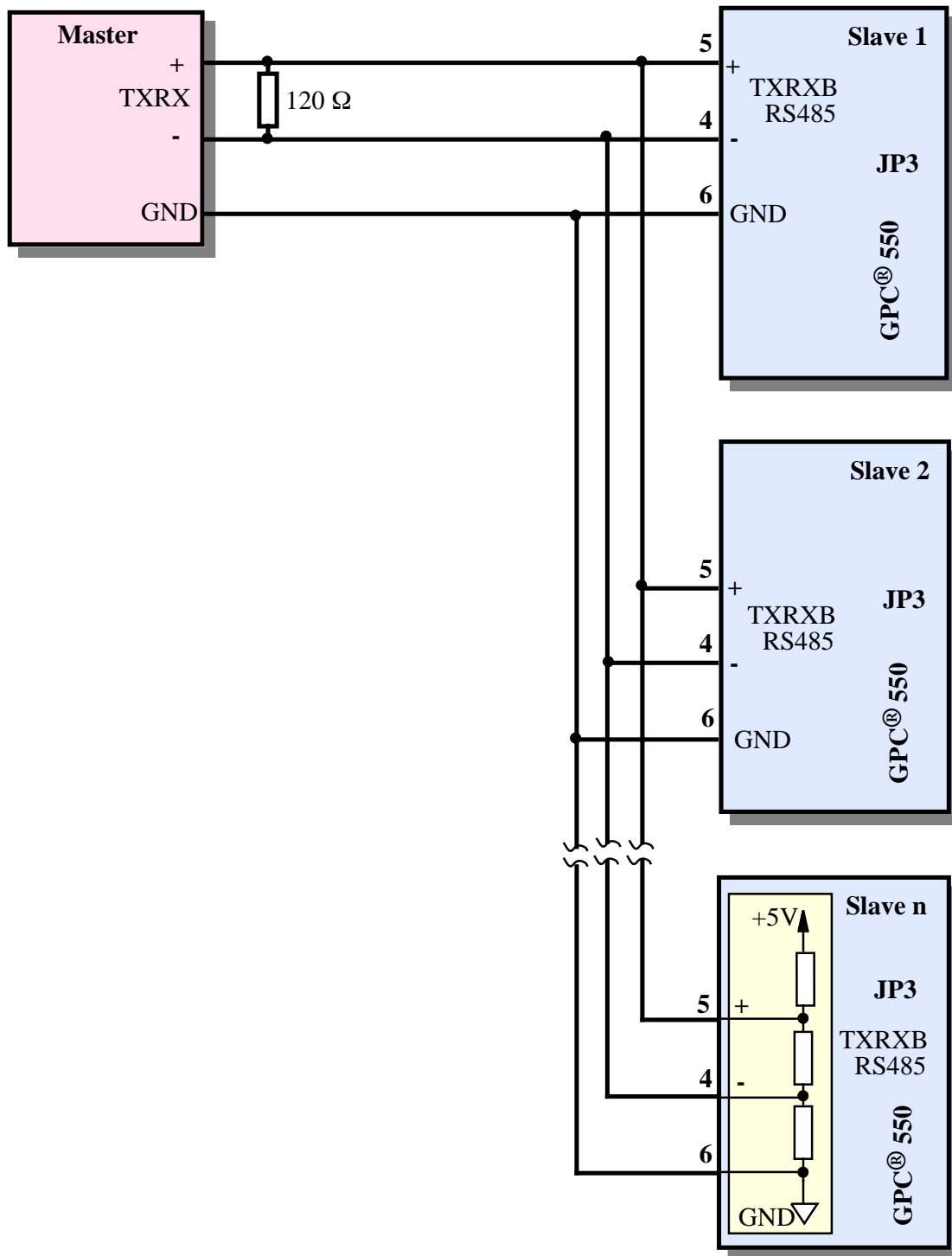


FIGURA 13: ESEMPIO COLLEGAMENTO IN RETE IN RS 485

Da notare che in una rete RS 485, devono essere presenti due resistenze di forzatura lungo la linea e due resistenze di terminazione (120Ω), alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.

A bordo della **GPC® 550** è presente la circuiteria di terminazione e forzatura, che può essere inserita o disinserita, tramite appositi jumpers, come illustrato in seguito.

In merito alla resistenza di terminazione dell'unità Master, provvedere a collegarla solo se questa non è già presente al suo interno (ad esempio molti convertitori RS232-RS485 ne sono già provvisti). Per maggiori informazioni consultare il Data-Book TEXAS INSTRUMENTS, "*RS 422 and RS 485 Interface Circuits*", nella parte introduttiva riguardante le reti RS 422-485.

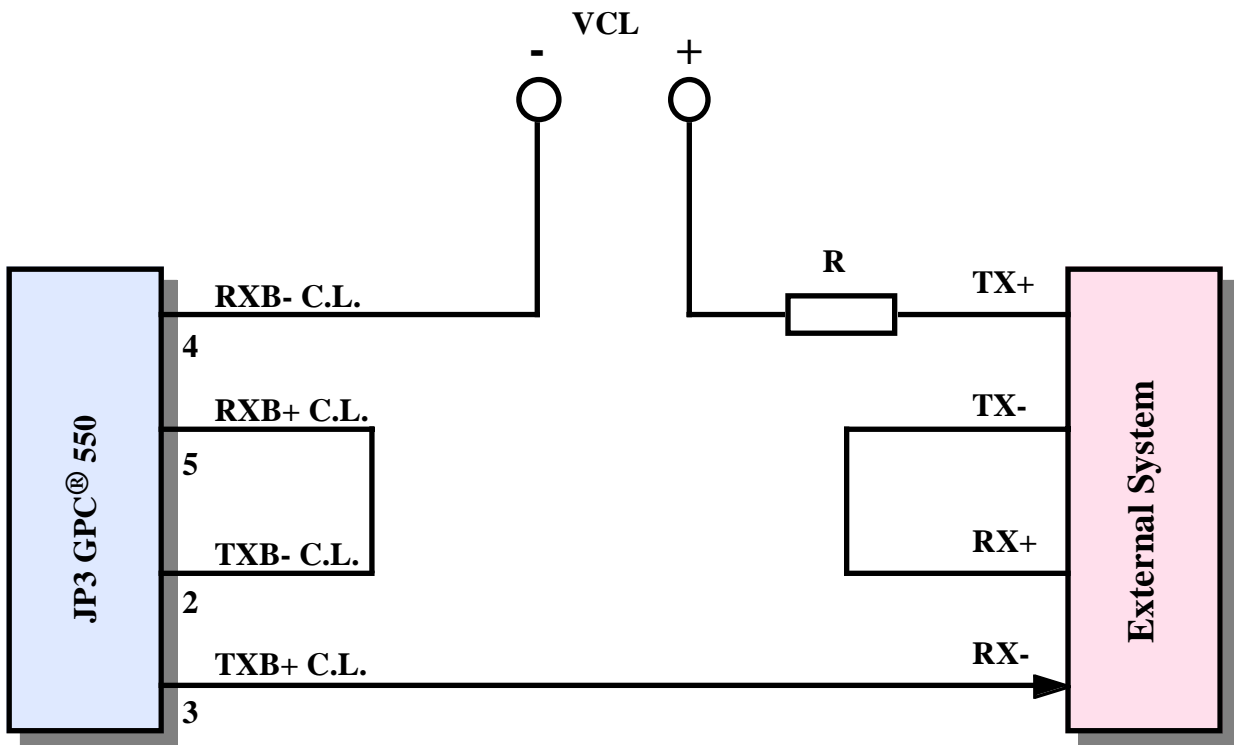


FIGURA 14: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 4 FILI

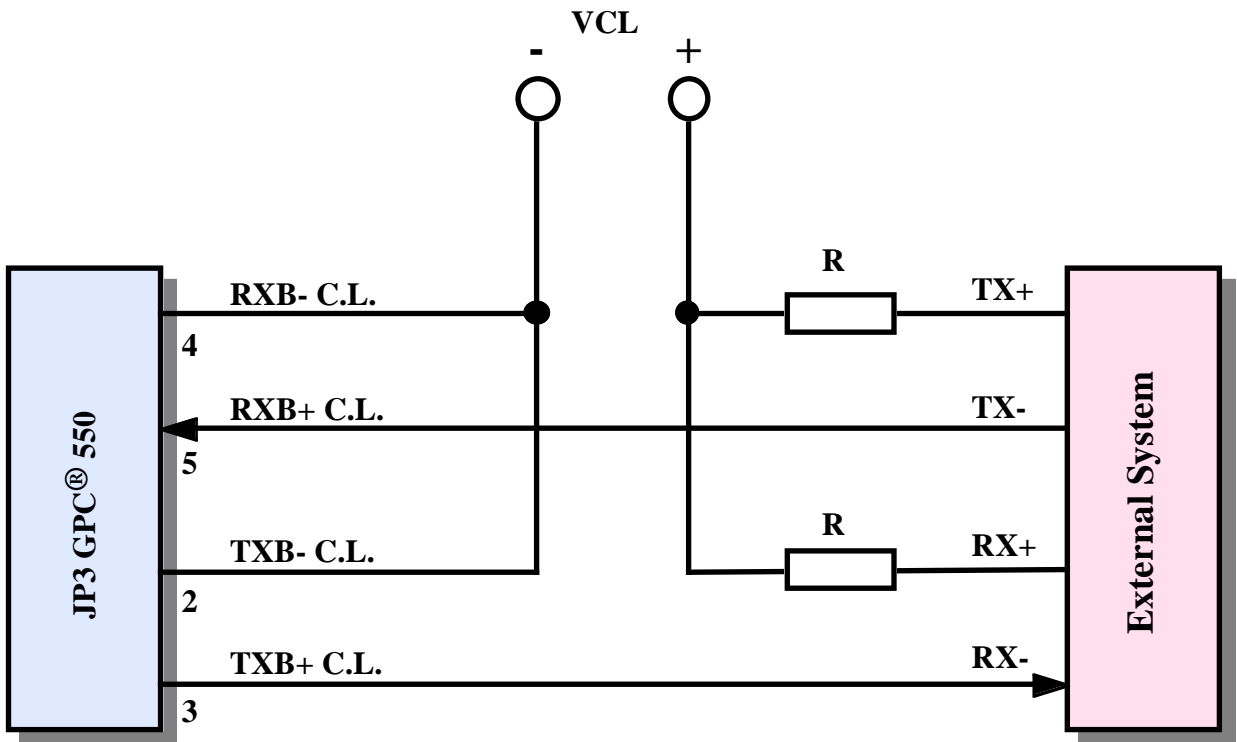


FIGURA 15: ESEMPIO COLLEGAMENTO PUNTO PUNTO IN CURRENT LOOP A 2 FILI

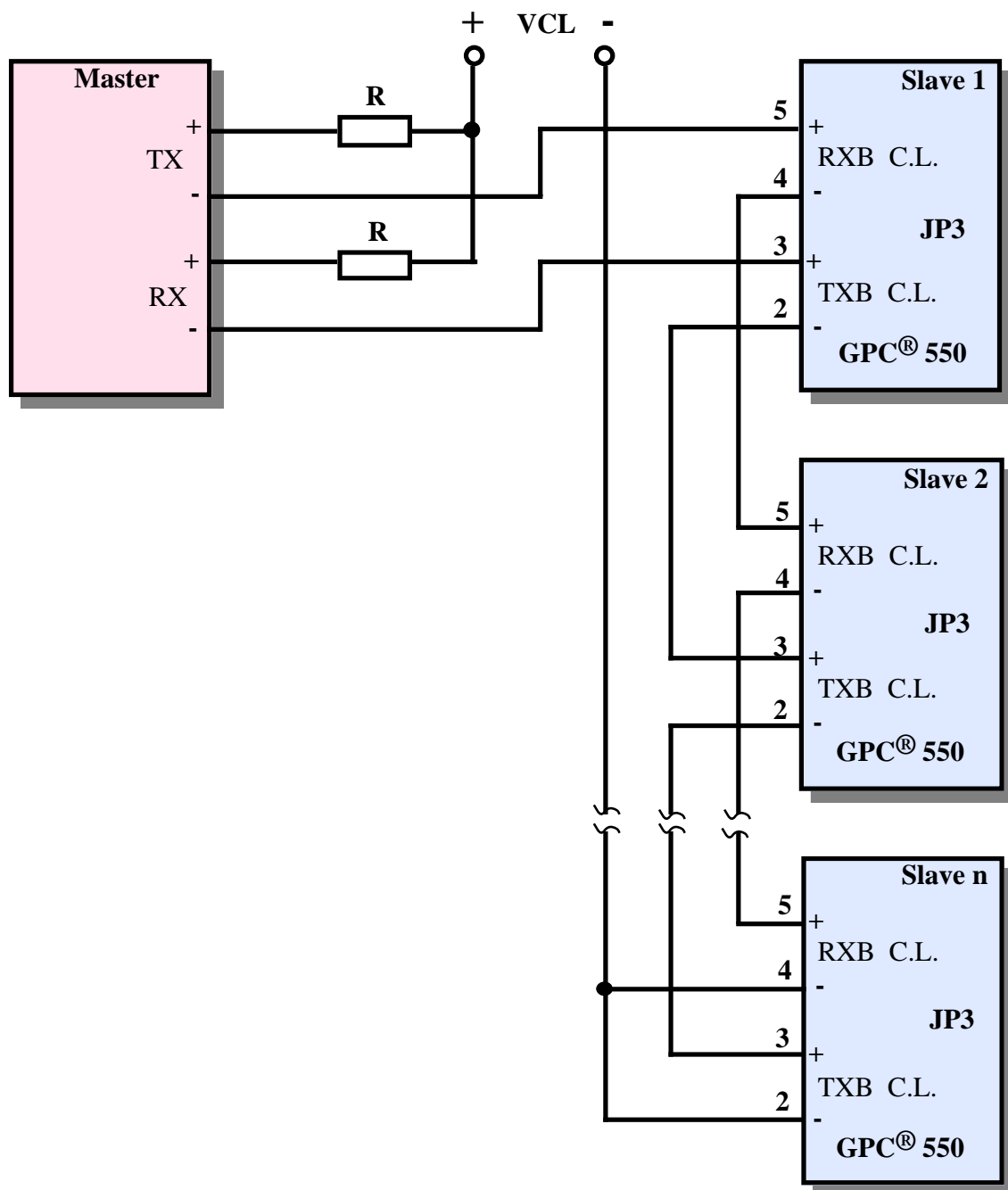


FIGURA 16: ESEMPIO DI COLLEGAMENTO IN RETE IN CURRENT LOOP

Per il collegamento in current loop passivo sono possibili due diversi tipi di collegamento: a 2 fili ed a 4 fili. Tali connessioni sono riportate nelle figure 14÷16; in esse è indicata la tensione per alimentare l'anello (**VCL**) e le resistenze di limitazione della corrente (**R**). I valori di tali componenti variano in funzione del numero di dispositivi collegati e della caduta sul cavo di collegamento; bisogna quindi effettuare la scelta considerando che:

- si deve garantire la circolazione di una corrente di **20 mA**;
- su ogni trasmettitore cadono mediamente **2,35 V** con una corrente di 20 mA;
- su ogni ricevitore cadono mediamente **2,52 V** con una corrente di 20 mA;
- in caso di cortocircuito sulla rete ogni trasmettitore dissipa al massimo **125 mW**;
- in caso di cortocircuito sulla rete ogni ricevitore dissipa al massimo **90 mW**.

Per maggiori informazioni consultare il Data-Book HEWLETT-PACKARD, nella parte che riguarda gli opto accoppiatori per current loop denominati **HCPL 4100** e **HCPL 4200**.

JP4 - CONNETTORE PER LINEA SERIALE B

JP4 é un connettore femmina, a 90 gradi, del tipo plug a 6 vie. Sul connettore sono disponibili i segnali per la comunicazione della linea seriale B, in RS 232, che é fisicamente collegata alla seriale software della scheda. La disposizione dei segnali, riportata di seguito, é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, mentre i segnali rispettano le normative definite dal CCITT relative allo standard RS 232.

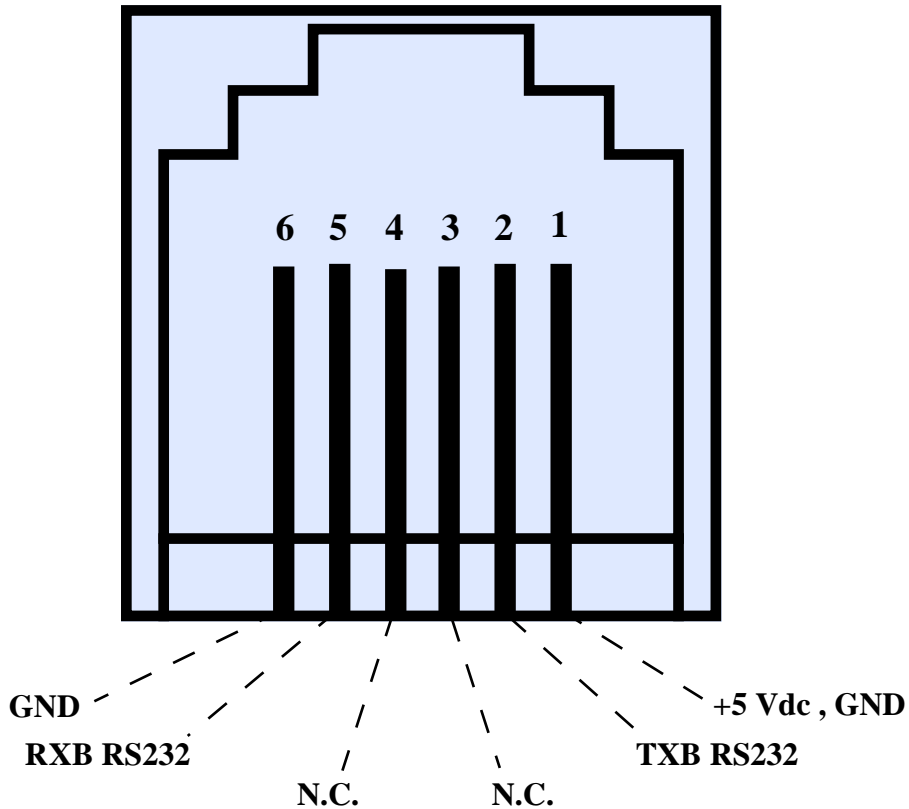


FIGURA 17: JP4 - CONNETTORE PER LINEA SERIALE B

Legenda:

- RxB RS232** = I - Receive Data: linea di ricezione in RS 232 della seriale software =B.
- TxB RS232** = O - Transmit Data: linea di trasmissione in RS 232 della seriale software=B.
- +5 Vdc** = I - Linea di alimentazione a +5 Vdc.
- GND** = - Linea di massa.
- N.C.** = - Non collegato.

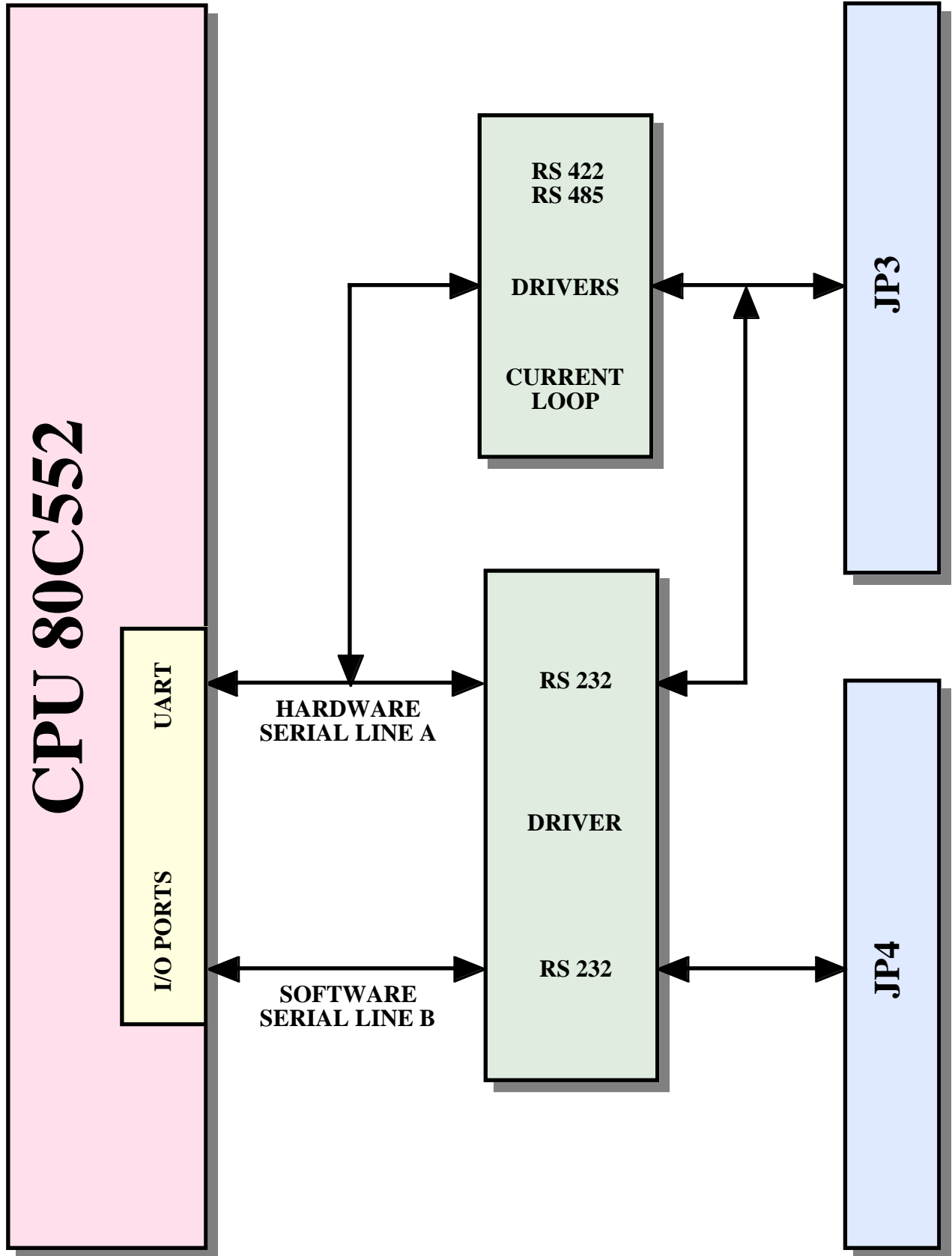


FIGURA 18: SCHEMA DI COMUNICAZIONE SERIALE

CN4+CN5 - CONNETTORE PER BUS ABACO®

CN4+CN5 è un connettore DIN 41612, corpo C, a 90 gradi, con passo 2.54 mm, da 64 piedini. Tramite CN4+CN5 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite il BUS industriale **ABACO®** di cui questo connettore riporta i segnali a livello TTL. Nella figura seguente è riportato il pin out del BUS e quindi anche del relativo connettore, con le variazioni per l'utilizzo di CPU a 16 Bit rispetto a quelle a 8 Bit.

| A BUS a 16 bit | A BUS a 8 bit | A = CN4 GPC 550 | PIN | C = CN5 GPC 550 | C BUS a 8 bit | C BUS a 16 bit |
|---------------------------------|--------------------------------|----------------------------------|------------|----------------------------------|--------------------------------|---------------------------------|
| GND | GND | GND | 1 | GND | GND | GND |
| +5 Vdc | +5 Vdc | +5 Vdc | 2 | +5 Vdc | +5 Vdc | +5 Vdc |
| D0 | D0 | D0 | 3 | N.C. | | D8 |
| D1 | D1 | D1 | 4 | N.C. | | D9 |
| D2 | D2 | D2 | 5 | N.C. | | D10 |
| D3 | D3 | D3 | 6 | N.C. | /INT | /INT |
| D4 | D4 | D4 | 7 | N.C. | /NMI | /NMI |
| D5 | D5 | D5 | 8 | N.C. | /HALT | D11 |
| D6 | D6 | D6 | 9 | N.C. | /MREQ | /MREQ |
| D7 | D7 | D7 | 10 | /IORQ | /IORQ | /IORQ |
| A0 | A0 | A0 | 11 | /RD | /RD | /RD LDS |
| A1 | A1 | A1 | 12 | /WR | /WR | /WR LDS |
| A2 | A2 | A2 | 13 | N.C. | /BUSAK | D12 |
| A3 | A3 | A3 | 14 | N.C. | /WAIT | /WAIT |
| A4 | A4 | A4 | 15 | N.C. | /BUSRQ | D13 |
| A5 | A5 | A5 | 16 | /RESET | /RESET | /RESET |
| A6 | A6 | A6 | 17 | N.C. | /M1 | /IACK |
| A7 | A7 | A7 | 18 | N.C. | /RFSH | D14 |
| A8 | A8 | N.C. | 19 | N.C. | /MEMDIS | /MEMDIS |
| A9 | A9 | N.C. | 20 | N.C. | VDUSEL | A22 |
| A10 | A10 | N.C. | 21 | N.C. | /IEI | D15 |
| A11 | A11 | N.C. | 22 | N.C. | | |
| A12 | A12 | N.C. | 23 | N.C. | CLK | CLK |
| A13 | A13 | N.C. | 24 | N.C. | | /RD UDS |
| A14 | A14 | N.C. | 25 | N.C. | | /WR UDS |
| A15 | A15 | N.C. | 26 | N.C. | | A21 |
| A16 | | N.C. | 27 | N.C. | | A20 |
| A17 | | N.C. | 28 | N.C. | | A19 |
| A18 | | N.C. | 29 | /R.T. | /R.T. | /R.T. |
| +12 Vdc | +12 Vdc | N.C. | 30 | N.C. | -12 Vdc | -12 Vdc |
| +5 Vdc | +5 Vdc | +5 Vdc | 31 | +5 Vdc | +5 Vdc | +5 Vdc |
| GND | GND | GND | 32 | GND | GND | GND |

FIGURA 19: CN4+CN5 - CONNETTORE PER BUS ABACO®

Legenda:

CPU a 8 bit

| | |
|----------------|---|
| A0-A15 | = O - Address BUS: BUS degli indirizzi. |
| D0-D7 | = I/O - Data BUS: BUS dei dati. |
| /INT | = I - Interrupt request: richiesta d'interrupt. |
| /NMI | = I - Non Mascherabile Interrupt: richiesta d'interrupt non mascherabile. |
| /HALT | = O - Halt state: stao di Halt. |
| /MREQ | = O - Memory Request: richiesta di operazione in memoria. |
| /IORQ | = O - Input Output Request: richiesta di operazione in Input Output. |
| /RD | = O - Read cycle status: richiesta di lettura. |
| /WR | = O - Write cycle status: richiesta di scrittura. |
| /BUSAK | = O - BUS Acknowledge: riconoscimento della richiesta di utilizzo del BUS. |
| /WAIT | = I - Wait: Attesa. |
| /BUSRQ | = I - BUS Request: richiesta di utilizzo del BUS. |
| /RESET | = O - Reset: azzeramento. |
| /M1 | = O - Machine cycle one: primo ciclo macchina. |
| /RFSH | = O - Refresh: rinfresco per memorie dinamiche. |
| /MEMDIS | = I - Memory Display: segnale emesso dal dispositivo periferico mappato in memoria. |
| VDUSEL | = O - VDU Selection: abilitazione per il dispositivo periferico ad essere mappato in memoria. |
| /IEI | = I - Interrupt Enable Input: abilitazione interrupt da BUS in catene di priorità. |
| CLK | = O - Clock: clock di sistema. |
| /R.T. | = I - Reset Tast: tasto di reset. |
| +5 Vdc | = I - Linea di alimentazione a +5 Vcc. |
| +12 Vdc | = I - Linea di alimentazione a +12 Vcc. |
| -12 Vdc | = I - Linea di alimentazione a -12 Vcc. |
| GND | = - Linea di massa per tutti i segnali del BUS. |
| N.C. | = - Non Collegato |

CPU a 16 bit

| | |
|----------------|---|
| A0-A22 | = O - Address BUS: BUS degli indirizzi. |
| D0-D15 | = I/O - Data BUS: BUS dei dati. |
| /RD UDS | = O - Read Upper Data Strobe: lettura del byte superiore sul BUS dati. |
| /WR UDS | = O - Write Upper Data Strobe: scrittura del byte superiore sul BUS dati. |
| /IACK | = O - Interrupt Acknowledge: riconoscimento della richiesta d'interrupt da parte della CPU. |
| /RD LDS | = O - Read Lower Data Strobe: lettura del byte inferiore sul BUS dati. |
| /WR LDS | = O - Write Lower Data Strobe: scrittura del byte inferiore sul BUS dati. |

N.B.

Le indicazioni di direzionalità sopra riportate sono riferite ad una scheda di comando (CPU o GPC®) e sono state mantenute inalterate in modo da non avere ambiguità d'interpretazione nel caso di sistemi composti da più schede.

JP1 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM

JP1 é un connettore a scatolino, verticale, con passo 2.54 mm a 20 piedini.

Tramite JP1 possono essere collegate le 8 linee analogiche d'ingresso ed i due segnali PWM con il campo esterno. Le prime sono direttamente collegate alla sezione A/D, sono ad alta impedenza, sono provviste di un condensatore di filtro e possono variare nel range 0÷2,49 V. Tramite l'installazione di un opportuno modulo di conversione (**.8420**) é inoltre possibile collegare agli 8 ingressi dei segnali in corrente nel range 0÷20 mA o 4÷20 mA. La disposizione dei segnali su questo connettore é studiata in modo da ridurre tutti i problemi di rumore ed interferenza, garantendo quindi un'ottima trasmissione dei segnali, e segue lo standard A/D **ABACO**[®].

Molti dei segnali di questo connettore hanno una duplice funzione infatti, via software, la sezione interna della CPU ADC può essere multiplexata con i segnali digitali di ingresso a livello TTL.

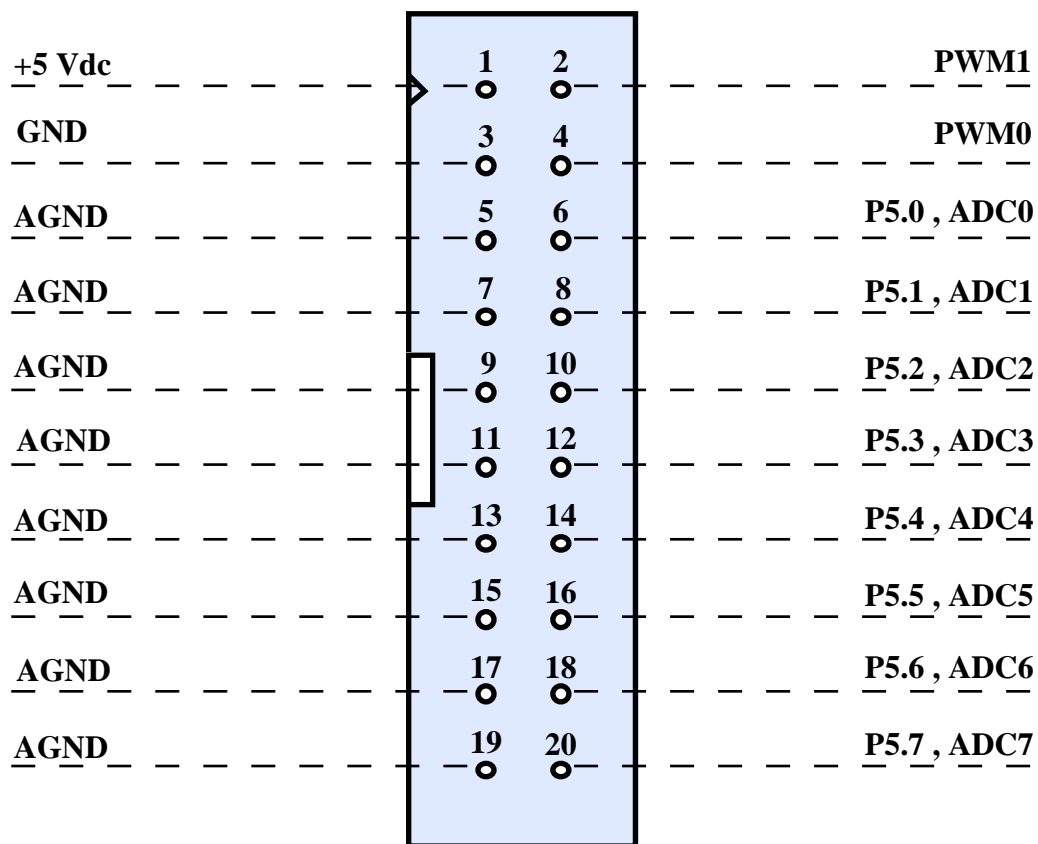


FIGURA 20: JP1 - CONNETTORE PER INGRESSI A/D E SEGNALI PWM

Legenda:

| | | |
|---------------|-----|---|
| ADCn | = I | - Linea analogica d'ingresso collegata al canale n della sezione A/D converter. |
| P5.n | = I | - Linea digitale n del port 5 della CPU. |
| PWM0 | = O | - Linea PWM n. 0 della CPU. |
| PWM1 | = O | - Linea PWM n. 1 della CPU. |
| AGND | = | - Linea di massa analogica |
| +5 Vdc | = O | - Linea di alimentazione a +5 Vdc |
| GND | = | - Linea di massa |

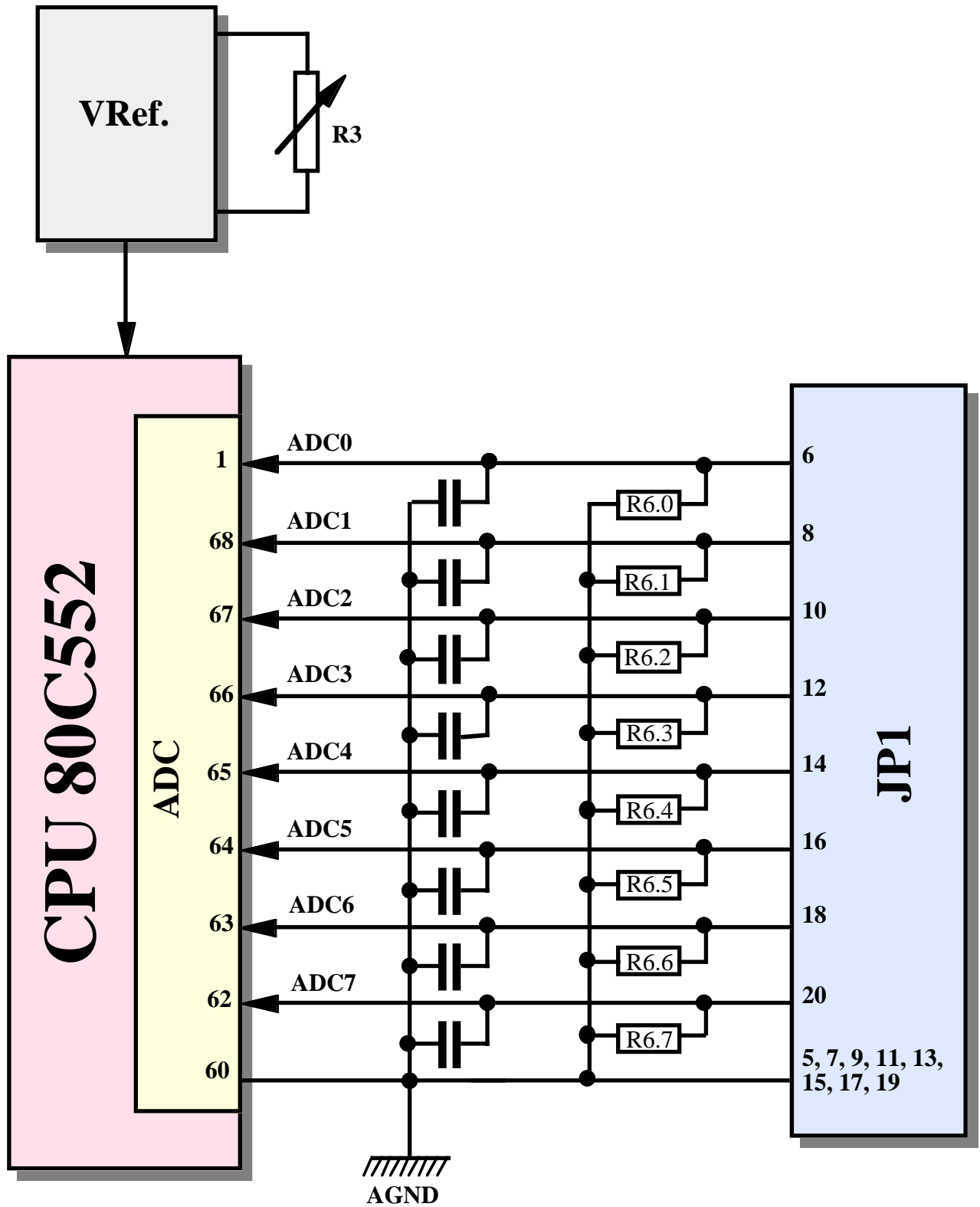


FIGURA 21: SCHEMA DI COLLEGAMENTO A/D CONVERTER

JP5 - CONNETTORE PER LINEA CAN

JP5 é un connettore a morsettiera, a rapida estrazione, a 90 gradi, maschio, con passo 3,5 mm a 3 piedini.

Tramite JP5 si può collegare la scheda ad una linea di comunicazione seriale CAN ottenendo un veloce, comodo ed efficiente nodo sul BUS di campo definito dallo stesso protocollo. La disposizione dei segnali é stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare la connessione con il campo, seguendo le normative dello stesso standard.

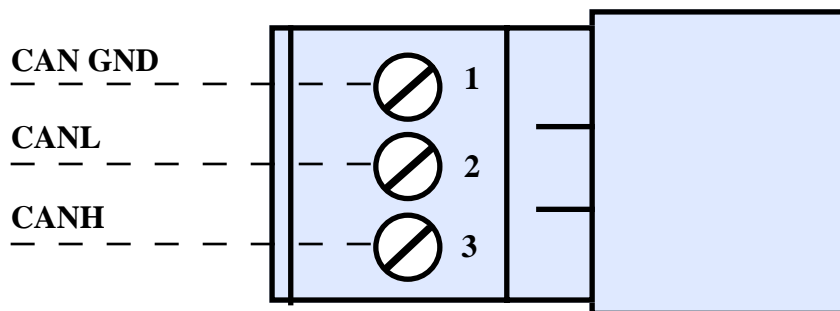


FIGURA 22: JP5 - CONNETTORE PER LINEA CAN

Legenda:

CANL = I/O - Linea differenziale low per CAN BUS.
CANH = I/O - Linea differenziale high per CAN BUS.
CAN GND = - Linea di massa della linea CAN.

N.B.

La tensione di alimentazione della sezione CAN é galvanicamente isolata dalla tensione di alimentazione della **GPC® 550** quindi il segnale **CAN GND** non deve essere collegato ai segnali GND ed AGND presenti sugli altri connettori. Per ulteriori informazioni consultare il paragrafo "ALIMENTAZIONE".

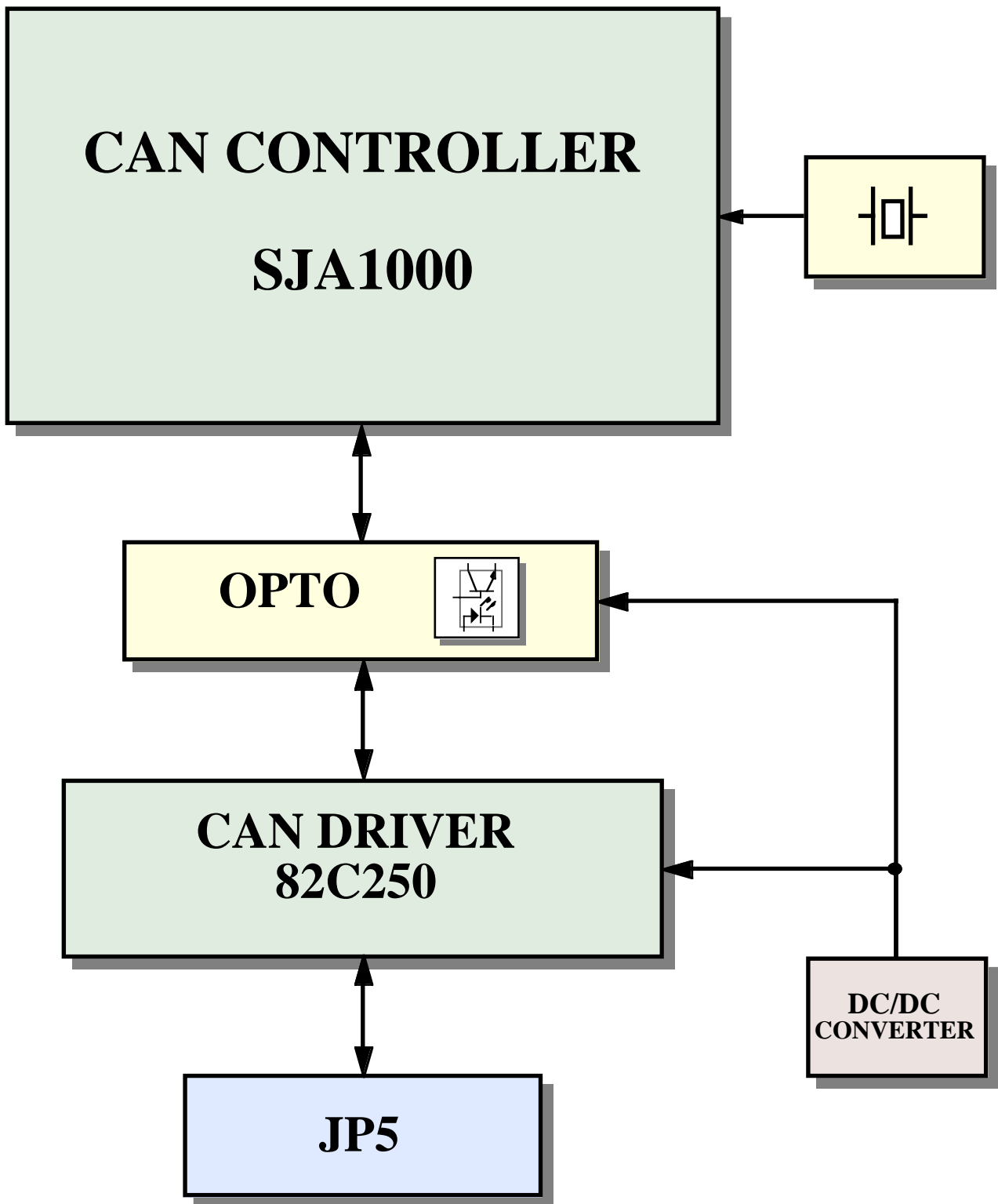


FIGURA 23: SCHEMA DI COLLEGAMENTO LINEA CAN

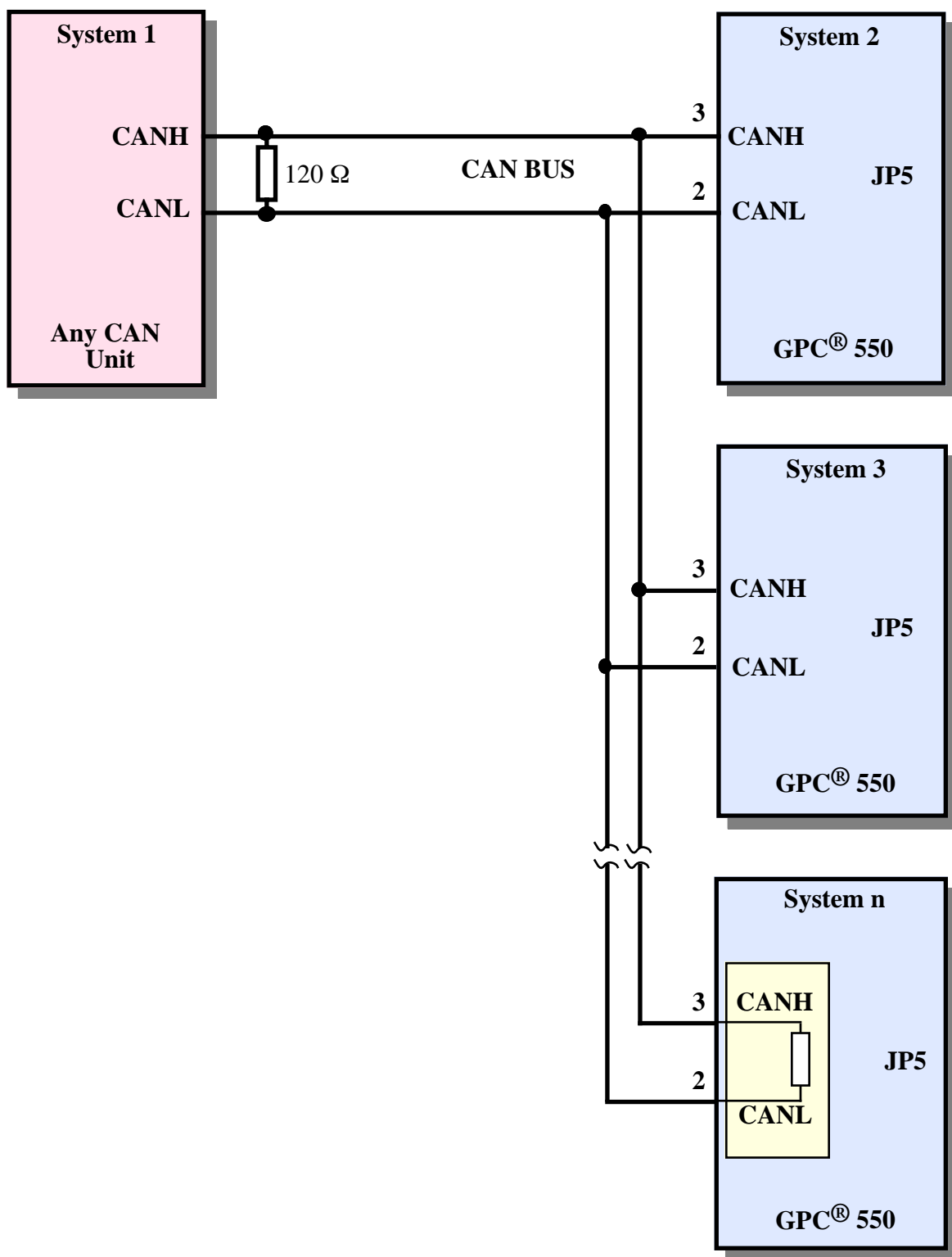


FIGURA 24: ESEMPIO COLLEGAMENTO IN RETE CON BUS CAN

Da notare che una rete CAN, deve avere un'impedenza di linea di 60 Ω e per questa ragione lungo la linea possono essere presenti due resistenze di terminazione (120 Ω), alle estremità della stessa. A bordo della GPC® 550 è presente la circuiteria di terminazione che può essere inserita o disinserita, tramite un apposito jumper, come illustrato in seguito.

Qualora i sistemi collegati sulla rete CAN risultino a differenze di potenziale elevate si può ovviare ad eventuali problemi di comunicazione e/o funzionamento, collegando anche le masse dei sistemi ovvero il pin 1 di JP5.

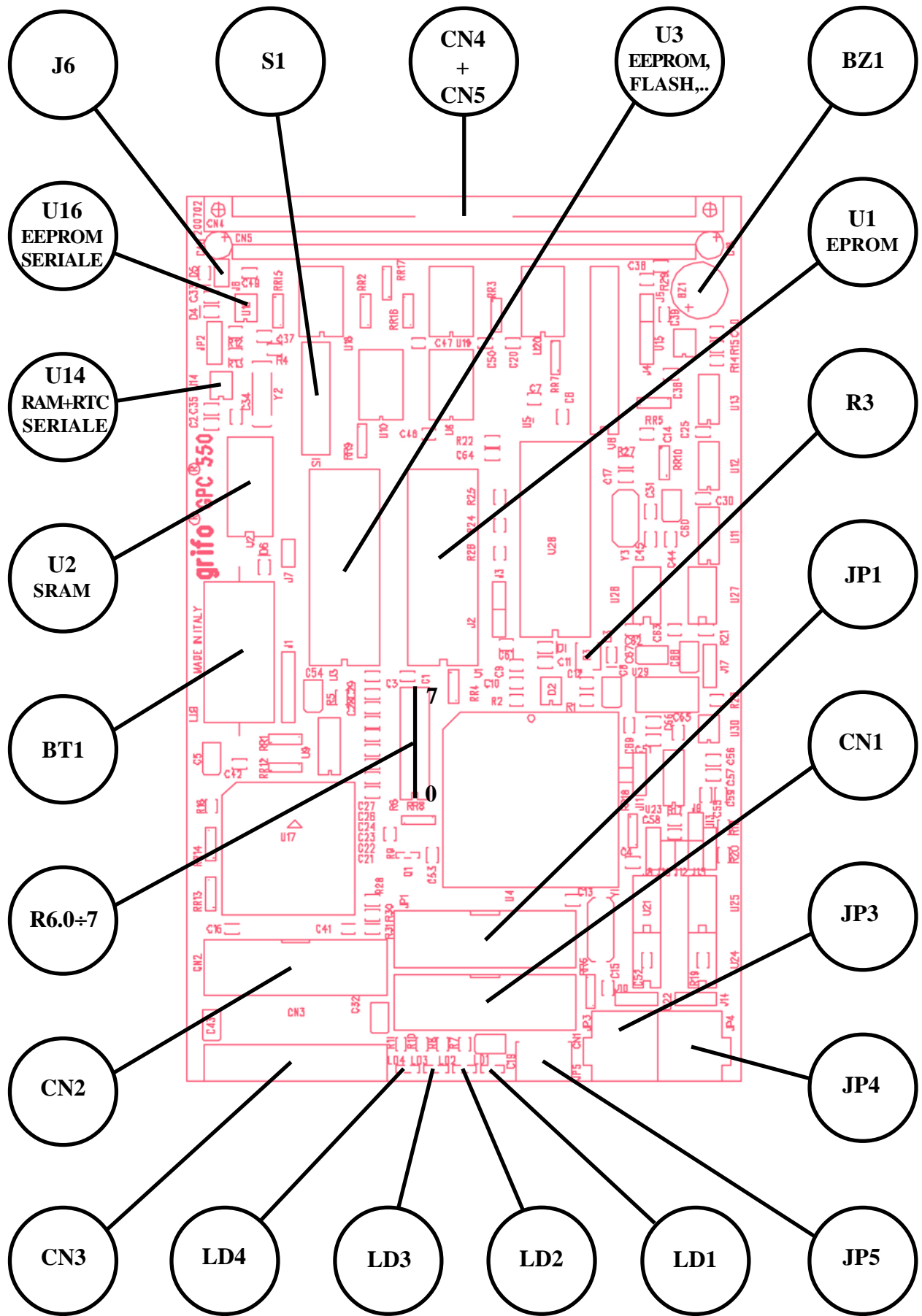


FIGURA 25: DISPOSIZIONE CONNETTORI, TRIMMER, BATTERIA, MEMORIE, ECC.

INTERFACCIAMENTO CONNETTORI CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 550** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione.

- Per i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485, current loop e CAN fare riferimento alle specifiche standard di ognuno di questi protocolli.
- Tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1.
- I segnali d'ingresso alla sezione A/D devono essere collegati a segnali analogici che rispettino il range di variazione ammesso $0 \div 2,49$ V oppure $0 \div 20$ mA. Tali ingressi sono ad alta impedenza ma, se deve essere realizzata una circuiteria d'interfaccia, è sempre preferibile generare dei segnali a bassa impedenza che assicurano una miglior stabilità e precisione. Da notare che gli 8 ingressi analogici presenti su JP1 sono dotati di condensatori di filtro che garantiscono una maggiore stabilità sul segnale acquisito, ma che allo stesso tempo abbassano la frequenza di taglio (1 MHz che è comunque superiore alla massima frequenza di acquisizione A/D=20 KHz).
- I segnali PWM sono a livello TTL e devono essere quindi opportunamente bufferati per essere interfacciati all'azionamento di potenza. Le classiche circuiterie da interporre possono essere dei semplici driver di corrente se è ancora necessario un segnale PWM, oppure un integratore qualora sia necessario un segnale analogico.
- Anche i segnali I2C BUS sono a livello TTL, come definito dallo stesso standard; per completezza si ricorda solo che dovendo realizzare una rete con numerosi dispositivi e con una discreta lunghezza è senza dubbio preferibile usare la linea I2C BUS hardware. Lo stadio d'uscita, le molteplici modalità operative ed il bit rate programmabili consentono infatti di comunicare in ogni condizione operativa.

TRIMMER E TARATURE

Sulla **GPC® 550** è presente il trimmer R3 utilizzato per la taratura della scheda; tale componente permette di fissare il valore della tensione di riferimento su cui si basa la sezione di A/D converter. La scheda viene sottoposta ad un accurato test di collaudo che provvede a verificare la funzionalità della stessa ed allo stesso tempo a tararla in tutte le sue parti. La taratura viene effettuata in laboratorio a temperatura costante di +20 gradi centigradi, seguendo la procedura di seguito descritta:

- Si effettua la taratura di precisione della Vref della sezione A/D ad un valore di 2,490 V regolando il trimmer R3, tramite un multimetro galvanicamente isolato a 5 cifre collegato tra i pin 59 (+) e 58 (-) della CPU su U4.
- Si verifica la corrispondenza tra segnale analogico fornito in ingresso e combinazione letta dalla sezione A/D converter. La verifica viene effettuata fornendo un segnale di verifica con un calibratore campione e controllando che la differenza tra la combinazione determinata dalla scheda e quella determinata in modo teorico, non superi la somma degli errori della sezione A/D.

- Si blocca il trimmer della scheda, opportunamente tarato, tramite vernice.

Le sezioni d'interfaccia analogica utilizzano componenti di alta precisione che vengono addirittura scelti in fase di montaggio, proprio per evitare lunghe e complicate procedure di taratura. Per questo una volta completato il test di collaudo e quindi la taratura, il trimmer R3 viene bloccato, in modo da garantire una immunità della taratura anche ad eventuali sollecitazioni meccaniche (vibrazioni, spostamenti, ecc.).

L'utente di norma non deve intervenire sulla taratura della scheda, ma se lo dovesse fare (a causa di derive termiche, derive del tempo, ecc.) deve rigorosamente seguire la procedura sopra illustrata. Per una facile individuazione di RV1 e TP1 a bordo scheda, si faccia riferimento alla figura 24.

SELEZIONE TIPO INGRESSI ANALOGICI

La scheda **GPC® 550**, può avere ingressi analogici in tensione e/o corrente, come descritto nei precedenti paragrafi e capitoli. La selezione del tipo d'ingresso viene essere effettuata in fase di ordine della scheda montando un apposito modulo opzionale di conversione corrente-tensione basato su resistenze di caduta di precisione (codice opzione **.8420**). In particolare vale la corrispondenza:

| | | |
|------|----|----------|
| R6.0 | -> | canale 0 |
| R6.1 | -> | canale 1 |
| R6.2 | -> | canale 2 |
| R6.3 | -> | canale 3 |
| R6.4 | -> | canale 4 |
| R6.5 | -> | canale 5 |
| R6.6 | -> | canale 6 |
| R6.7 | -> | canale 7 |

Nel caso il modulo corrente-tensione non sia montato (default) il corrispondente canale accetta un ingresso in tensione nei range 0÷2,49 V, viceversa un ingresso in corrente.

Il valore della resistenza, su cui si basa il convertitore corrente-tensione, si ottiene dalla seguente formula:

$$R = 2,49 \text{ V} / I_{\text{max}}$$

Normalmente i moduli di conversione tensione-corrente, si basano su resistenze di precisione da **124Ω**, relative ad ingressi 4÷20 mA o 0÷20 mA. Per una facile individuazione del modulo descritto e delle relative resistenze componenti, fare riferimento alla figura 24, mentre per esigenze al di fuori dei valori sopracitati si prega di contattare la **grifo®**.

INTERFACCIE PER I/O DIGITALI

Tramite CN1, CN2 e CN3 (connettori compatibili con standard di I/O **ABACO**[®]) si può collegare la **GPC**[®] **550** ai numerosi moduli del carteggio **grifo**[®] che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfacce richiedono solo un flat cable da 20 vie intestato con due connettori da 20 vie (FLT.20+20) con cui è possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione è altrettanto semplice ed immediata, infatti i pacchetti software disponibili per la **GPC**[®] **550** sono provvisti di tutte le procedure necessarie. Quest'ultime per la maggioranza dei pacchetti software disponibili, coincidono con dei "driver software" o delle librerie aggiunti al linguaggio di programmazione, che consentono di utilizzare direttamente le istruzioni ad alto livello dello stesso linguaggio di programmazione e quindi tutta la loro potenza.

Di particolare interesse è la possibilità di collegare direttamente una serie di moduli come:

- **QTP 16P, QTP 24P, KDx x24, DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla **GPC**[®] **550**. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.
- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo è dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con delle procedure che consentono di leggere e scrivere dati per ogni locazione della memory card.
- **IAC 01, DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.
- **RBO xx, TBO xx, XBI xx, OBI xx** con cui bufferare i segnali di I/O TTL nei confronti del campo. Con questi moduli i segnali di input vengono convertiti in ingressi optoisolati di tipo NPN o PNP, mentre i segnali di output vengono convertiti in uscite galvanicamente isolate a transistor o relé.

Per maggiori informazioni relative alle interfacce per I/O digitali si veda il capitolo "SCHEDE ESTERNE" e la documentazione del software utilizzato.

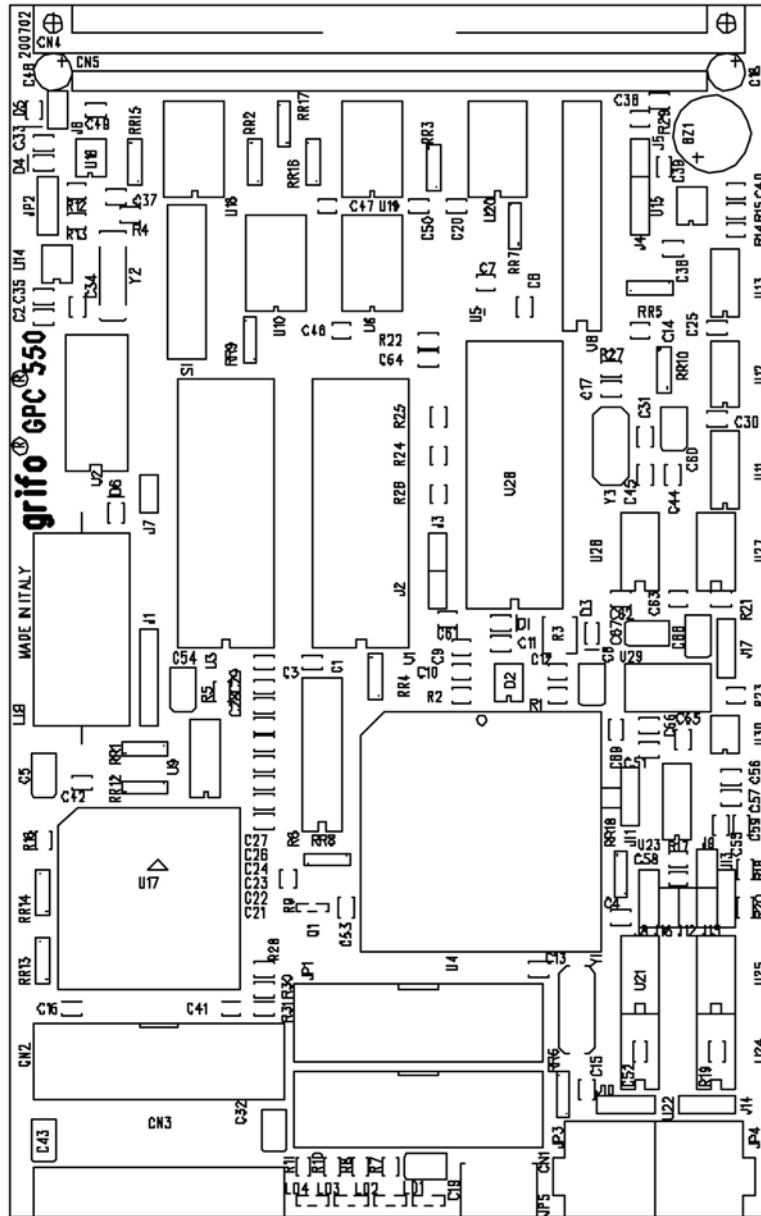


FIGURA 26: PIANTA COMPONENTI LATO COMPONENTI

JUMPERS

Esistono a bordo della **GPC® 550** 16 jumpers a cavaliere ed un dip switch, con cui é possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne é riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalit  di connessione.

| JUMPER | | UTILIZZO |
|-----------|---|---|
| J1 | 5 | Seleziona il dispositivo di memoria su U3. |
| J2 | 2 | Riservato. |
| J3 | 2 | Seleziona area codice da ROM esterna o interna al microcontrollore. |
| J4 | 3 | Seleziona mappaggio memorie assieme a J5. |
| J5 | 2 | Seleziona mappaggio memorie assieme a J4. |
| J7 | 2 | Collega batteria di bordo BT1 a circuiteria di back up. |
| J8 | 3 | Seleziona interfaccia elettrica per la linea seriale A. |
| J9 , J15 | 2 | Collegano circuiteria di terminazione e forzatura alla linea seriale A in RS 422, RS 485. |
| J10 | 3 | Seleziona il tipo di collegamento per il pin 1 di JP3. |
| J11 | 4 | Seleziona sorgente d'interrupt per /INT0. |
| J12 , J16 | 2 | Collegano la linea seriale A, bufferata in RS 232, al connettore JP3. |
| J13 | 3 | Seleziona la direzione ed il modo operativo per la linea seriale A in RS 422, RS 485. |
| J14 | 3 | Seleziona il tipo di collegamento per il pin 1 di JP4. |
| J17 | 3 | Collega circuiteria di terminazione a linea CAN. |
| S1.7 | 2 | Collega segnale PWM1 a circuiteria di abilitazione RS 422, RS 485. |

FIGURA 27: TABELLA RIASSUNTIVA JUMPERS

Di seguito é riportata una descrizione tabellare delle possibili connessioni dei jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa o alle figura 32 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione. Per l'individuazione dei jumpers a bordo della scheda, si utilizzi sempre la figura 32.

In tutte le seguenti tabelle l'* indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

JUMPERS A 2 VIE

| JUMPER | CONNESSIONE | UTILIZZO | DEF. |
|-----------|--------------|---|------|
| J2 | non connesso | Riservato per uso interno. | * |
| | connesso | Riservato per uso interno. | |
| J3 | non connesso | Abilita lettura codice dalla ROM interna del microcontrollore. | * |
| | connesso | Abilita lettura codice dalla ROM esterna del microcontrollore = memorie della scheda. | |
| J5 | non connesso | Questo jumper é usato assieme a J4 per la selezione del mappaggio memorie. Per maggiori informazioni vedere paragrafo "INDIRIZZI MEMORIE". | * |
| | connesso | | |
| J7 | non connesso | Non collega batteria di bordo BT1 alla circuiteria di back up. | * |
| | connesso | Collega batteria di bordo BT1 alla circuiteria di back up. | |
| J9 , J15 | non connessi | Non collegano la circuiteria di terminazione e forzatura al ricevitore/trasmittitore RS 485 od al ricevitore RS 422, della linea seriale A. | * |
| | connessi | Collegano la circuiteria di terminazione e forzatura al ricevitore/trasmittitore RS 485 od al ricevitore RS 422, della linea seriale A. | |
| J12 , J16 | non connessi | Non collegano la linea seriale A, bufferata in RS 232, ai relativi pin di JP3. | * |
| | connessi | Collegano la linea seriale A, bufferata in RS 232, ai relativi pin di JP3. | |
| S1.7 | OFF | Non collega linea PWM1, a circuiteria abilitazione RS 422, RS 485. | * |
| | ON | Collega linea PWM1, a circuiteria abilitazione RS 422, RS 485. | |

FIGURA 28: TABELLA JUMPERS A 2 VIE

JUMPERS A 4 VIE

| JUMPER | CONNESSIONE | UTILIZZO | DEF. |
|--------|---------------|--|------|
| J11 | non connesso | Non collega /INT0 ad alcuna sorgente d'interrupt. | * |
| | posizione 1-2 | Collega /INT0 ad interrupt generato dal controllore CAN. | |
| | posizione 2-3 | Collega /INT0 a linea di ricezione della seriale B. | |
| | posizione 2-4 | Collega /INT0 ad interrupt generato dal Real Time Clock. | |

FIGURA 29: TABELLA JUMPERS A 4 VIE

JUMPERS A 3 VIE

| JUMPER | CONNESSIONE | UTILIZZO | DEF. |
|--------|--|--|------|
| J4 | non connesso posizione 1-2 posizione 2-3 | Questo jumper é usato assieme a J5 per la selezione del mappaggio memorie. Per maggiori informazioni vedere paragrafo "INDIRIZZI MEMORIE". | * |
| J8 | posizione 1-2 posizione 2-3 | Configura la linea seriale A per gli standards elettrici RS 422, RS 485 e current loop. Configura la linea seriale A per lo standard elettrico RS 232 | * |
| J10 | posizione 1-2 posizione 2-3 | Collega pin 1 di JP3 a +5 Vdc. Collega pin 1 di JP3 a GND. | * |
| J13 | posizione 1-2 posizione 2-3 | Configura la linea seriale A per lo standard elettrico RS 485 (half duplex a 2 fili). Configura la linea seriale A per lo standard elettrico RS 422 (full duplex o half duplex a 4 fili). | * |
| J14 | posizione 1-2 posizione 2-3 | Collega pin 1 di JP4 a +5 Vdc. Collega pin 1 di JP4 a GND. | * |
| J17 | posizione 1-2 posizione 2-3 | Collega la resistenza di terminazione da 120 Ω alla linea CAN. Non collega la resistenza di terminazione da 120 Ω alla linea CAN. | * |

FIGURA 30: TABELLA JUMPERS A 3 VIE
JUMPERS A 5 VIE

| JUMPER | CONNESSIONE | UTILIZZO | DEF. |
|--------|---|---|------|
| J1 | posizione 1-2 e 3-4 posizione 2-3 e 4-5 posizione 3-4 | Predisporre U3 per FLASH EPROM da 32Kbytes. Predisporre U3 per SRAM o EEPROM da 32Kbytes. Predisporre U3 per EPROM da 32Kbytes. | * |

FIGURA 31: TABELLA JUMPERS A 5 VIE

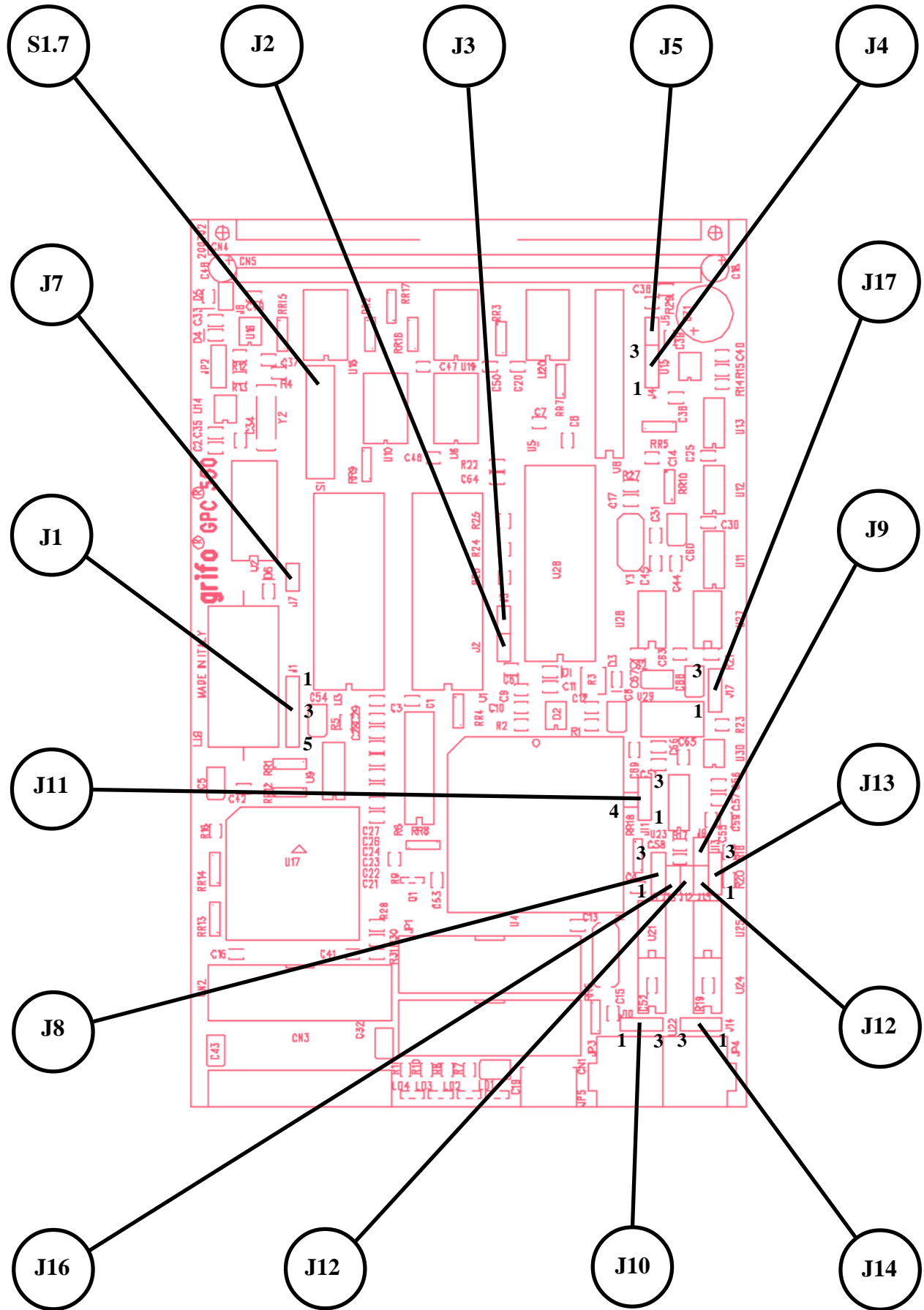


FIGURA 32: DISPOSIZIONE E NUMERAZIONE JUMPERS

RESET E POWER GOOD

Sulla **GPC® 550**, sono presenti due diverse sorgenti di reset, che possono essere così riassunte:

- circuiteria di power good che attiva il reset quando la tensione di alimentazione scende al di sotto della soglia di 4,62 Vdc;
- tasto di reset esterno, da collegare al pin 29 C di CN4+CN5 = segnale R.T. del BUS **ABACO®**; coincide con un pulsante normalmente aperto che una volta premuto collega il segnale R.T. alla massa GND e la sua funzione principale é quella di uscire da condizioni di loop infinito, soprattutto durante la fase di debug oppure per rieseguire il programma applicativo senza dover interrompere l'alimentazione della scheda.

Ognuna delle condizioni elencate sopra, attiva la circuiteria di reset con le dovute modalità e tempistiche (200 msec) e quindi riprende l'esecuzione del programma salvato su U1 (EPROM) all'indirizzo 0000H della CPU, partendo da una condizione di azzeramento generale. Si ricorda inoltre che il segnale di /RESET generato dalla scheda é collegato al pin 16 C del connettore CN4+CN5 in modo da resettare anche le eventuali schede periferiche collegate al BUS **ABACO®**. La circuiteria di reset così realizzata assicura il corretto funzionamento della scheda e dell'eventuale elettronica collegata in ogni condizione operativa e soprattutto nella sempre difficile fase di accensione e spegnimento.

SEGNALAZIONI VISIVE

La scheda **GPC® 550** é dotata delle segnalazioni visive descritte nella seguente tabella:

| LED | COLORE | FUNZIONE |
|-----|--------|--|
| LD1 | Verde | LED di attività gestito via software |
| LD2 | Rosso | LED di attività gestito via software |
| LD3 | Verde | LED di attività gestito via software |
| LD4 | Rosso | Visualizza attivazione interrupt del Real Time Clock |

FIGURA 33: TABELLA DELLE SEGNALAZIONI VISIVE

La funzione principale di questi LEDs é quella di fornire un'indicazione visiva dello stato della scheda, facilitando quindi le operazioni di debug e di verifica di funzionamento di tutto il sistema. Per una più facile individuazione di tali segnalazioni visive, si faccia riferimento alla figura 24, mentre per ulteriori informazioni sull'attivazione dei LED si faccia riferimento ai paragrafi "LED DI ATTIVITA'" e "REAL TIME CLOCK".

INTERRUPTS

Una caratteristica peculiare della **GPC® 550** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupts e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento ai data sheets del microprocessore.

- Real Time Clock -> Genera un /INT0 sulla CPU se J11 é in posizione 2-4.
- Controllore CAN -> Genera un /INT0 sulla CPU se J11 é in posizione 2-1.
- Seriale B software -> Genera un /INT0 sulla CPU se J11 é in posizione 2-3.
- Periferiche della CPU -> Generano un interrupt interno. In particolare tali possibili sorgenti d'interrupt interno sono le sezioni: I2C BUS hardware, ADC, Timer 0, Timer 1, Timer 2 e le sue modalità di comparazione e capture, UART.

Sulla scheda é presente un gestore d'interrupt (ICU) che consente di attivare, disattivare, mascherare le sorgenti d'interrupt e che regola l'attivazione contemporanea di più interrupts. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.

ALIMENTAZIONE

La scheda **GPC® 550** deve essere alimentata da una tensione di +5 Vdc±5% che deve essere fornita sugli appositi pin di CN4+CN5. Il lay out della scheda é stato studiato in modo da prelevare la singola alimentazione da CN4+CN5 e distribuirla in tutti i punti necessari; questo spiega la direzionalità riportata nelle legende dei connettori in cui il segnale +5 Vdc é in ingresso solo su CN4+CN5 ed in uscita su tutti i rimanenti connettori. In caso di particolari esigenze l'utente può decidere di fornire l'alimentazione anche tramite gli altri connettori ma deve fare una preventiva verifica di corretto funzionamento. In dettaglio in caso di alimentazione fornita tramite i connettori plug JP3 o JP4 (ad esempio in sistemi distribuiti in cui più schede sono collegate in rete, tramite un solo cavo che porta sia i segnali di comunicazione che quelli di alimentazione), si devono configurare opportunamente i jumpers J10 e J14.

Un'efficace e distribuita circuiteria di filtro si preoccupa di proteggere la scheda dai disturbi o dal rumore del campo, in modo da migliorare il funzionamento di tutto il sistema.

Si ricorda che la tensione di alimentazione della logica di bordo (segnali +5 Vdc e GND) é galvanicamente isolata dalla tensione di alimentazione dell'interfaccia CAN. Quindi il segnale GND, presente sui connettori della scheda non deve essere collegato al segnale CAN GND presente su JP5. La sezione di A/D converter utilizza la tensione di alimentazione della scheda opportunamente filtrata e distribuita. Per ragioni di schermatura e disposizione piste, la massa di tale sezione é stata chiamata AGND in modo da distinguerla da quella di alimentazione GND, anche se le due sono elettricamente connesse.

Al fine di ridurre i consumi della scheda si possono utilizzare le modalità operative di power down ed idle della CPU. Queste modalità consentono di definire la frequenza di lavoro della CPU e può essere selezionata programmando l'apposito registro PCON, interno al microprocessore. Il programma applicativo sviluppato dall'utente può quindi ridurre il consumo sull'alimentazione fino ad un minimo di 100 mA ed eventualmente ripristinare il funzionamento normale in corrispondenza di un evento presabito come ad esempio un interrupt, variazione di un ingresso digitale e/o analogico, intervallo di tempo trascorso, ecc.

Per ulteriori informazioni si faccia riferimento al paragrafo "CARATTERISTICHE ELETTRICHE".

SELEZIONE COMUNICAZIONE SERIALE

La linea di comunicazione seriale B della scheda **GPC® 550** può essere bufferata solo in RS 232, mentre la linea seriale A può essere bufferata in RS 232, RS 422, RS 485 o current loop. Dal punto di vista software su entrambe le linee può essere definito il protocollo fisico di comunicazione tramite il firmware di gestione e tramite la programmazione di alcuni registri interni della CPU. In dettaglio possono essere programmate per lavorare con 8,9 bit per carattere; parità pari, dispari o nessuna; 1 o 2 bit di stop; con baud rate standard e non standard, fino a 115200 Baud.

La selezione del protocollo elettrico della seriale A avviene via hardware e viene effettuata tramite un'opportuna configurazione dei jumpers di bordo, come descritto nelle precedenti tabelle, e l'installazione di adeguati driver di comunicazione. Alcuni componenti necessari per le configurazioni RS 422, RS 485 e current loop non sono montati e collaudati sulla scheda in configurazione di default; per questo la prima configurazione della seriale A non in RS 232 deve essere sempre effettuata dai tecnici **grifo®**. A questo punto l'utente può cambiare autonomamente la configurazione seguendo le informazioni sotto riportate:

- LINEA SERIALE HW A SETTATA IN RS 232 (configurazione default)

| | | | | |
|----------|---|---------------|-----|---------------------|
| S1.7 | = | indifferente | | |
| J8 | = | posizione 2-3 | U21 | = nessun componente |
| J12, J16 | = | connessi | U22 | = nessun componente |
| J13 | = | indifferente | U24 | = nessun componente |
| J9, J15 | = | non connessi | U25 | = nessun componente |

- LINEA SERIALE HW A SETTATA IN CURRENT LOOP (opzione .CLOOP)

| | | | | |
|----------|---|---------------|-----|---------------------|
| S1.7 | = | indifferente | | |
| J8 | = | posizione 1-2 | U21 | = nessun componente |
| J12, J16 | = | non connessi | U22 | = nessun componente |
| J13 | = | indifferente | U24 | = driver HP 4200 |
| J9, J15 | = | non connessi | U25 | = driver HP 4100 |

Da ricordare che l'interfaccia seriale in current loop é di tipo passivo e si deve quindi collegare una linea current loop attiva, ovvero provvista di un proprio alimentatore come descritto nelle figure 14÷16. L'interfaccia current loop può essere utilizzata per realizzare sia connessioni punto punto che reti multipunto con un collegamento a 4 o 2 fili.

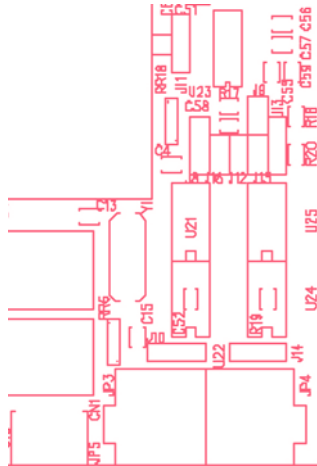
- LINEA SERIALE HW A SETTATA IN RS 422 (opzione .RS 422)

| | | | | |
|----------|---|---------------|-----|-----------------------------|
| S1.7 | = | OFF od ON | | |
| J8 | = | posizione 1-2 | U21 | = driver SN 75176 o MAX 483 |
| J12, J16 | = | non connessi | U22 | = driver SN 75176 o MAX 483 |
| J13 | = | posizione 2-3 | U24 | = nessun componente |
| J9, J15 | = | (*) | U25 | = nessun componente |

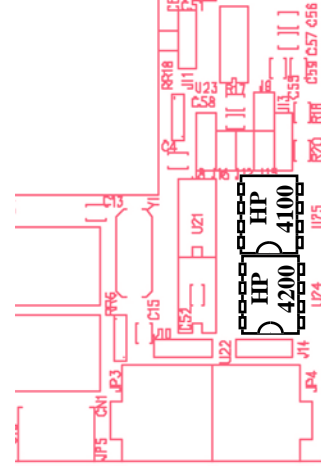
Lo stato del segnale PWM1=DIR (gestito via software) consente di abilitare o disabilitare il trasmettitore come segue:

| | | |
|---|----|-------------------------|
| PWM1 = DIR = livello basso = stato logico 0 | -> | trasmettitore attivo |
| PWM1 = DIR = livello alto = stato logico 1 | -> | trasmettitore disattivo |

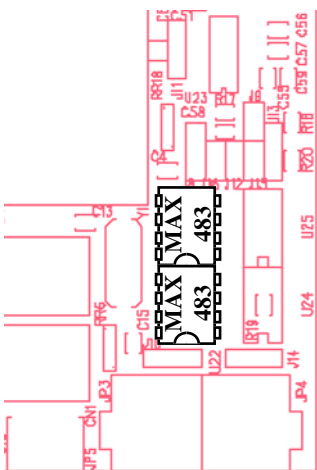
Per sistemi punto punto, la linea DIR può essere mantenuta sempre bassa (trasmettitore sempre attivo) lasciando il dip S1.7 in OFF, mentre per reti multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione; questo equivale a collegare il PMW1 al DIR settando S1.7 in ON. La comunicazione RS 422 é di tipo full duplex.



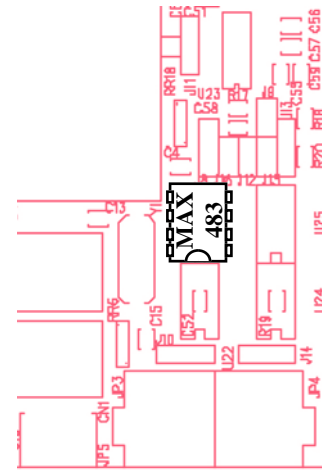
Seriale A in RS 232



Seriale A in current loop



Seriale A in RS 422



Seriale A in RS 485

FIGURA 34: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE

- LINEA SERIALE HW A SETTATA IN RS 485 (opzione .RS 485)

| | | | | |
|----------|---|---------------|-----|-----------------------------|
| S1.7 | = | ON | | |
| J8 | = | posizione 1-2 | U21 | = driver SN 75176 o MAX 483 |
| J12, J16 | = | non connessi | U22 | = nessun componente |
| J13 | = | posizione 1-2 | U24 | = nessun componente |
| J9, J15 | = | (*) | U25 | = nessun componente |

In questa modalità le linee da utilizzare sono i pin 4 e 5 di JP3, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale PWM1=DIR (gestito via software) come segue:

| | | |
|---|----|-----------------------|
| PWM1 = DIR = livello basso = stato logico 0 | -> | linea in trasmissione |
| PWM1 = DIR = livello alto = stato logico 1 | -> | linea in ricezione |

Questa comunicazione la si utilizza sia per connessioni punto punto che multipunto con una comunicazione half duplex. Sempre in questa modalità si riceve quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

- (*) Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers J9 e J15 é possibile connettere la circuiteria di terminazione e forzatura sulla linea . Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione.

In fase di reset o power on, il segnale PWM1=DIR è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.

Si ricorda che i segnali di comunicazione in RS 232 disponibili su JP4 possono essere usati come segnali di handshake hardware (RTS, CTS, DTR, RI, DSR, ecc) da abbinare ai segnali di comunicazione della seriale hardware A, su JP3. Questa possibilità consente all'utente di utilizzare la **GPC® 550** anche per comunicare con sistemi esterni che richiedono questi segnali di handshake, come modem, ponti radio, ecc.

Per ulteriori informazioni relative alla comunicazione seriale fare riferimento agli esempi di collegamento delle figure 10÷16 ed al paragrafo "SERIALE SOFTWARE B".

BACK UP

La **GPC® 550** é provvista di una batteria al litio BT1 che provvede a tamponare la SRAM ed il Real Time Clock di bordo anche in assenza della tensione di alimentazione. Il jumper J7 provvede a collegare o meno questa batteria in modo da salvaguardarne la durata prima dell'installazione o in tutti i casi in cui il back up non é necessario. Una seconda batteria esterna, con tensione superiore a quella di bordo, può essere collegata alla circuiteria di back up tramite il connettore J6: quest'ultima non é interessata dalla configurazione del jumper J7 e sostituisce a tutti gli effetti la BT1.

Per la scelta della batteria esterna di back up seguire le indicazioni del paragrafo "CARATTERISTICHE ELETTRICHE", per la sua individuazione si veda la figura 25 .

SELEZIONE MEMORIE

La **GPC® 550** può montare fino ad un massimo di 97K e 256 bytes di memoria variamente suddivisa. In particolare per la configurazione seguire le informazioni riportate nella seguente tabella:

| NOME | DISPOSITIVO | DIMENSIONE | CONFIGURAZIONE JUMPER |
|------|------------------|----------------|---------------------------|
| U1 | EPROM | 32K Bytes | - |
| U2 | SRAM | 32K Bytes | - |
| U3 | EPROM | 32K Bytes | J1 in posizione 3-4 |
| | EEPROM | 32K Bytes | J1 in posizione 2-3 e 4-5 |
| | FLASH EPROM | 32K Bytes | J1 in posizione 1-2 e 3-4 |
| | SRAM | 32K Bytes | J1 in posizione 2-3 e 4-5 |
| U14 | SRAM+RTC seriale | 256 Bytes | - |
| U16 | EEPROM seriale | 256÷1024 Bytes | - |

FIGURA 35: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi sopra descritti devono essere con pin out di tipo JEDEC a parte i dispositivi seriali di U14 ed U16. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione delle case costruttrici.

Normalmente la **GPC® 550** é fornita nella sua configurazione di default con 32K SRAM su U2, 256 bytes di SRAM seriale su U14 e 512 bytes di EEPROM seriale su U16; ogni configurazione diversa può essere autonomamente montata dall'utente oppure richiesta nella fase di ordine. Sotto sono riportate i codici delle opzioni di memoria disponibili:

| | | |
|----------------|----|--|
| .32K | -> | 32K Bytes di SRAM aggiuntivi su U3 |
| .32KMOD | -> | 32K Bytes di SRAM tamponata su U3 |
| .32KF | -> | 32K Bytes di FLASH EPROM parallela su U3 |
| .32EE | -> | 32K Bytes di EEPROM parallela su U3 |
| .EE02 | -> | 2K Bit (=256 Bytes) di EEPROM seriale su U16 |
| .EE08 | -> | 8K Bit (= 1K Bytes) di EEPROM seriale su U16 |

Per ulteriori informazioni e costi delle opzioni, contattare direttamente la **grifo®**, mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 25.

COLLEGAMENTO LINEA CAN

Il jumper J17 ha il compito di collegare o meno l'apposita resistenza di terminazione della linea CAN come descritto nella tabella di figura 30. Il CAN BUS deve fisicamente coincidere con una linea differenziale con impedenza di 60 Ω e per questo le resistenze di terminazione devono essere collegate in modo da ricreare questa impedenza. In particolare tale collegamento deve essere sempre effettuato in caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione CAN (vedere esempio di figura 24).

La corretta terminazione della linea CAN contribuisce notevolmente al funzionamento della comunicazione, infatti l'interfaccia di linea della **GPC® 550** é in grado di sopprimere i transienti e di essere immune ai disturbi di radio frequenza ed elettromagnetici, solo se il collegamento con il campo é effettuato correttamente.

Come descritto nel paragrafo "ALIMENTAZIONE" la linea CAN é galvanicamente isolata dalla tensione di alimentazione della scheda e la sua massa, denominata CAN GND, é inoltre riportata su un pin del connettore JP5. Quest'ultimo può essere utilizzato per equipotenziale i vari sistemi CAN ma anche per schermare il collegamento fisico, qualora si utilizzi del cavo schermato per la linea CAN, ottenendo la massima protezione contro i disturbi esterni.

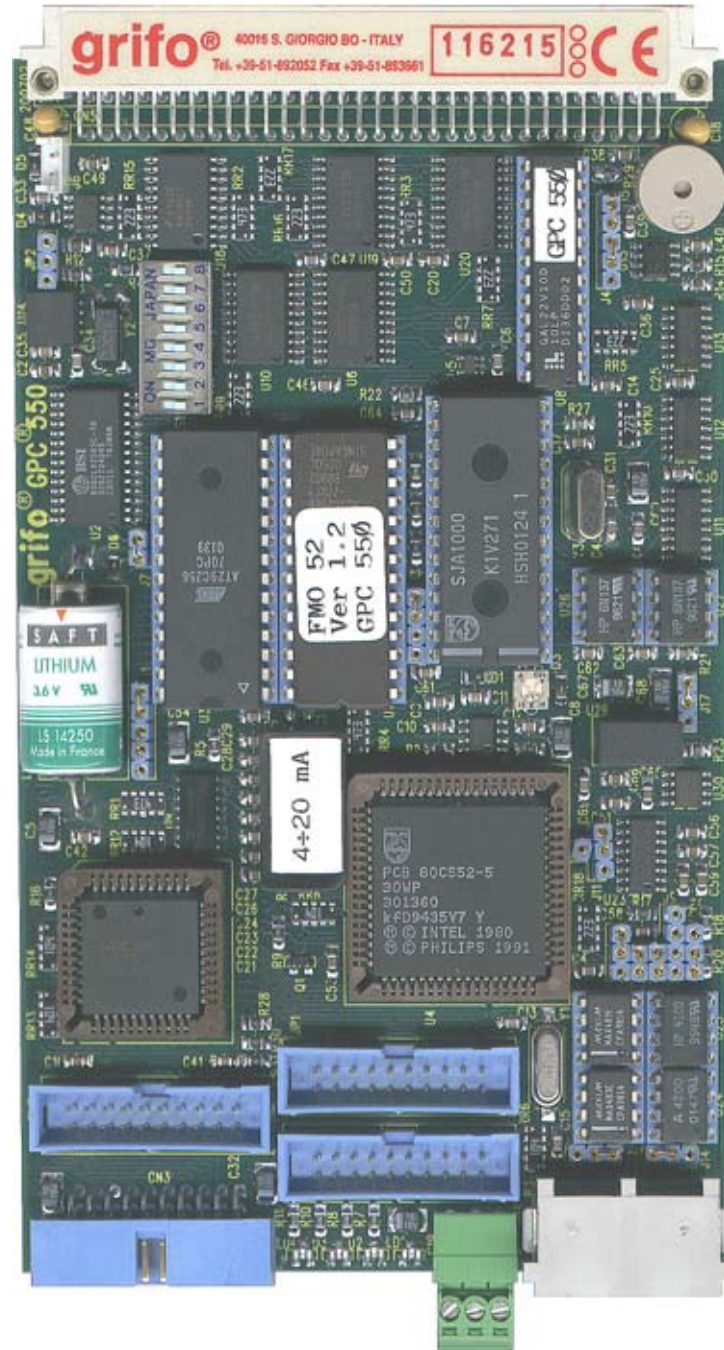


FIGURA 36: FOTO SCHEDA

DESCRIZIONE SOFTWARE

La scheda ha usufruisce di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche e di sviluppare le applicazioni necessarie in un tempo veramente corto. In generale la scheda può sfruttare tutte le risorse software per il microprocessore montato, ovvero i numerosi pacchetti ideati per la famiglia 51, sia ad alto che a basso livello. Tutti i pacchetti di sviluppo software forniti dalla **grifo**[®] sono sempre accompagnati da esempi che illustrano come gestire ogni sezione della scheda e da una completa documentazione d'uso. Tra questi ricordiamo:

GET51: Completo programma di Editor , Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 51. Questo programma, sviluppato dalla **grifo**[®], consente di operare in condizioni ottimali, in abbinamento ai pacchetti software BASIC 550, MDP, BXC51, FMO52, ecc. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS e Windows, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma VIRTUAL-PC. Viene fornito su CD.

MDP: monitor debugger in grado di caricare e debuggare un qualsiasi file HEX con codice 'I51. Dispone di tutti i comandi normalmente disponibili con un'emulatore e fornisce quindi all'utente la possibilità di operare comodamente con tutte le risorse di bordo. Per questo pacchetto software é sufficiente disporre di un P.C. che effettua le sole operazioni di console nei confronti dell'utente.

FORTH: completa struttura di sviluppo che consente di programmare la scheda in FORTH. Richiede un P.C. per l'interfaccia utente e rende disponibili strutture dati e di programmazione ad alto livello, che velocizzano lo sviluppo dell'applicativo con ottime caratteristiche in termini di codice sviluppato e velocità di esecuzione.

BASIC 550: completa struttura di sviluppo che consente di programmare la scheda con un BASIC interpretato adatto alle applicazioni industriali. Per opearare é sufficiente un P.C. che svolge le funzioni di consolle nei confronti della scheda su cui viene invece sviluppato, debuggato, provato e salvato il programma da realizzare. La programmazione é ad alto livello ed interessa la maggioranza dei dispositivi a bordo scheda, di cui vengono già forniti i driver software di facile utilizzo.

BXC51: Cross compilatore per files sorgenti scritti in BASIC 550. Disponibile in ambiente MS-DOS, permette un notevole incremento in termini di velocità di esecuzione rispetto all'equivalente programma in BASIC interpretato.

HI TECH C 51: Cross compilatore per file sorgenti scritti in linguaggio C. E' un potente pacchetto software che tramite un comodo I.D.E. permette di utilizzare un editor, un compilatore C (floating point), un assembler, un ottimizzatore, un linker e un remote debugger. Sono inoltre inclusi i source delle librerie.

SYS51CW: Cross compilatore per programmi scritti in C, disponibile in ambiente WINDOWS con un comodo IDE che mette a disposizione: editor, compilatore C, assembler, ottimizzatore, linker, librerie ed un debugger simbolico remoto.

SYS51PW: Cross compilatore per programmi scritti in PASCAL, disponibile in ambiente WINDOWS con un comodo IDE che mette a disposizione: editor, compilatore PASCAL, assembler, ottimizzatore, linker, librerie ed un debugger simbolico remoto.

XPAS51: Cross compilatore per files sorgenti scritti in PASCAL, disponibile in ambiente MS-DOS.

DDS MICRO C 51: E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore C (integer), un assembler, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie ed una serie di utility.

NOICE: Potente struttura di debugger composta da un monitor debugger residente sulla scheda e da un apposito programma MS-DOS e/o Windows. I due programmi comunicano tramite una linea seriale in RS 232. Il NOICE include: debug a livello sorgente, disassemblatore, visualizzatore di file, editor e visualizzazione della memoria, numero di breakpoint illimitato, esecuzione di singole istruzioni indipendente dall'hardware, definizione di simboli, possibilità di eseguire file di comandi, gestione del back trace, help in linea, ecc.

BASCOM 8051: Cross compilatore a basso costo per files sorgenti scritti in BASIC, disponibile in ambiente WINDOWS con un comodo IDE che mette a disposizione un editor, il compilatore ed un simulatore molto potente per il debugger del sorgente. Comprende molti modelli di memoria, svariati tipi di dati ed istruzioni dedicate alle risorse hardware.

FMO52: monitor debugger in grado di caricare e debuggare un qualsiasi file HEX con codice '151. Dispone di tutti i comandi normalmente disponibili con un'emulatore e fornisce quindi all'utente la possibilità di operare comodamente con tutte le risorse di bordo. Per questo pacchetto software é sufficiente disporre di un P.C. che effettua le sole operazioni di console nei confronti dell'utente. E' inoltre in grado di programmare su FLASH EPROM l'applicativo sviluppato dall'utente e successivamente eseguirlo in modalità di autorun.

µC/51: E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore ANSI C, un assembler, un linker e un remote debugger configurabile da utente a livello sorgente. Sono inclusi i sorgenti delle librerie fondamentali e del remote debugger, alcuni esempi di utilizzo e vari programmi di utility.

LADDER WORK: E' un semplice sistema per creare programmi di automazione con la conosciuta e diffusa logica a contatti. Include un editor grafico che consente di posizionare e collegare i componenti hardware della scheda (input, output, contatori, A/D, ecc) come su uno schema elettrico e di definirne le proprietà, un efficiente compilatore che converte lo schema in codice eseguibile ed utility per il download di tale codice verso la scheda. Il tutto integrato in un comodo IDE per Windows. Viene fornito sotto forma di CD che comprende esempi e manuale d'uso e relativa chiave di abilitazione.

MAPPAGGI ED INDIRIZZAMENTI

In questo capitolo ci occuperemo di fornire tutte le informazioni sulle caratteristiche hardware della scheda relative al mappaggio delle memorie, delle periferiche, dei registri, ecc. necessarie per la gestione software delle sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda é affidata ad una logica di controllo completamente realizzata con logiche programmabili. Essa si occupa del mappaggio delle memorie e di tutte le periferiche di bordo, semplificando l'operatività dell'utente.

La logica di controllo é realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente la CPU 80C552 indirizza direttamente 64K di area codice e 64K di area dati, quindi alla logica di controllo è assegnato il compito di allocare i dispositivi di memoria installabili nello spazio fisico massimo di 128K Bytes. Questa gestione è effettuata via hardware tramite lo strippaggio di alcuni jumpers (J4, J5) con cui si può definire quali memorie utilizzare e il range di indirizzamento per ciascuna di esse. Per quanto riguarda il mappaggio dell'I/O si deve invece ricordare che la logica di controllo provvede naturalmente a non utilizzare le locazioni riservate per le periferiche interne della CPU, in modo da evitare ogni problema di conflittualità.

Riassumendo i dispositivi mappati sulla scheda sono essenzialmente:

- 32K Bytes di EPROM su U1
- 32K Bytes di SRAM su U2
- 32K Bytes di SRAM, EEPROM, FLASH, EPROM su U3
- BUS **ABACO**®
- Dip switch di configurazione S1
- LEDs di attività
- Buzzer
- Controllore di I/O digitale PPI 82C55
- Controllore CAN

Questi occupano gli indirizzi riportati nei paragrafi seguenti e non possono essere riallocati in nessun altro indirizzo.

Infine alcune periferiche sono sempre gestite dalla logica di controllo, ma effettivamente non occupano spazio d'indirizzamento in quanto sono comandate direttamente da linee dei PORT della CPU, mantenendo sempre una completa e semplice gestione software.

MAPPAGGIO MEMORIE

Per quanto riguarda il mappaggio delle memorie, la scheda può essere configurata in 3 modi.

Di seguito viene riportata una schematizzazione di questi indirizzamenti, con le indicazioni di come devono essere configurati i jumper J4 e J5, che svolgono questa selezione. La scelta del mappaggio deve essere effettuata dall'utente in base al pacchetto software utilizzato e/o le richieste dell'applicazione. Si ricorda che la posizione 1-2 del jumper J4 non é descritta in quanto é riservata per future espansioni.

Da notare che le successive figure riportano la distinzione tra area codice ed area dati che coincide rispettivamente con i due tipi di accesso alla memoria esterna della CPU (MOVC e MOVX).

MAPPAGGIO 0

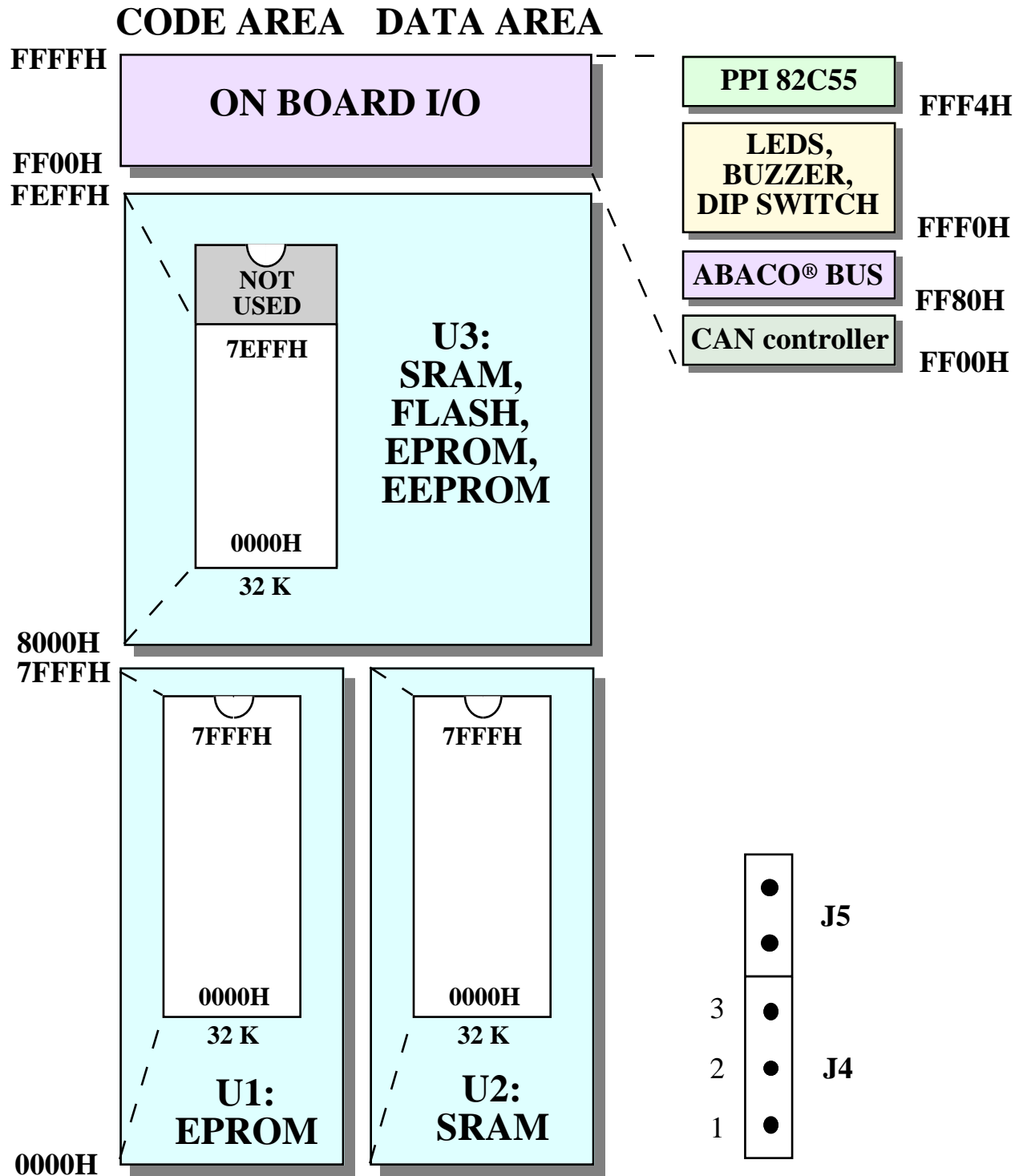


FIGURA 37: MAPPAGGIO DELLE MEMORIE IN MODO 0

Usato dai pacchetti software: BASIC 550; BXC51; HI TECH C 51; DDS MICRO C 51; SYS51PW; SYS51CW; BASCOM 8051; µC/51; ecc.

MAPPAGGIO 1

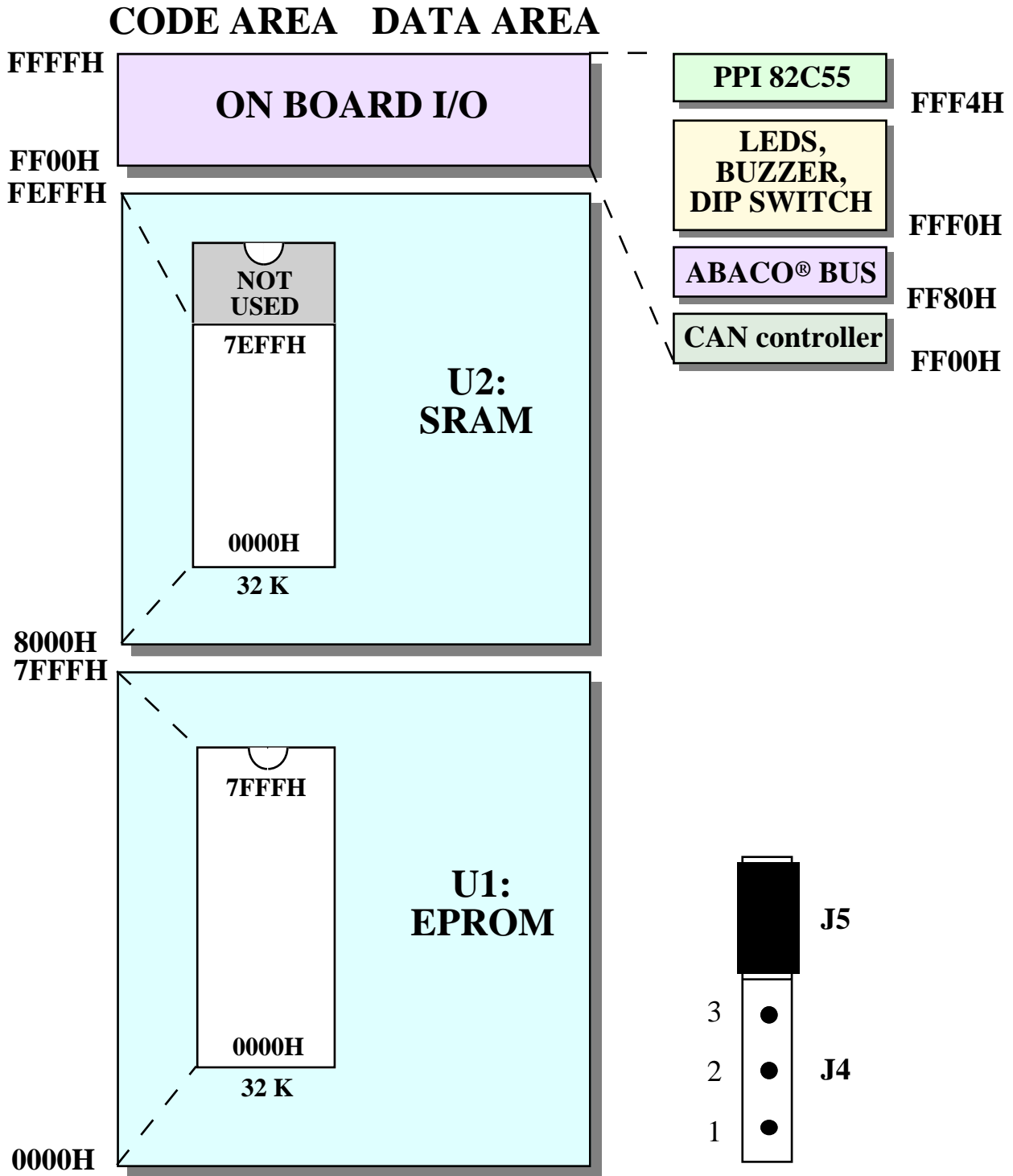


FIGURA 38: MAPPAGGIO DELLE MEMORIE IN MODO 1

Usato dai pacchetti software: HI TECH C 51; DDS MICRO C 51; SYS51PW; SYS51CW; BASCOM 8051; µC/51; ecc.

MAPPAGGIO 3

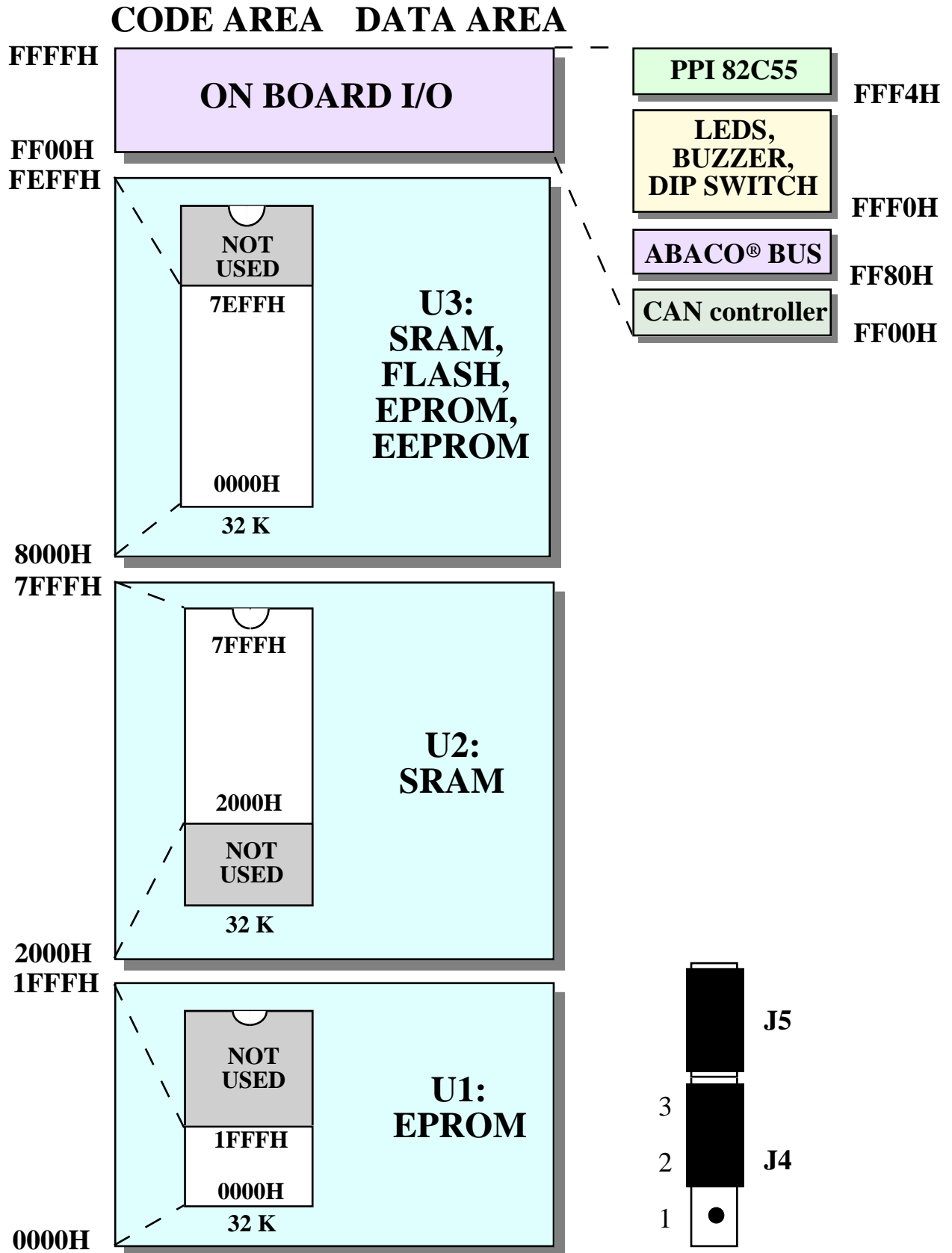


FIGURA 39: MAPPAGGIO DELLE MEMORIE IN MODO 3

Usato dai pacchetti software: MD/P; FMO52; LUCIFER per HI TECH C 51; DDS MICRO C 51; SYS51PW; SYS51CW; BASCOM 8051; µC/51; ecc.

MAPPAGGIO BUS ABACO®

La logica di controllo della GPC® 550 provvede anche alla gestione del BUS ABACO®, definendo gli indirizzi in cui tale BUS viene allocato; come si può notare dalla successiva figura 40, tale BUS è indirizzato in corrispondenza degli indirizzi BUS per una estensione di 112 bytes. Un accesso in un qualsiasi indirizzo compreso in questo range abilita il segnale /IORQ e tutti gli altri segnali di controllo di CN4+CN5. Nella fase di mappaggio di eventuali schede periferiche collegate alla scheda, solo il byte meno significativo dell'indirizzo di I/O è significativo in quanto il BUS ABACO® prevede solo 8 bit d'indirizzamento ed 8 bit di dati.

MAPPAGGIO PERIFERICHE

Per alcune delle periferiche presenti a bordo scheda si sono utilizzati gli ultimi 256 indirizzi dei 64K Bytes dell'area dati e/o codice gestita dalla CPU. Per maggior chiarezza nella seguente tabella si riportano i nomi dei registri, i loro indirizzi, i tipi di accesso ed una breve descrizione del loro significato:

| DISPOSITIVO | REGISTRO | INDIRIZZO | R/W | SIGNIFICATO |
|--------------------------------|----------|-------------|-----|---|
| CAN controller SJA 1000 | CAN | FF00H÷FF7FH | R/W | Registri per la gestione dell'UART CAN SJA 1000, in modalità BasicCAN o PeliCAN (i registri sono gli stessi riportati nel data sheet del componente, con un <u>offset</u> FF00H). |
| ABACO® BUS | BUS | FF80H÷FFEFH | R/W | Indirizzi gestione ABACO® BUS. |
| LED attività | LED | FFF1H | W | Registro gestione LEDs attività LD1, LD2, LD3. |
| BUZZER | BUZ | FFF1H | W | Registro gestione buzzer BZ1. |
| DIP SWITCH | DIP | FFF3H | R | Registro di acquisizione dip switch S1. |
| PPI 82C55 | PA | FFF4H | R/W | Registro dati del port A |
| | PB | FFF5H | R/W | Registro dati del port B |
| | PC | FFF6H | R/W | Registro dati del port C |
| | RC | FFF7H | R/W | Registro di controllo e comando |

FIGURA 40: TABELLA INDIRIZZAMENTO PERIFERICHE

Per quanto riguarda la descrizione dettagliata dei registri sopra riportati, si faccia riferimento al capitolo successivo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

Si ricorda che la figura 40 riporta la descrizione dei soli registri delle periferiche esterne al microprocessore e che per la descrizione di quelli interni si può fare riferimento all'apposita documentazione della casa costruttrice.

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri e o linee (al fine di comprendere le successive informazioni, fare sempre riferimento alla tabella di figura 40). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microprocessore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento al relativo data sheets. Nei paragrafi successivi si usano le indicazioni **D0÷D7** e **.0÷7** per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O.

I2C BUS SOFTWARE

La linea I2C BUS software presente sulla **GPC® 550** é realizzata tramite due linee di I/O bidirezionali della CPU:

| | | | |
|-------------|----|--------------------|----------|
| P3.3 | -> | linea DATA | = SW SDA |
| P3.5 | -> | linea CLOCK | = SW SCL |

che possono essere facilmente gestite dal software dell'utente per realizzare le sequenze e le tempistiche definite da questo standard. Più facilmente l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione che con il passaggio di alcuni parametri si preoccupano del completo funzionamento. Sulla linea I2C BUS software sono già presenti due dispositivi che, come descritto nei paragrafi "SRAM+RTC SERIALE" e "EEPROM SERIALE", occupano gli slave address A0H ed A8H.

LEDS DI ATTIVITA'

La logica di controllo consente la gestione software di tre LED di attività, tramite altrettanti bit del registro LED con le seguenti corrispondenze:

| | | |
|------------------|----|----------------------|
| LED.7 = 0 | -> | LD1 disattivo |
| LED.7 = 1 | -> | LD1 attivo |
| LED.6 = 0 | -> | LD3 disattivo |
| LED.6 = 1 | -> | LD3 attivo |
| LED.5 = 0 | -> | LD2 disattivo |
| LED.5 = 1 | -> | LD2 attivo |

Il registro LED condivide l'indirizzo di altre periferiche di bordo, quindi ogni operazione di scrittura su tale registro deve tener conto della programmazione di questi altri dispositivi.

Il registro LED è completamente azzerato in fase di reset o power on, di conseguenza in seguito ad una di queste fasi tutti i LED sono disattivi.

BUZZER

Il buzzer BZ1 é gestito via software tramite il bit D0 del registro BUZ, con la seguente corrispondenza:

| | | |
|------------------|----|----------------------|
| BUZ.0 = 0 | -> | BZ1 disattivo |
| BUZ.0 = 1 | -> | BZ1 attivo |

La funzione principale del buzzer é quella di segnalare acusticamente delle condizioni di stato previste dal programma applicativo in modo da attirare l'attenzione dell'utilizzatore (ad esempio allarmi, configurazioni anomale, ecc).

Il registro BUZ condivide l'indirizzo di altre periferiche di bordo, quindi ogni operazione di scrittura su tale registro deve tener conto della programmazione di questi altri dispositivi.

Il registro BUZ è completamente azzerato in fase di reset o power on, di conseguenza in seguito ad una di queste fasi il buzzer è disattivo.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale (U16), si faccia riferimento alla documentazione specifica del componente od ai programmi dimostrativi forniti con la scheda. L'utente deve realizzare una comunicazione sincrona con il protocollo standard I2C BUS, tramite alcune linee di I/O della sezione PORT della CPU. Le uniche informazioni necessarie sono i collegamenti elettrici:

| | | | |
|----------------------------|----|--------------------|-----------------|
| P3.3 (input/output) | -> | linea DATA | = SW SDA |
| P3.5 (output) | -> | linea CLOCK | = SW SCL |

La circuiteria di gestione del modulo di EEPROM seriale, collega inoltre i segnali **A0,A1,A2** del dispositivo rispettivamente a **0,0,1** logico, ottenendo uno slave address pari ad **A8H**. Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale. Si ricorda che i primi 32 bytes (0÷31) del dispositivo sono riservati e perciò si deve evitare la modifica dei medesimi.

Per ulteriori informazioni sulle modalità di gestione dei segnali della sezione PORT fare riferimento all'apposita documentazione tecnica della CPU.

A seguito di un reset o power on le due linee di gestione dell'EEPROM seriale sono settate entrambe in input ed aun livello logico alto.

INGRESSI DI CONFIGURAZIONE

La **GPC® 550** dispone di 7 ingressi di configurazione settabili dall'utente ed acquisibili via software, con le modalità di seguito riportate. Le possibili applicazioni di questi ingressi possono essere quelle destinate al settaggio di alcune condizioni di lavoro, alla selezione di parametri relativi al firmware di bordo, selezione della lingua, ecc.

Il dip switch S1 può essere acquisito effettuando una semplice operazione di lettura all'indiizzo di allocazione del registro DIP. La corrispondenza tra i bit del registro e le linee del dip switch è la seguente:

| | | |
|--------------|----|------------------------|
| DIP.7 | -> | dip switch S1.8 |
| DIP.6 | -> | 0 |
| DIP.5 | -> | dip switch S1.6 |
| DIP.4 | -> | dip switch S1.5 |
| DIP.3 | -> | dip switch S1.4 |
| DIP.2 | -> | dip switch S1.3 |
| DIP.1 | -> | dip switch S1.2 |
| DIP.0 | -> | dip switch S1.1 |

La combinazione è in logica negata, ovvero il dip in **ON** fornisce lo stato logico **0** al corrispondente bit, mentre il dip in **OFF** fornisce lo stato logico **1**.

Il dip switch 8 di S1 svolge la funzione di selettore delle modalità RUN (ON) o DEBUG (OFF), caratteristica di alcuni pacchetti software della **grifo®**.

Per una facile individuazione del dip switch S1 sulla scheda, si vedano le figure 25, 26.

SRAM TAMPONATA + RTC SERIALE

La **GPC® 550** dispone di un completo Real Time Clock in grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. Il componente è alimentato dalla circuiteria di back up in modo da garantire la validità dei dati in ogni condizione operativa ed è completamente gestito via software. La sezione di RTC può inoltre generare interrupt in corrispondenza di intervalli di tempo programmabili sempre via software, in modo da poter periodicamente distogliere la CPU dalle normali operazioni oppure periodicamente risvegliarla dagli stati di basso consumo.

Per quanto riguarda la gestione specifica del modulo di SRAM+RTC seriale (U14), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. In dettaglio si deve realizzare una comunicazione sincrona con il protocollo standard I2C BUS, tramite alcune linee di I/O della CPU:

| | | | |
|----------------------------|----|--------------------|----------|
| P3.3 (input/output) | -> | linea DATA | = SW SDA |
| P3.5 (output) | -> | linea CLOCK | = SW SCL |

La circuiteria di gestione del modulo di SRAM+RTC collega inoltre il segnale A0 del dispositivo a **0** logico, ottenendo uno slave address pari ad **A0H**. Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale.

PERIFERICHE DELLA CPU

La descrizione dei registri e del relativo significato di tutte le periferiche interne della CPU (ADC, TMR CNT, ICU, UART, I2C BUS HW, ecc) è disponibile nell'apposito data sheets della casa costruttrice. Fare riferimento alla "BIBLIOGRAFIA" ed all'appendice B di questo manuale per una più facile individuazione di questa documentazione.

COMUNICAZIONE RS 422, RS 485

Come descritto nel paragrafo "SELEZIONE COMUNICAZIONE SERIALE" la gestione della comunicazione in RS 422 o RS 485 a bordo della **GPC® 550** è affidata ad un segnale denominato DIR collegabile al segnale PWM1 della CPU. Quest'ultimo è facilmente settabile tramite l'anonimo registro interno PWM1 come di seguito descritto:

Comunicazione RS 422 punto punto: sia il trasmettitore che il ricevitore sono essere sempre abilitati., Dal punto di vista hardware è sufficiente mantenere il dip switch S1.7 in OFF in modo da non collegare il segnale PWM1 al DIR ed in modo da mantenere attiva la trasmissione del driver RS 422; dal punto di vista software non è necessaria alcuna gestione.

Comunicazione RS 422 in rete: il ricevitore è sempre abilitato mentre il trasmettitore deve essere abilitato solo in fase di trasmissione.

Dal punto di vista hardware si deve mantenere il dip switch S1.7 in ON in modo da collegare il segnale PWM1 al DIR, e dal punto di vista software si gestisce il trasmettitore come segue:
registro PWM1 = 00H -> DIR = stato logico 0 -> trasmettitore attivo
registro PWM1 = FFH -> DIR = stato logico 1 -> trasmettitore disattivo

Comunicazione RS 485: il ricevitore è sempre abilitato ed il trasmettitore deve essere abilitato solo in fase di trasmissione, ottenendo la funzionalità di trasmissione o ricezione sulla linea half duplex.

Dal punto di vista hardware si deve mantenere il dip switch S1.7 in ON in modo da collegare il segnale PWM1 al DIR, e dal punto di vista software si gestisce il trasmettitore come segue:
registro PWM1 = 00H -> DIR = stato logico 0 -> linea in trasmissione
registro PWM1 = FFH -> DIR = stato logico 1 -> linea in ricezione

Si ricorda che quando S1.7 è in ON si collega il segnale DIR al segnale PWM1 e si perde la possibilità di utilizzare quest'ultimo per altre funzioni. In fase di reset o power on, il segnale PWM1=DIR è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.

Fare riferimento all'apposita documentazione tecnica per il settaggio del registro PWM1.

SERIALE SOFTWARE B

La linea seriale B della **GPC® 550** è una seriale software infatti coincide con due linee di I/O della CPU che, una volta bufferate in RS 232, coincidono con le linee di comunicazione. In particolare:

P3.4 (output) -> linea **TXB RS232**
P3.2 (input) -> linea **RXB RS232** (se J11 in posizione 2-4)

Come da standard RS 232 lo stato logico 0 dei pin corrisponde allo stato positivo (+9 V) del relativo segnale, mentre lo stato logico 1 dei pin corrisponde allo stato logico negativo (-9 V).

La gestione della seriale B è quindi totalmente affidata al software di gestione eseguito dalla CPU che deve quindi ricreare un segnale con le giuste sequenze temporali sul P3.4 per la trasmissione ed esaminare il segnale sul P3.2 per la ricezione. Al fine di semplificare tali gestioni è preferibile usare un timer interno per la generazione delle basi temporali in cui generare e/o esaminare il bit ed inoltre

attivare l'interrupt /INT0 che é così in grado di segnalare automaticamente l'inizio del carattere in ricezione. Inoltre l'utente può sfruttare alcuni pacchetti software (quali ad esempio **BASIC 550** o **BASCOM 8051**) che ne supportano la gestione ad alto livello; con questi é possibile ricevere e trasmettere caratteri, con un protocollo fisico preimpostato, senza interagire direttamente con le linee di I/O e le tempistiche sopra descritte.

Per ulteriori informazioni sulle modalità di gestione dei segnali della sezione PORT fare riferimento all'apposita documentazione tecnica della CPU.

A seguito di un reset o power on le due linee di gestione della seriale B software sono settate entrambe in input ed aun livello logico alto.

PPI 82C55

Questa periferica è vista in 4 registri: uno di controllo (RC) e tre dei dati (PA, PB, PC) con cui si effettua la programmazione ed il comando della stessa. I registri dati sono utilizzati sia per operazioni di lettura (acquisizione linee dei port) che per quelle di scrittura (settaggio linee dei port) ed ognuno di tali registri riporta i dati di I/O del corrispondente port. La periferica può operare in tre modi diversi:

MODO 0 = Prevede due port bidirezionali da 8 bit (A,B) e due port bidirezionali da 4 bit (C LOW, C HIGH); gli ingressi non sono latched, mentre le uscite lo sono; nessun segnale di handshaking.

MODO 1 = Prevede due port da 12 bit (A+C LOW, B+C HIGH) dove gli 8 bit dei port A e B costituiscono le linee di I/O, mentre i 4 bit del port C costituiscono le linee di handshaking. Gli ingressi e le uscite sono latched.

MODO 2 = Prevede un port da 13 bit (A+C3-7) dove gli 8 bit del port A costituiscono le linee di I/O, mentre i rimanenti 5 bit del port C costituiscono le linee di controllo. Un port da 11 bit (B+C0-2) dove gli 8 bit del port B costituiscono le linee di I/O ed i rimanenti 3 bit del port C costituiscono le linee di controllo. Sia gli ingressi che le uscite sono latched.

La programmazione della periferica avviene scrivendo un byte nel registro di controllo RC, settando gli 8 bit del dato scritto con la seguente corrispondenza:

| | | | | | | | | | |
|-----------|----|-----------|-----------|-----------|----------|-----------|-----------|----------|-----------|
| | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 | |
| RC | = | SF | M1 | M2 | A | CH | M3 | B | CL |

dove:

| | | |
|--------------|---|---|
| SF | = | Se attivo (1) abilita il comando della periferica |
| M1 M2 | = | Selezionano il modo di funzionamento |
| 0 0 | = | Selezione del modo 0 |
| 0 1 | = | Selezione del modo 1 |
| 1 X | = | Selezione del modo 2 |
| A | = | Se attivo (1) setta il port A in input e viceversa |
| CH | = | Se attivo setta il nibble più significativo del port C in input e viceversa |
| M3 | = | Se attivo (1) seleziona modo 1, viceversa seleziona modo 0 |
| B | = | Se attivo setta il port B in input e viceversa |
| CL | = | Se attivo setta il nibble meno significativo del port C in input e viceversa. |

Dopo una fase di reset o di power on il PPI 82C55 viene settato in modo 0 con tutti i port in input.

LINEE I/O DELLA CPU

Il microcontrollore P80C552 usato a bordo della **GPC® 550** é provvisto di tre port ad 8 bit (Port 1, 4, 5) per un totale di 24 linee di I/O. Molte di queste linee sono fisicamente multiplexate all'interno dello stesso microprocessore e possono quindi assumere funzionalità diverse a seconda della programmazione software effettuata. L'utente può arbitrariamente decidere la funzionalità di tali segnali collegati ai connettori CN1 e JP1, mentre non deve assolutamente settare i Port 0, 2 e deve programmare con scrupolosa attenzione i rimanenti segnali del Port 3 che sono infatti dicati alla gestione dell'I2C BUS software, delle due seriali, ecc. Una variazione nell'inizializzazione od uno stato errato delle linee Port 0, 2, 3 può causare un malfunzionamento od un blocco nell'esecuzione del programma applicativo.

Per ulteriori informazioni sulle modalità di gestione dei segnali della sezione PORT fare riferimento all'apposita documentazione tecnica della CPU.

A seguito di un reset o power on tutte le linee dei Port sono settate in input ed aun livello logico alto.

CONTROLLORE CAN

Come indicato nella tabella di figura 41 il controllore CAN **SJA 1000**, é gestito tramite una serie di registri di comando e/o stato che sono approfonditamente descritti nell'appendice B di questo manuale ed utilizzati negli esempi forniti assieme alla scheda. In questo paragrafo vengono solo riportate una serie di informazioni aggiuntive necessarie per usare correttamente tali registri.

1) Il Bit Rate di comunicazione, ricavabile dalle informazioni dell'appendice B, é ottenibile dalla seguente formula:

$$\text{BAUD RATE} = \text{Freq} / 2 * (\text{BRP} + 1) * (3 + \text{TSEG1} + \text{TSEG2})$$

dove:

Freq = Frequenza di clock del controllore CAN in Hz (24000000).

BRP = Valore espresso dai bit **BRP.x** del **Bus Timing Register 0** (BTR0, indirizzo **FF06H**).

TSEG1 = Valore espresso dai bit **TSEG1.x** del **Bus Timing Register 1** (BTR1, indirizzo **F07H**).

TSEG2 = Valore espresso dai bit **TSEG2.x** del **Bus Timing Register 1** (BTR1, indirizzo **FF07H**).

2) Per un corretto interfacciamento fra il controllore CAN **SJA1000** ed il driver di linea **82C250**, é necessario programmare l'**Output control register** (OCR, indirizzo **INDPCS6+8**), con il dato **FA Hex**; in questo modo si configura il dispositivo in "Normal output mode", con le uscite TX0 e TX1 in "Push-Pull".

3) Nelle figura seguente viene riportata la flow chart relativa all'inizializzazione consigliata del controllore CAN **SJA1000**: come si può notare, questa inizializzazione non prevede l'utilizzo di Interrupt. Per una loro eventuale gestione, é necessario settare opportunamente i bit del Control Register (CR, indirizzo **INDPCS6+0**).

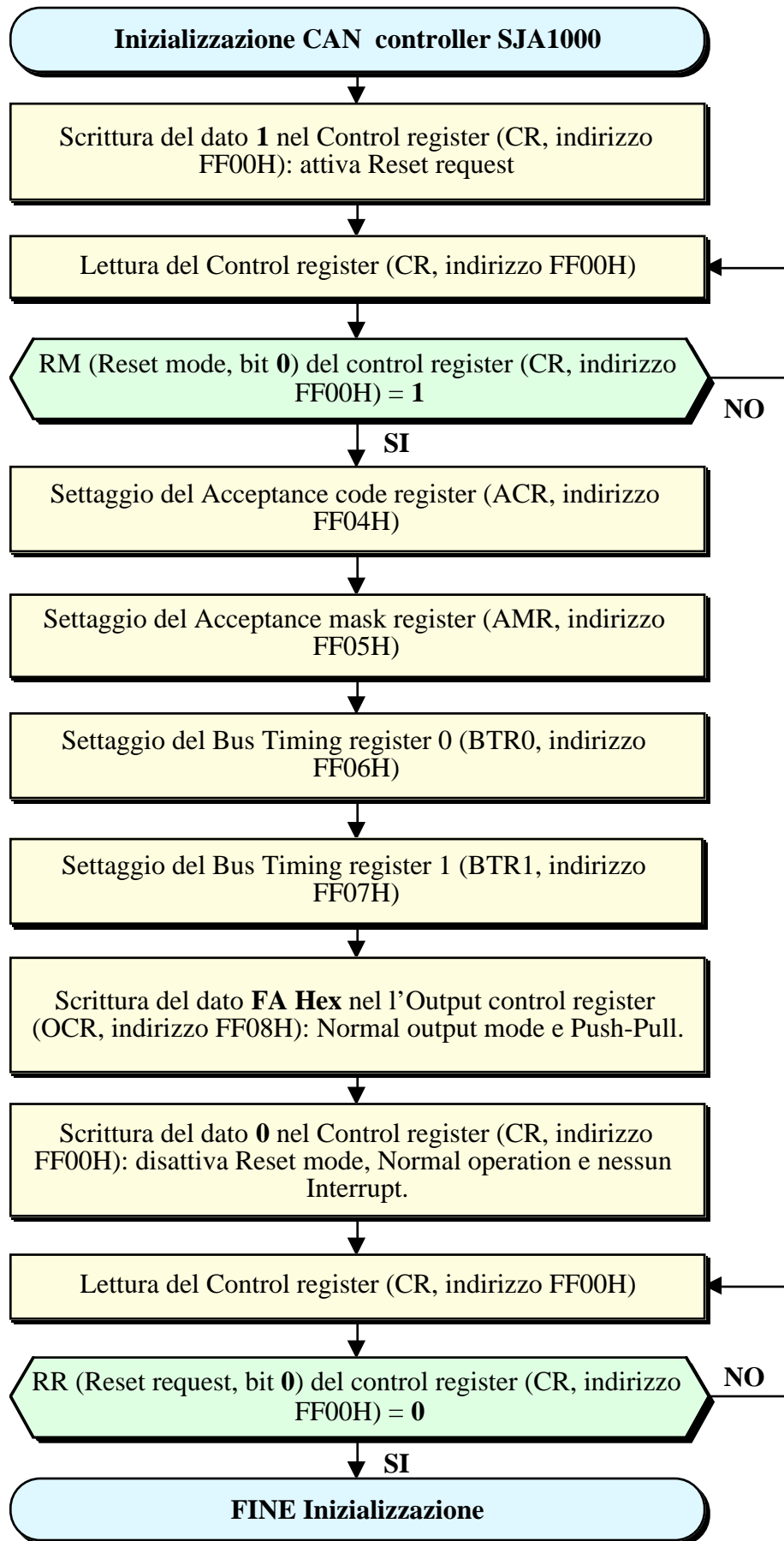


FIGURA 41: FLOW CHART INIZIALIZZAZIONE CONTROLLORE CAN

SCHEDE ESTERNE

La scheda **GPC® 550** si interfaccia a buona parte dei moduli della serie BLOCK e di interfaccia utente. Le risorse di bordo possono essere facilmente aumentate collegando la **GPC® 550** alle numerose schede periferiche del carteggio **grifo®** tramite i **BUS ABACO®**. Anche schede in formato block con **ABACO® I/O BUS** possono essere collegate, sfruttando gli appositi mother boards. A titolo di esempio ne riportiamo un elenco con una breve descrizione delle caratteristiche di massima, per maggiori informazioni, richiedere la documentazione specifica:

KDL X24 - KDF 224

Keyboard Display LCD 2,4 righe 24 tasti - Keyboard Display Fluorescent 2 righe 24 tasti
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e tastiera a matrice esterna da 24 tasti; display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs. Predisposizione per collegamento a tastiera telefonica.

QTP 24P

Quick Terminal Panel 24 tasti con interfaccia Parallela

Interfaccia operatore provvista di display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs; tastiera a membrana da 24 tasti di cui 12 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda in grado di pilotare anche carichi esterni; interdaccia parallela basata su 16 I/O TTL di un connettore normalizzato I/O **ABACO®** a 20 vie. Tasti ed etichette personalizzabili tramite serigrafie da inserire in apposite tasche; opzione di contenitore metallico.

QTP G28

Quick Terminal Panel 28 tasti con LCD grafico

Interfaccia operatore provvista di display LCD grafico da 240x128 pixel retroilluminato con lampada a catodo freddo; tastiera a membrana da 28 tasti di cui 6 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda; interdaccia seriale in RS 232, RS 422-485 o current loop; linea seriale ausiliaria in RS 232. Tasti ed etichette personalizzabili dall'utente tramite serigrafie da inserire in apposite tasche; contenitore metallico e plastico; EEPROM di set up; 256K EPROM o FLASH; Real Time Clock; 128K RAM; buzzer. Firmware di gestione che svolge funzione di terminale con primitive grafiche.

MB8 01

Mother Board 8 slots **ABACO®**

Mother Board con 8 slots del BUS industriale **ABACO®**; passo 5 TE; connettori normalizzati di alimentazione e di servizio; tasto di reset; 3 LEDs per le alimentazioni; foratura per aggancio ai rack.

SPB 04

Switch Power Bus mother board 4 slots **ABACO®**

Mother Board con 4 slots del BUS industriale **ABACO®**; 1 slot per alimentatore; passo 5 TE; connettori normalizzati di alimentazione; tasto di reset; foratura per aggancio ai rack.

ABB 05

Abaco® Block BUS 5 slots

Motherboard **ABACO®** da 5 slots; passo 4 TE; guida schede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO® I/O BUS**; sezione alimentatrice per +5 Vdc; sezione alimentatrice per +V Opto; sezioni alimentatrici galvanicamente isolate; tre tipi di alimentazione: da rete, bassa tensione o stabilizzata. Attacco rapido per guide Ω .

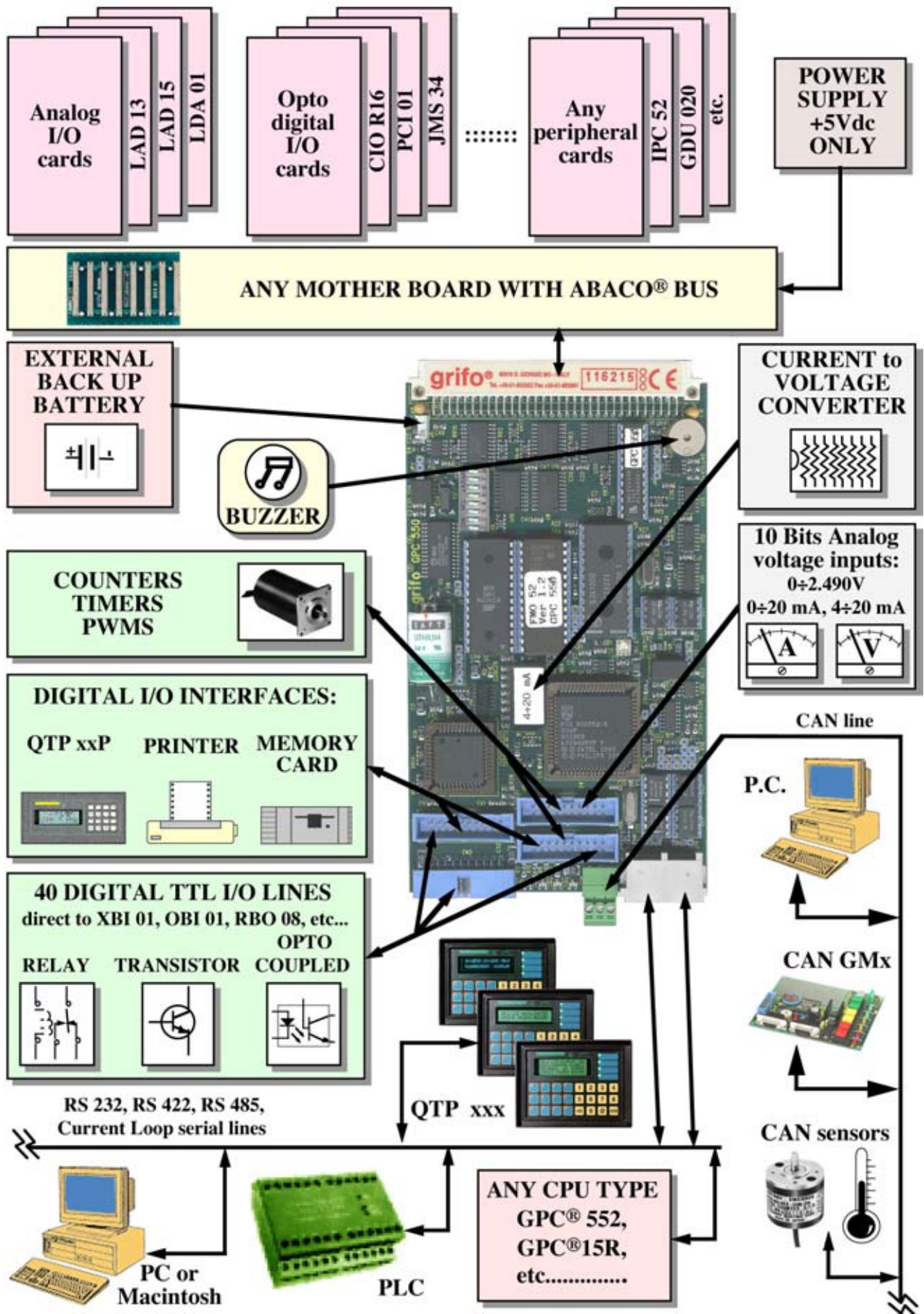


FIGURA 42: SCHEMA DELLE POSSIBILI CONNESSIONI

IAC 01

Interface Adapter Centronics

Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO**[®] a 20 vie e connettore a vaschetta D 25 vie femmina con pin out standard Centronics per la gestione di una stampante parallela.

OBI N8 - OBI P8

Opto BLOCK Input NPN-PNP

Interfaccia per 8 input optoisolati e visualizzati tipo NPN, PNP, connettore a morsettiera, connettore normalizzato I/O **ABACO**[®] a 20 vie; sezione alimentatrice; attacco rapido per guide DIN 46277-1 e 3.

TBO 01 - TBO 08

Transistor BLOCK Output

Interfaccia per 16 connettore normalizzato I/O **ABACO**[®] a 20 vie; 16 o 8 output a transistor in Open Collector da 45 Vcc 3 A su connettore a morsettiera. Uscite optoisolate e visualizzate; attacco rapido per guide DIN 6277-1 e 3.

RBO 08 - RBO 16

Relé BLOCK Output

Interfaccia per connettore normalizzato I/O **ABACO**[®] a 20 vie; 8 o 16 output visualizzati con relé da 3 A con MOV; connettore a morsettiera; attacco rapido per guide DIN 46277-1 e 3.

FBC 20 - FBC 120

Flat Block Contact 20 vie

Interfaccia tra 2 o 1 connettori a perforazione di isolante (scatolino da 20 vie maschi) e la filatura da campo (morsettiere a rapida estrazione). Attacco rapido per guide tipo DIN 46277-1 e 3.

DEB 01

Didactis Experimental Board

Scheda di supporto per l'utilizzo di 16 linee di I/O TTL. Comprende: 16 tasti; 16 LED; 4 digits; tastiera a matrice da 16 tasti; interfaccia per stampante Centronics, display LCD, display Fluorescente, connettore I/O **GPC**[®] 68; collegamento con il campo.

XBI 01

miXed BLOCK Input Output

Interfaccia tra 8 input + 8 output TTL (connettore normalizzato I/O **ABACO**[®] a 20 vie), con 8 output a transistor in Open Collector da 45 Vcc 3 A + 8 input con filtro a Pi-Greco (connettore a morsettiera). I/O optoisolati e visualizzati; attacco rapido per guide DIN 46277-1 e 3.

MCI 64

Memory Cards Interfaces 64 MBytes

Interfaccia per la gestione di Memory cards PCMCIA a 68 pins tramite un connettore normalizzato I/O **ABACO**[®]; sono disponibili driver per linguaggi ad alto livello.

LDA 01

Digital to Analog Converter 12 bits

2 D/A converter da 12 bit con uscita selezionabile tra 0÷5, 0÷10, ±5, ±10 V; 8 uscite transistor in Open Collector da 45 Vcc, 500 mA; visualizzazione dati programmati tramite LEDs; taratura offset e guadagno. BUS a 8 o 16 bit; indirizzamento normale ed esteso.

UCC A2

UART Communication Card

2 indipendenti linee seriali in RS 232, RS 422, RS 485 o current loop. Per ogni linea: buffer di 3 caratteri; comunicazione gestita dall'UART SCC 85C30; baud rate (da 50 a 115K baud), parità, stop bit e lunghezza dato programmabili via software; 4 dip switch. BUS a 8 bit; indirizzamento normale.

CI/O R16

16 Coupled Input Output Relé

16 ingressi optoisolati con filtro a Pi-Greco; tensione nominale di ingresso 24 Vcc. 16 output a microrelé da 1 A con soppressori di disturbi tipo MOV da 24 Vca. I/O visualizzati tramite LED; BUS a 8 bit; indirizzamento normale.

PCI 01

Peripheral Coupled Input

32 ingressi optoisolati con filtro a Pi-Greco; tensione nominale di ingresso 24 Vcc; ingressi visualizzati tramite LEDs; BUS a 8 o 16 bits; indirizzamento normale.

PCO 01

Peripheral Coupled Output

32 uscite a transistor in Open Collector da 45 Vcc, 500 mA, su connettore standardizzato. Uscite optoisolate e visualizzate tramite LEDs; unica tensione di alimentazione; BUS a 8 o 16 bits; indirizzamento normale.

IPC 52

Intelligent Peripheral Controller

Scheda periferica intelligente in grado di acquisire 24 segnali analogici generati da trasduttori da campo; 8 ingressi per PT 100, PT 1000; 8 ingressi per termocoppie J,K,S,T; 8 ingressi per segnali in tensione ± 2 V o corrente 0÷20 mA; interrogazione tramite BUS **ABACO**® o tramite linea seriale in RS 232, RS 422-485 o current loop; 16 linee di I/O TTL; risoluzione di 16 bit più segno; 0,1 °C di precisione; 5 acquisizioni al secondo; funzionamento come data logger.

RKD LT

Remote Keyboard Display LCD Toshiba e Fluorescent FUTABA

Terminale intelligente con interfacciamento seriale (RS 232, RS 422-485, current loop) o parallelo (BUS **ABACO**®). Gestisce tastiera a matrice da 56 tasti; display fluorescenti FUTABA e/o LCD TOSHIBA; buzzer; 8 LEDs di segnalazione; EEPROM di configurazione.

JMS 34

Jumbo Multifunction Support per controllo assi

Scheda periferica per il controllo assi. 3 ingressi optoisolati per l'acquisizione di encoder incrementali bidirezionali; gestione tacca di zero. 4 canali di D/A converter da 12 bits; range di uscita ± 10 V. 8 ingressi optoisolati NPN. 8 uscite a transistor in Open Collector da 45 Vcc, 500 mA. Tutte le linee di I/O visualizzate tramite LEDs; BUS a 8 bit; indirizzamento esteso.

SPC 03-XX

Switch Power Card versione xx

Alimentatori switching in grado di generare tensioni da -12 a +40Vcc e correnti fino a 4A a seconda del modello. Input da 12 a 26 Vac; funzione gruppo di continuità; Power Good; connettori normalizzati **ABACO**®; frontale da pannello.

BIBLIOGRAFIA

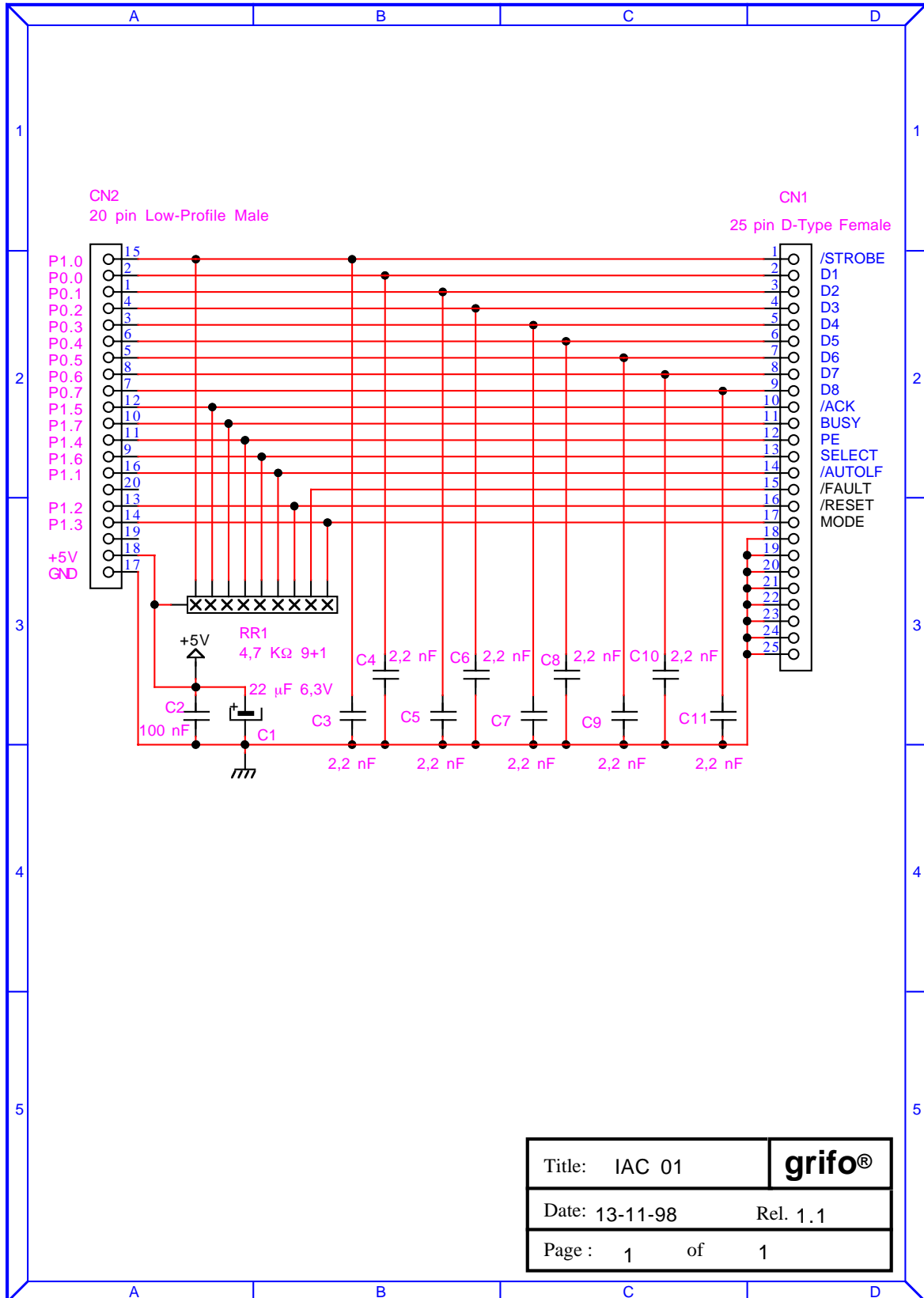
E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 550**.

| | |
|---------------------------------|---|
| Manuale ATMEL: | <i>Non volatile memory</i> |
| Manuale HEWLETT PACKARD: | <i>Optoelectronics Designer's Catalog</i> |
| Manuale NATIONAL SEMICONDUCTOR: | <i>Linear Databook - Volume 1</i> |
| Manuale NEC: | <i>Microprocessors and Peripherals - Volume 3</i> |
| Manuale NEC: | <i>Memory Products</i> |
| Manuale NEWPORT: | <i>DC-DC Converters</i> |
| Manuale MAXIM: | <i>New Releases Data Book - Volume IV</i> |
| Manuale MAXIM: | <i>New Releases Data Book - Volume V</i> |
| Manuale PHILIPS: | <i>80C51 - Based 8-Bit Microcontrollers</i> |
| Manuale PHILIPS: | <i>IC12 - I²C bus</i> |
| Manuale PHILIPS: | <i>Application notes and development tools for 80C51 microcontrollers</i> |
| Manuale SGS-THOMSON: | <i>Programmable Logic Manual GAL Products</i> |
| Manuale TEXAS INSTRUMENTS: | <i>The TTL Data Book - SN54/74 Families</i> |
| Manuale TEXAS INSTRUMENTS: | <i>RS-422 and RS-485 Interface Circuits</i> |
| Manuale TOSHIBA: | <i>Photo couplers Data Book</i> |
| Manuale XICOR: | <i>Data Book</i> |

Per reperire questi manuali fare riferimento alle case produttrici ed ai relativi distributori locali. In alternativa si possono ricercare le medesime informazioni o gli eventuali aggiornamenti ai siti internet delle case elencate.

APPENDICE A: SCHEMI ELETTRICI

In questa appendice sono disponibili gli schemi elettrici delle interfacce per la GPC® 550 più frequentemente utilizzate. Tutte queste interfacce possono essere prodotte autonomamente dall'utente mentre solo alcune di esse sono schede grifo® standard e possono quindi essere ordinate.



| | |
|----------------|----------|
| Title: IAC 01 | grifo® |
| Date: 13-11-98 | Rel. 1.1 |
| Page : 1 | of 1 |

FIGURA A1: SCHEMA ELETTRICO IAC 01



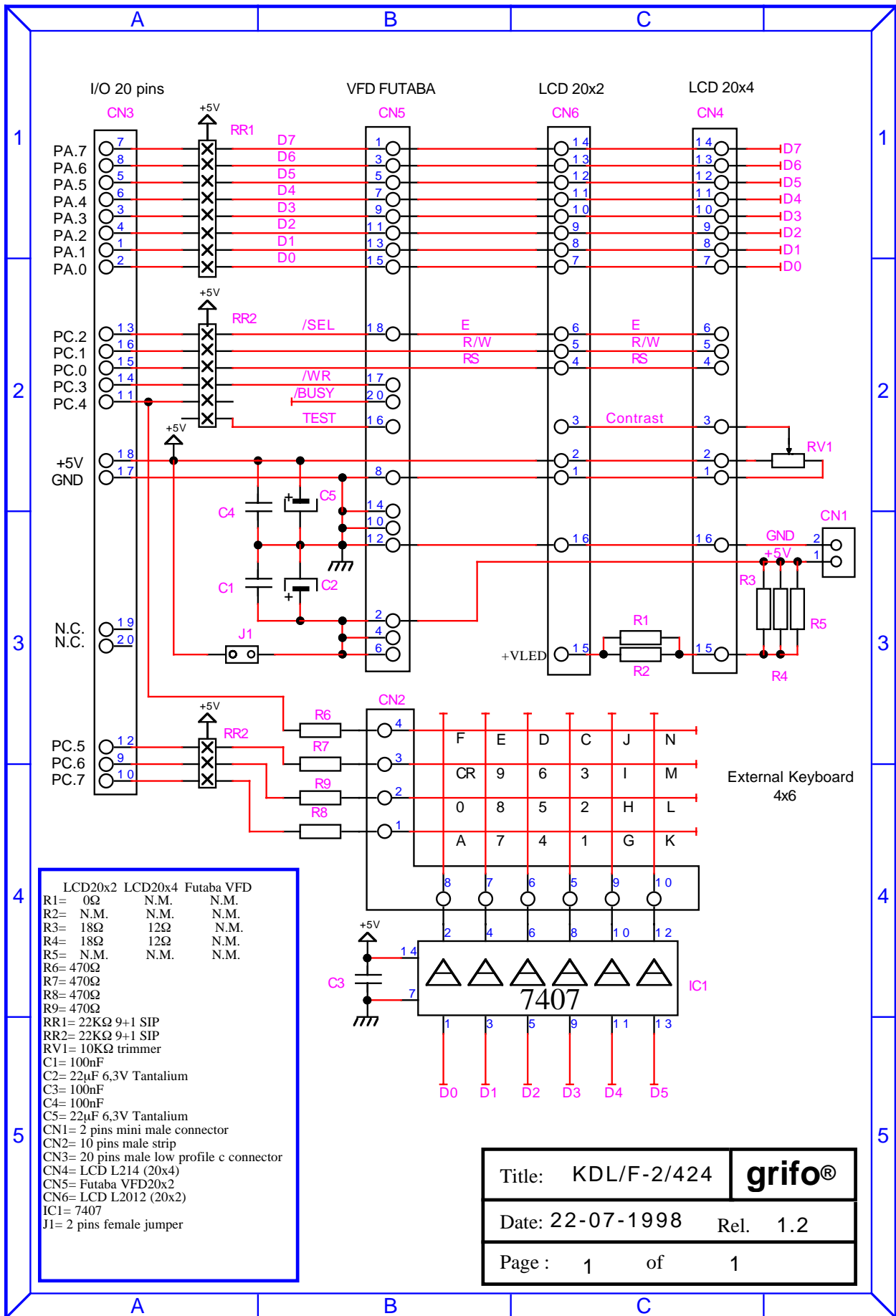
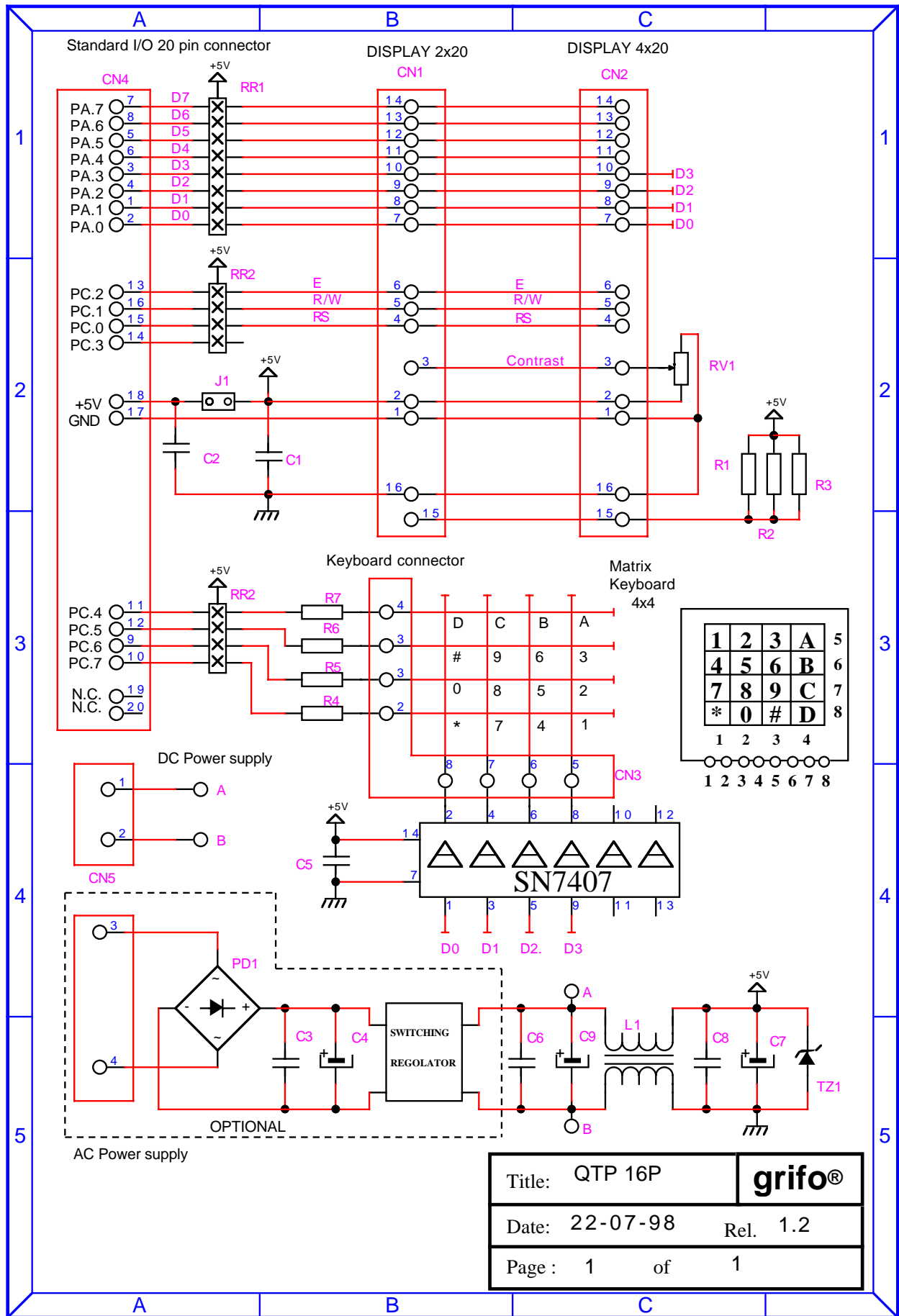


FIGURA A2: SCHEMA ELETTRICO KDX x24





| | |
|----------------|---------------|
| Title: QTP 16P | grifo® |
| Date: 22-07-98 | Rel. 1.2 |
| Page : 1 | of 1 |

FIGURA A3: SCHEMA ELETTRICO QTP 16P



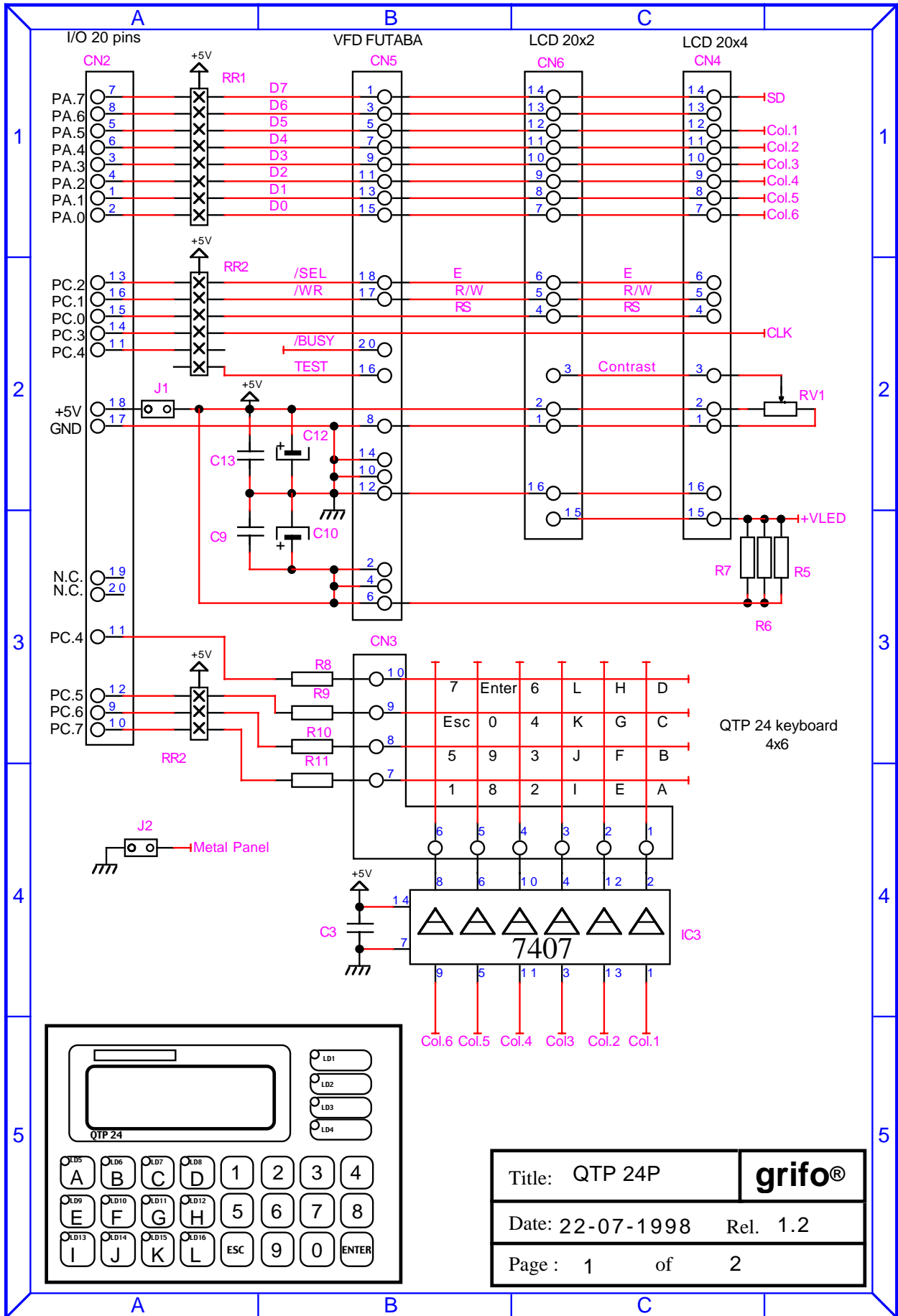


FIGURA A4: SCHEMA ELETTRICO QTP 24P - PARTE 1

| | |
|------------------|---------------|
| Title: QTP 24P | grifo® |
| Date: 22-07-1998 | Rel. 1.2 |
| Page : 1 | of 2 |

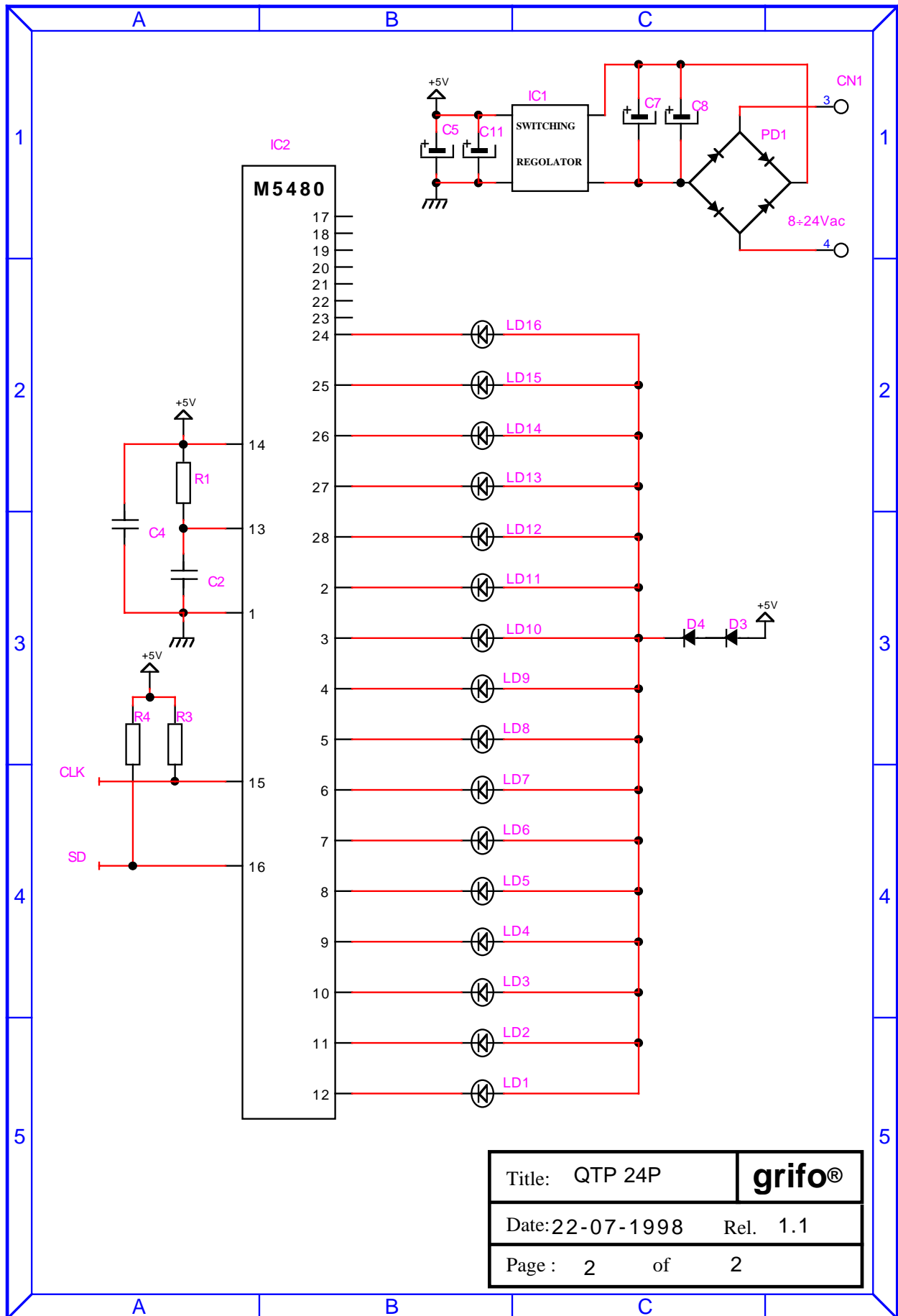


FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO

La **grifo®** fornisce un servizio di documentazione tecnica totalmente gratuito attraverso il proprio sito internet in cui possono essere scaricati i data sheets completi dei componenti usati a bordo scheda. Si rimanda quindi l'utente a tali documenti, di cui viene riportato il percorso sia tramite i link che tramite l'URL completo, assieme alle prime pagine dello stesso data sheets.

CPU 80C552

Link: Home | Servizio Documentazione Tecnica | Philips | Data-Sheet 80C552

URL: <http://www.grifo.it/PRESS/DOC/Philips/80C552X.PDF>

Link: Home | Servizio Documentazione Tecnica | Philips | Overview 80C552

URL: <http://www.grifo.it/PRESS/DOC/Philips/80C552OV.PDF>

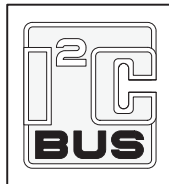
Philips Semiconductors

Product specification

Single-chip 8-bit microcontroller

80C552/83C552

Single-chip 8-bit microcontroller with 10-bit A/D, capture/compare timer, high-speed outputs, PWM



DESCRIPTION

The 80C552/83C552 (hereafter generically referred to as 8XC552) Single-Chip 8-Bit Microcontroller is manufactured in an advanced CMOS process and is a derivative of the 80C51 microcontroller family. The 8XC552 has the same instruction set as the 80C51. Three versions of the derivative exist:

- 83C552—8k bytes mask programmable ROM
- 80C552—ROMless version of the 83C552
- 87C552—8k bytes EPROM (described in a separate chapter)

The 8XC552 contains a non-volatile 8k × 8 read-only program memory (83C552), a volatile 256 × 8 read/write data memory, five 8-bit I/O ports, one 8-bit input port, two 16-bit timer/event counters (identical to the timers of the 80C51), an additional 16-bit timer coupled to capture and compare latches, a 15-source, two-priority-level, nested interrupt structure, an 8-input ADC, a dual DAC pulse width modulated interface, two serial interfaces (UART and I²C-bus), a "watchdog" timer and on-chip oscillator and timing circuits. For systems that require extra capability, the 8XC552 can be expanded using standard TTL compatible memories and logic.

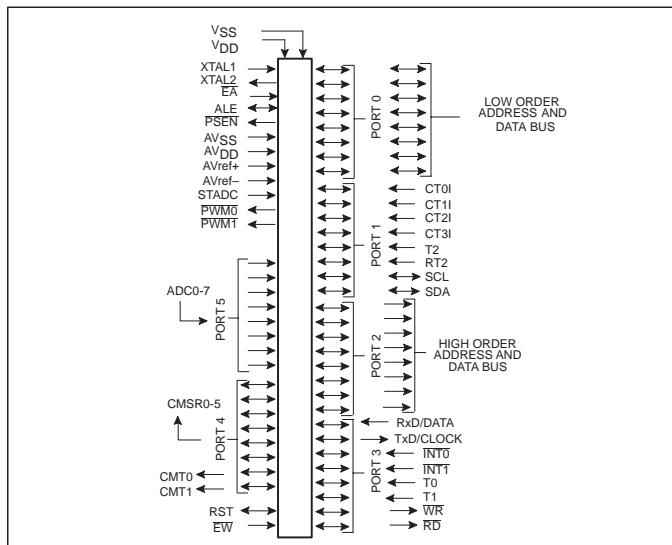
In addition, the 8XC552 has two software selectable modes of power reduction—idle mode and power-down mode. The idle mode freezes the CPU while allowing the RAM, timers, serial ports, and interrupt system to continue functioning. The power-down mode saves the RAM contents but freezes the oscillator, causing all other chip functions to be inoperative.

The device also functions as an arithmetic processor having facilities for both binary and BCD arithmetic plus bit-handling capabilities. The instruction set consists of over 100 instructions: 49 one-byte, 45 two-byte, and 17 three-byte. With a 16MHz (24MHz) crystal, 58% of the instructions are executed in 0.75µs (0.5µs) and 40% in 1.5µs (1µs). Multiply and divide instructions require 3µs (2µs).

FEATURES

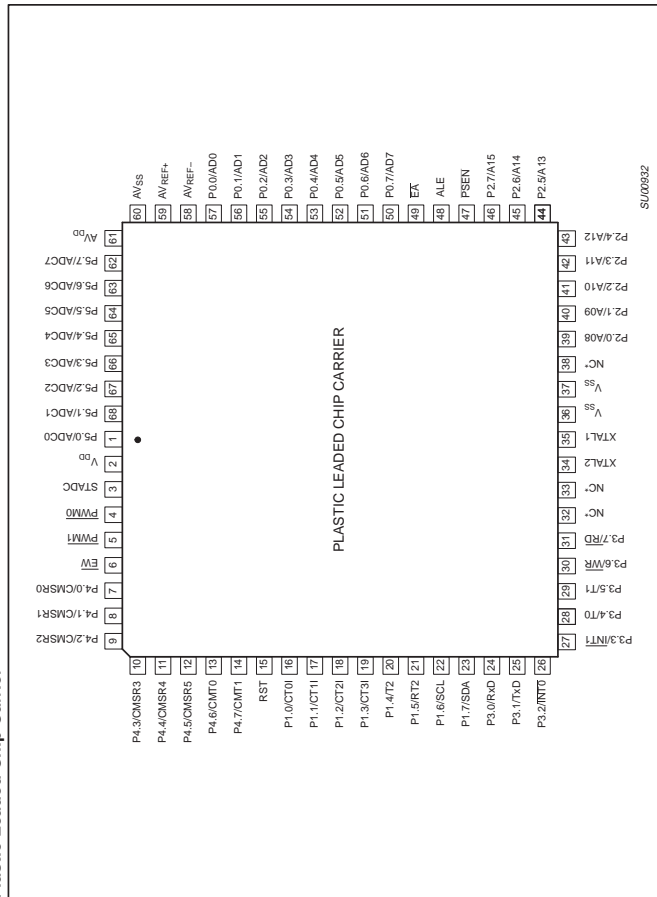
- 80C51 central processing unit
- 8k × 8 ROM expandable externally to 64k bytes
- ROM code protection
- An additional 16-bit timer/counter coupled to four capture registers and three compare registers
- Two standard 16-bit timer/counters
- 256 × 8 RAM, expandable externally to 64k bytes
- Capable of producing eight synchronized, timed outputs
- A 10-bit ADC with eight multiplexed analog inputs
- Two 8-bit resolution, pulse width modulation outputs
- Five 8-bit I/O ports plus one 8-bit input port shared with analog inputs
- I²C-bus serial I/O port with byte oriented master and slave functions
- Full-duplex UART compatible with the standard 80C51
- On-chip watchdog timer
- Three speed ranges:
 - 3.5 to 16MHz
 - 3.5 to 24MHz (ROM, ROMless only)
 - 3.5 to 30MHz (ROM, ROMless only)
- Three operating ambient temperature ranges:
 - P83C552xBx: 0°C to +70°C
 - P83C552xFx: -40°C to +85°C (XTAL frequency max. 24 MHz)
 - P83C552xHx: -40°C to +125°C (XTAL frequency max. 16 MHz)

LOGIC SYMBOL



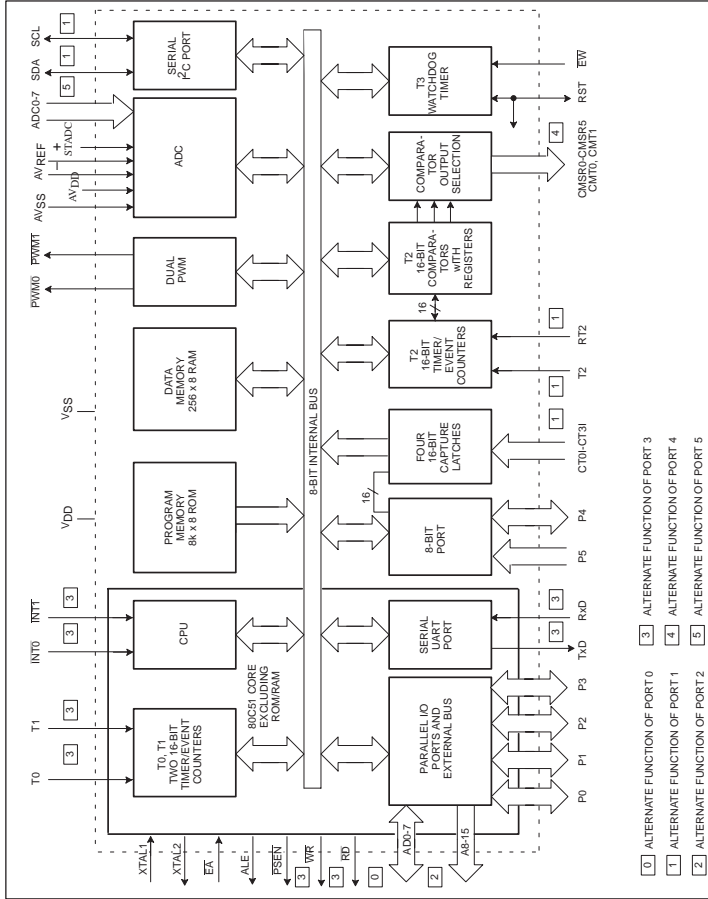
PIN CONFIGURATIONS

Plastic Leaded Chip Carrier



* Do not connect.

BLOCK DIAGRAM



- 0 ALTERNATE FUNCTION OF PORT 0
- 1 ALTERNATE FUNCTION OF PORT 1
- 2 ALTERNATE FUNCTION OF PORT 2
- 3 ALTERNATE FUNCTION OF PORT 3
- 4 ALTERNATE FUNCTION OF PORT 4
- 5 ALTERNATE FUNCTION OF PORT 5



Single-chip 8-bit microcontroller

80C552/83C552

PIN DESCRIPTION

| MNEMONIC | PIN NO. | | TYPE | NAME AND FUNCTION |
|-----------------|----------|--------------|------|--|
| | PLCC | QFP | | |
| V _{DD} | 2 | 72 | I | Digital Power Supply: +5V power supply pin during normal operation, idle and power-down mode. |
| STADC | 3 | 74 | I | Start ADC Operation: Input starting analog to digital conversion (ADC operation can also be started by software). This pin must not float. |
| PWM0 | 4 | 75 | O | Pulse Width Modulation: Output 0. |
| PWM1 | 5 | 76 | O | Pulse Width Modulation: Output 1. |
| EW | 6 | 77 | I | Enable Watchdog Timer: Enable for T3 watchdog timer and disable power-down mode. This pin must not float. |
| P0.0-P0.7 | 57-50 | 58-51 | I/O | Port 0: Port 0 is an 8-bit open-drain bidirectional I/O port. Port 0 pins that have 1s written to them float and can be used as high-impedance inputs. Port 0 is also the multiplexed address and data bus during accesses to external program and data memory. In this application it uses strong internal pull-ups when emitting 1s. |
| P1.0-P1.7 | 16-23 | 10-17 | I/O | Port 1: 8-bit I/O port. Alternate functions include: |
| | 16-21 | 10-15 | I/O | (P1.0-P1.5): Quasi-bidirectional port pins. |
| | 22-23 | 16-17 | I/O | (P1.6, P1.7): Open drain port pins. |
| | 16-19 | 10-13 | I | CT0-CT3: (P1.0-P1.3): Capture timer input signals for timer T2. |
| | 20 | 14 | I | CT1-CT4: T2 event input. |
| | 21 | 15 | I/O | RT2 (P1.5): T2 timer reset signal. Rising edge triggered. |
| | 22 | 16 | I/O | SCL (P1.6): Serial port clock line I ² C-bus. |
| | 23 | 17 | I/O | SDA (P1.7): Serial port data line I ² C-bus. |
| | | | | Port 1 is also used to input the lower order address byte during EPROM programming and verification. A0 is on P1.0, etc. |
| P2.0-P2.7 | 39-46 | 38-42, 45-47 | I/O | Port 2: 8-bit quasi-bidirectional I/O port. Alternate function: High-order address byte for external memory (A08-A15). |
| P3.0-P3.7 | 24-31 | 18-20, 23-27 | I/O | Port 3: 8-bit quasi-bidirectional I/O port. Alternate functions include: |
| | 24 | 18 | | RD(P3.0): Serial input port. |
| | 25 | 19 | | TXD (P3.1): Serial output port. |
| | 26 | 20 | | INT0 (P3.2): External interrupt. |
| | 27 | 23 | | INT1 (P3.3): External interrupt. |
| | 28 | 24 | | T0 (P3.4): Timer 0 external input. |
| | 29 | 25 | | T1 (P3.5): Timer 1 external input. |
| | 30 | 26 | | WR (P3.6): External data memory write strobe. |
| | 31 | 27 | | RD (P3.7): External data memory read strobe. |
| P4.0-P4.7 | 7-14 | 80, 1-2, 4-8 | I/O | Port 4: 8-bit quasi-bidirectional I/O port. Alternate functions include: |
| | 7-12 | 80, 1-2, 4-6 | O | CMSR0-CMSR5 (P4.0-P4.5): Timer T2 compare and self/reset outputs on a match with timer T2. |
| | 13, 14 | 7, 8 | O | CMIT0, CMIT1 (P4.6, P4.7): Timer T2 compare and toggle outputs on a match with timer T2. |
| P5.0-P5.7 | 68-62, 1 | 71-64, | I | Port 5: 8-bit input port. |
| | 15 | 9 | I/O | ADC0-ADC7 (P5.0-P5.7): Alternate function: Eight input channels to ADC. |
| RST | 15 | 9 | I/O | Reset: Input to reset the 8XC552. It also provides a reset pulse as output when timer T3 overflows. |
| XTAL1 | 35 | 32 | I | Crystal Input 1: Input to the inverting amplifier that forms the oscillator, and input to the internal clock generator. Receives the external clock signal when an external oscillator is used. |
| XTAL2 | 34 | 31 | O | Crystal Input 2: Output of the inverting amplifier that forms the oscillator. Left open-circuit when an external clock is used. |



Single-chip 8-bit microcontroller

80C552/83C552

PIN DESCRIPTION (Continued)

| MNEMONIC | PIN NO. | | TYPE | NAME AND FUNCTION |
|-----------------|---------|-------|------|---|
| | PLCC | QFP | | |
| V _{SS} | 36, 37 | 34-36 | I | Two Digital ground pins. |
| PSEN | 47 | 48 | O | Program Store Enable: Active-low read strobe to external program memory. |
| ALE | 48 | 49 | O | Address Latch Enable: Latches the low byte of the address during accesses to external memory. It is active every six clock periods. During an external data memory access, the ALE input pulse expands to eight clock periods. ALE can drive up to eight LS TTL inputs and handles CMOS inputs without an external pull-up. |
| EA | 49 | 50 | I | External Access: When EA is held at TTL level high, the CPU executes out of the internal program ROM provided the program counter is less than 8192. When EA is held at TTL low level, the CPU executes out of external program memory. EA is not allowed to float. |
| AVREF- | 58 | 59 | I | Analog to Digital Conversion Reference Resistor: Low-end. |
| AVREF+ | 59 | 60 | I | Analog to Digital Conversion Reference Resistor: High-end. |
| AVSS | 60 | 61 | I | Analog Ground |
| AVDD | 61 | 63 | I | Analog Power Supply |

NOTE:

- To avoid "latch-up" effect at power-on, the voltage on any pin at any time must not be higher or lower than V_{DD} + 0.5V or V_{SS} - 0.5V, respectively.

OSCILLATOR CHARACTERISTICS

XTAL1 and XTAL2 are the input and output, respectively, of an inverting amplifier. The pins can be configured for use as an on-chip oscillator, as shown in the logic symbol, page 2.

To drive the device from an external clock source, XTAL1 should be driven while XTAL2 is left unconnected. There are no requirements on the duty cycle of the external clock signal, because the input to the internal clock circuitry is through a divide-by-two flip-flop. However, minimum and maximum high and low times specified in the data sheet must be observed.

RESET

A reset is accomplished by holding the RST pin high for at least two machine cycles (24 oscillator periods), while the oscillator is running. To insure a good power-on reset, the RST pin must be high long enough to allow the oscillator time to start up (normally a few milliseconds) plus two machine cycles. At power-on, the voltage on V_{DD} and RST must come up at the same time for a proper start-up.

IDLE MODE

In the idle mode, the CPU puts itself to sleep while some of the on-chip peripherals stay active. The instruction to invoke the idle mode is the last instruction executed in the normal operating mode before the idle mode is activated. The CPU contents, the on-chip RAM, and all of the special function registers remain intact during this mode. The idle mode can be terminated either by any enabled interrupt (at which time the process is picked up at the interrupt service routine and continued), or by a hardware reset which starts the processor in the same manner as a power-on reset.

POWER-DOWN MODE

In the power-down mode, the oscillator is stopped and the instruction to invoke power-down is the last instruction executed. Only the contents of the on-chip RAM are preserved. A hardware reset is the only way to terminate the power-down mode. The control bits for the reduced power modes are in the special function register PCON. Table 1 shows the state of the I/O ports during low current operating modes.

ROM CODE PROTECTION (83C552)

The 83C552 has an additional security feature. ROM code protection may be selected by setting a mask-programmable security bit (i.e., user dependent). This feature may be requested during ROM code submission. When selected, the ROM code is protected and cannot be read out at any time by any test mode or by any instruction in the external program memory space.

The MOVX instructions are the only instructions that have access to program code in the internal or external program memory. The EA input is latched during RESET and is "don't care" after RESET (also if the security bit is not set). This implementation prevents reading internal program code by switching from external program memory to internal program memory during a MOVX instruction or any other instruction that uses immediate data.

Table 1. External Pin Status During Idle and Power-Down Modes

| MODE | PROGRAM MEMORY | ALE | PSEN | PORT 0 | PORT 1 | PORT 2 | PORT 3 | PORT 4 | PWM0/ PWM1 |
|------------|----------------|-----|------|--------|--------|---------|--------|--------|------------|
| Idle | Internal | 1 | 1 | Data | Data | Data | Data | Data | 1 |
| Idle | External | 1 | 1 | Float | Data | Address | Data | Data | 1 |
| Power-down | Internal | 0 | 0 | Data | Data | Data | Data | Data | 1 |
| Power-down | External | 0 | 0 | Float | Data | Data | Data | Data | 1 |

FAMIGLIA I51

Link: Home | Servizio Documentazione Tecnica | Philips | Fam.8051 Programmers Guide
 URL: <http://www.grifo.it/PRESS/DOC/Philips/PROGGUI.PDF>

Philips Semiconductors

80C51 Family

80C51 family programmer's guide and instruction set

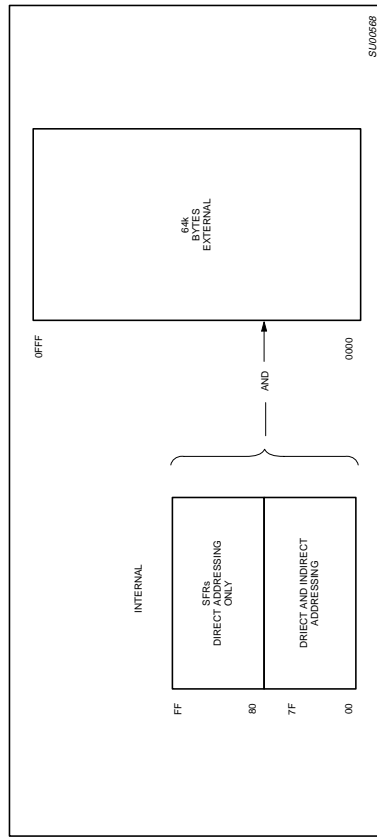


Figure 2. 80C51 Data Memory

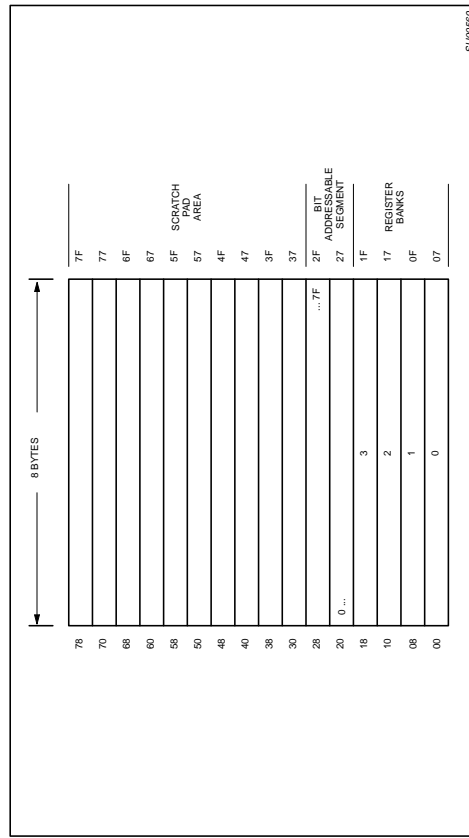


Figure 3. 128 Bytes of RAM Direct and Indirect Addressable

Philips Semiconductors

80C51 Family

80C51 family programmer's guide and instruction set

PROGRAMMER'S GUIDE AND INSTRUCTION SET

Memory Organization

Program Memory

The 80C51 has separate address spaces for program and data memory. The Program memory can be up to 64k bytes long. The lower 4k can reside on-chip. Figure 1 shows a map of the 80C51 program memory.

The 80C51 can address up to 64k bytes of data memory to the chip. The MOVX instruction is used to access the external data memory.

The 80C51 has 128 bytes of on-chip RAM, plus a number of Special Function Registers (SFRs). The lower 128 bytes of RAM can be accessed either by direct addressing (MOV data addr) or by indirect addressing (MOV @R). Figure 2 shows the Data Memory organization.

Direct and Indirect Address Area

The 128 bytes of RAM which can be accessed by both direct and indirect addressing can be divided into three segments as listed below and shown in Figure 3.

1. Register Banks 0-3: Locations 0 through 1FH (32 bytes). The device after reset defaults to register bank 0. To use the other register banks, the user must select them in software. Each

2. Bit Addressable Area: 16 bytes have been assigned for this segment, 20H-2FH. Each one of the 128 bits of this segment can be directly addressed (0-7FH). The bits can be referred to in two ways, both of which are acceptable by most assemblers. One way is to refer to their address (i.e., 0-7FH). The other way is with reference to bytes 20H to 2FH. Thus, bits 0-7 can also be referred to as bits 20.0-20.7, and bits 6-FH are the same as 21.0-21.7, and so on. Each of the 16 bytes in this segment can also be addressed as a byte.
3. Scratch Pad Area: 30H through 7FH are available to the user as data RAM. However, if the stack pointer has been initialized to this area, enough bytes should be left aside to prevent SP data destruction.

Figure 2 shows the different segments of the on-chip RAM.

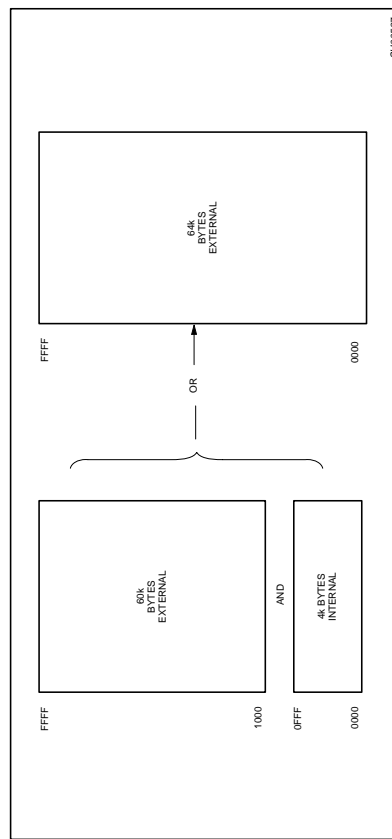


Figure 1. 80C51 Program Memory



CONTROLORE CAN SJA 1000

Link: Home | Servizio Documentazione Tecnica | Philips | Data-Sheet SJA1000

URL: <http://www.grifo.it/PRESS/DOC/Philips/SJA1000.PDF>

Philips Semiconductors Preliminary specification
Stand-alone CAN controller SJA1000

BLOCK DIAGRAM

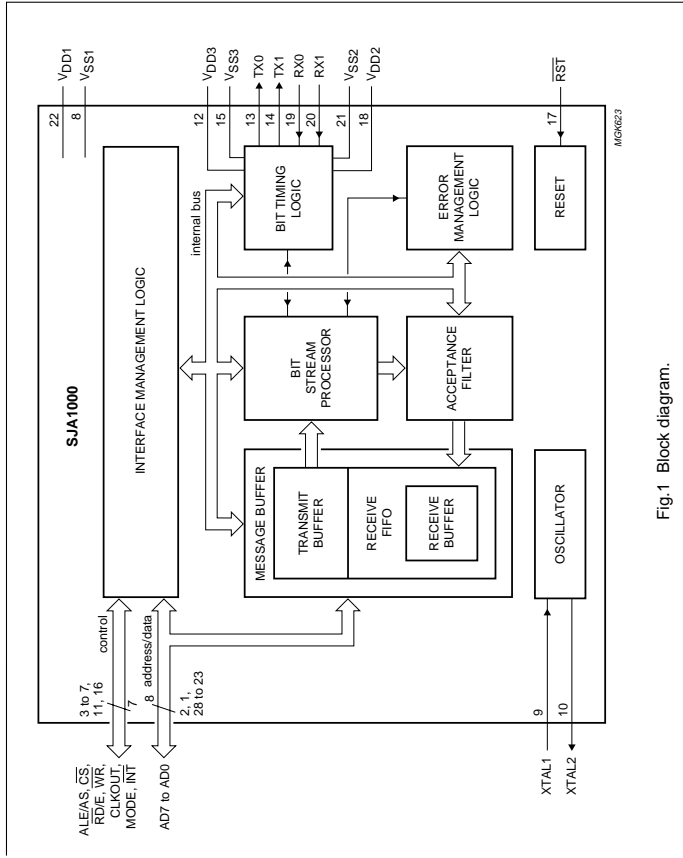


Fig.1 Block diagram.

Philips Semiconductors Preliminary specification
Stand-alone CAN controller SJA1000

FEATURES

- In compatibility to the PCA82C200 stand-alone CAN controller
- Identical compatibility to the PCA82C200 stand-alone CAN controller
- Software-compatibility mode to the PCA82C200 BasicCAN mode is default
- Extended receive buffer (64-byte FIFO)
- CAN 2.0B protocol compatibility (extended frame passive in PCA82C200 compatibility mode)
- Supports 11-bit identifier as well as 29-bit identifier bit rates up to 1 Mbits/s
- Pelican mode extensions:
 - Error counters with read/write access
 - Programmable error warning limit
 - Last error code register
- Error interrupt for each CAN-bus error
- Arbitration lost interrupt with detailed bit position
- Single-shot transmission (no re-transmission)
- Listen only mode (no acknowledge, no active error flags)
- Hot plugging support (software driven bit rate detection)
- Acceptance filter extension (4-byte code, 4-byte mask)
- Reception of 'own' messages (self reception request)
- 4 MHz clock frequency
- Interfaces to a variety of microprocessors
- Programmable CAN output driver configuration
- Extended ambient temperature range (-40 to +125 °C).

2 GENERAL DESCRIPTION

The SJA1000 is a stand-alone controller for the Controller Area Network (CAN) used within automotive and general industrial environments. It is designed to be hardware and software compatible to the PCA82C200 CAN controller (BasicCAN) from Philips Semiconductors. Additionally, a new mode of operation is implemented (Pelican) which supports the CAN 2.0B protocol specification with several new features.

ORDERING INFORMATION

| PART NUMBER | PACKAGE | | |
|-------------|---------|--|-----------|
| | NAME | DESCRIPTION | VERSION |
| A1000 | DIP28 | plastic dual in-line package; 28 leads (600 mil) | SOT-117-1 |
| A1000T | SO28 | plastic small outline package; 28 leads; body width 7.5 mm | SOT-136-1 |



APPENDICE C: INDICE ANALITICO

Simboli

.8420 **28, 35**
/IORQ **27, 56**

A

A/D **6, 10, 28, 34**
Alimentazione **11, 43**
Alimentazione CAN **30, 43**
Alimentazione current loop **23**
Assistenza **1**

B

Back up **11, 12, 46**
BasicCAN **8**
Batteria **11, 12, 33, 46**
Bibliografia **68**
Bit rate **9, 10, 62**
BUS ABACO® **26, 56, 64, A-6**
Buzzer **6, 33, 56, 57**

C

CAN **6, 8, 10, 30, 34, 43, 48, 56, 62, B-5**
Caratteristiche
 elettriche **11**
 fisiche **10**
 generali **10**
CCITT **18, 24**
Clock **6, 10**
Collegamento linea CAN **48**
Comunicazione seriale **7, 18, 24, 44, 60**
Condensa **11**
Configurazione base **6, 7, 8, 11, 38, 44**
Configurazione scheda **6**
Conessioni **12**
Connettori **10, 12, 33**
 CN1 **16**
 CN2 **14**
 CN3 **13**
 CN4+CN5 **26**
J6 **12**
JP1 **28**
JP3 **18**
JP4 **24**
JP5 **30**

Consumi **11, 43**
Contenitore **1**
Convertitore corrente tensione **28, 35**
Corrente assorbita **11**
CPU **4, 10, 43, 59, B-1, B-4**
Current loop **7, 18, 22, 34, 44**

D

DC/DC converter **8, 31**
DEBUG **6, 59**
Dimensioni **10**
Dip switch **6, 33, 56, 58**
Disposizione elementi **33**
Disturbi **43, 48**
Driver seriali **44, 45**

E

EEPROM **3, 10, 47, 52, 58**
EPROM **3, 10, 47, 52**
Errore complessivo A/D **10**
Espansione **4, 64**

F

Filtri **28, 43**
FLASH EPROM **10, 47, 52**
Forzatura **21, 46**
Foto scheda **49**
Frequenza taglio **34**
Frequenze **10**

G

Garanzia **1**
GET51 **50**

H

Handshake **7, 46**

I

I/O ABACO® **7, 13, 14, 16, 36**
I/O digitale **7, 13, 14, 16, 28, 36, 61, 62**
IAC 01 **A-1**
Impedenza **11, 28, 32, 48**
Indirizzamenti **52**
Informazioni generali **2**

Ingressi analogici 6, 11, 28, 34, 35
Ingressi configurazione 6, 58
Inizializzazione CAN 63
Installazione 12
Interfacciamento 34
Interfacce 36, A-1
Interrupt 13
Interrupts 43
Introduzione 1

J

Jumpers 38
2 vie 39
3 vie 40
4 vie 39
5 vie 40
disposizione 41

K

KDx x24 36, 64, A-2

L

LED 6, 33, 42, 57
LED attività 56, 57
Linea seriale A 18
Linea seriale B 24, 60
Logica di controllo 4, 52

M

Manutenzione 1
Mappaggio 4, 52
BUS ABACO® 56
memorie 52
periferiche 56
risorse 52
Memorie 6, 10, 33, 47, 52
Montaggio 1
Mother board 4, 64

O

Opzioni 7, 8, 44, 47

P

Pannelli operatore 36, A-2

PeliCAN **8**
Periferiche **57**
Peso **10**
Piante componenti **19, 37**
PORT **7, 62**
Port 1 **16**
Port 4 **16**
Port 5 **28**
Port A **14, 61**
Port B **13, 61**
Port C **14, 61**
PPI 82C55 **7, 13, 14, 56, 61**

Q

QTP16P **36, A-3**
QTP24P **36, 64, A-4**

R

Range analogici **35**
Registri **56, 57**
Rete CAN **32**
Rete current loop **23**
Rete RS 485 **21**
Rete terminazione **11, 21, 46, 48**
Risoluzione A/D **10**
Risorse della scheda **10**
RS 232 **7, 18, 20, 24, 34, 44**
RS 422 **7, 11, 18, 20, 34, 44**
RS 485 **7, 11, 18, 20, 34, 46**
RTC **13, 43, 46, 59, B-6**
RUN **6, 59**

S

Schede esterne **64**
Schema
 A/D **29**
 CAN **31**
 PPI 82C55 **15**
 seriali **25**
Schema a blocchi **5**
Schemi elettrici **A-1**
Segnalazioni visive **42**
Segnali controllo **56**
Serigrafie **19, 37**
Sicurezza **1**
SJA 1000 **8, 62**
Software **50**

Sovratensioni **43**

SPA 01 A-6

Specifiche tecniche **10**

SRAM **3, 10, 47, 52, 59**

Stampante **36, A-1**

SW SCL **13, 57, 58, 59**

SW SDA **13, 57, 58, 59**

T

Tarature **34**

Temperatura **11**

Tempo conversione A/D **10**

Tempo d'accesso **10**

Tensione di alimentazione **11**

TMR CNT **4, 16, 43**

Trimmer **33**

TTL **34**

U

Umidità **11**

V

Versione scheda **1**

Vibrazioni **35**

Vref **34**

