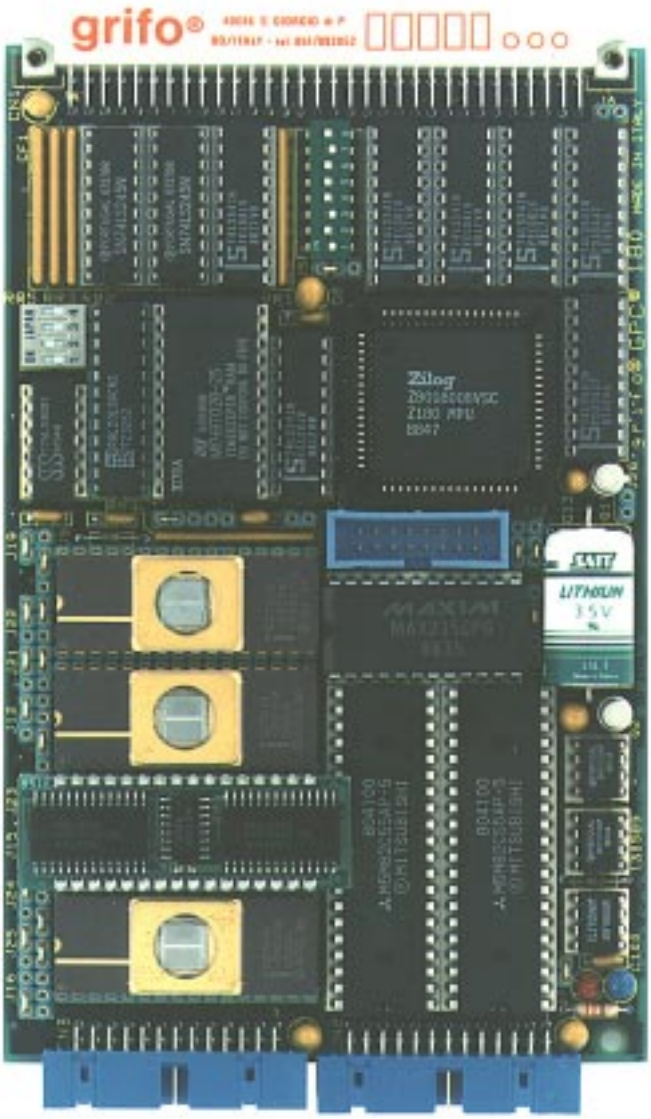
GPG® 180

General Purpose Controller Zilog Z180

MANUALE TECNICO



grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 180 Rel. 1.10 *Edizione 16 Dicembre 1991*

abaco®, **GPC®**, **grifo®**, *sono marchi registrati della ditta* **grifo®**

GPG® 180

General Purpose Controller Zilog Z180

MANUALE TECNICO

Potente controllore basato sul **Zilog Z180** od **Hitachi HD64180**. Codice compatibile **Z80** e con disponibili potenti strumenti di sviluppo software. Due linee in **RS232**, **RS422** o **RS485**; **1M Byte** a bordo di cui **128K** tamponati con batteria al Litio. **48** Linee **TTL** di **I/O**. **Real-Time Clock**.

grifo®
ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY
E-mail: grifo@grifo.it
http://www.grifo.it http://www.grifo.com
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661

GPC® 180 Rel. 1.10 *Edizione 16 Dicembre 1991*

abaco®, **GPC®**, **grifo®**, *sono marchi registrati della ditta* **grifo®**

Vincoli sulla documentazione grifo® Tutti i Diritti Riservati

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della grifo®.

IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante grifo® non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.
grifo® altresì si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per grifo®.
Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:

Attenzione: Pericolo generico

Attenzione: Pericolo di alta tensione

Attenzione: Dispositivo sensibile alle cariche elettrostatiche

Marchi Registrati

abaco, GPC®, grifo® : sono marchi registrati della grifo®.
Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INDICE GENERALE

PREFAZIONE.....IV

1. INTRODUZIONE.....1

2. CARATTERISTICHE GENERALI DELLA SCHEDA.....1
   2.1. Processore di bordo.....3
   2.2. Dispositivi di memoria.....3
   2.3. Dispositivo di clock.....4
   2.4. Comunicazione seriale.....4
   2.5. Dispositivi periferici di bordo.....4

3. SPECIFICHE TECNICHE DELLA SCHEDA.....7
   3.1. Caratteristiche generali.....7
   3.2. Caratteristiche fisiche.....7
   3.3. Caratteristiche elettriche.....7

4. INSTALLAZIONE DELLA SCHEDA.....9
   4.1. Introduzione.....9
   4.2. Connessioni con il mondo esterno.....9
      4.2.1. CN4 (Connettore linee seriali).....11
      4.2.2. CN2 (Connettore PPI IC7).....13
      4.2.3. CN3 (Connettore PPI IC8).....14
      4.2.4. CN1 (Connettore per BUS ABACO(R)).....15
      4.2.5. J27 (Connettore interrupt esterni).....17
      4.2.6. J28 (Connettore sezione DMA).....17
   4.3. Input di bordo.....18
   4.4. Segnalazioni Visive.....19
   4.5. Gestione interrupt.....19
   4.6. Jumpers.....21
      4.6.1. Jumpers a 2 vie 23
      4.6.2. Jumpers a 3 vie.....25
      4.6.3. Jumpers a 5 vie.....27

4.7. Note.....27
4.7.1. Circuiteria di Back Up.....27
4.7.2. Selezione del tipo di comunicazione seriale...28
4.7.3. Selezione del tipo di Watch-Dog.....28
4.7.4. Configurazione memorie.....29

5. DESCRIZIONE SOFTWARE.....30

6. DESCRIZIONE HARDWARE.....31
6.1. Introduzione.....31
6.2. Mappaggio delle risorse di bordo.....31
6.2.1. Mappaggio con GAL DSD.....32
6.2.1.1. Mappaggio memorie.....32
6.2.1.2. Mappaggio periferiche di bordo.....33

7. DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO.....35
7.1. Watch Dog.....35
7.2. Protezione in scrittura.....35
7.3. Dip Switch.....35
7.4. PPI 82C55.....36
7.5. RAM e RTC MK 48T12.....37

8. PERIFERICHE PER GPC® 180.....38

APPENDICE

A. DISPOSIZIONE JUMPERS.....40

B. GLOSSARIO DEI TERMINI.....48

INDICE DELLE FIGURE

2-1: Pianta componenti.....2
2-2: Schema a blocchi.....6

3-1: Foto scheda GPC 180.....8

4-1: Schema di comunicazione seriale.....10
4-2: Connettore CN4.....11
4-3: Schema linee di I/O PPI 8255.....12
4-4: Connettore CN2.....13
4-5: Connettore CN2.....14
4-6: Connettore CN1.....15
4-7: Connettore J27.....17
4-8: Connettore J28.....17
4-9: Schema connessioni J27 e J28.....18
4-10: Disposizione connettori, dip switch e LED.....20
4-11: Disposizione jumpers lato componenti.....22
4-12: Disposizione jumpers lato stagno.....24

6-1: Indirizzamento memorie con GAL DSD.....32
6-2: Indirizzamento I/O con GAL DSD.....33

A-1: Disposizione jumpers per comunicazione seriale.....41
A-2: Disposizione jumpers per selezione EPROM di IC24.....42
A-3: Disposizione jumpers per configurazione di IC25.....43
A-4: Disposizione jumpers per configurazione di IC26.....44
A-5: Disposizione jumpers per configurazione di IC27.....45
A-6: Disposizione jumpers per Watch Dog, Back Up, ecc.....46

INDICE DELLE TABELLE

4-1: Tabella riassuntiva jumpers.....21
4-2: Tabella jumpers a 2 vie.....23
4-3: Tabella jumpers a 3 vie (prima parte).....25
4-4: Tabella jumpers a 3 vie (seconda parte).....26
4-5: Tabella jumpers a 5 vie.....27

6-1: Tabella indirizzi periferiche di bordo.....34

PREFAZIONE

L'uso di questi dispositivi è rivolto - **IN VIA ESCLUSIVA** - a personale specializzato.
Questo prodotto non è un **componente di sicurezza** così come definito dalla direttiva **98-73/CE**.

I pin del Mini Modulo non sono dotati di protezione contro le cariche elettrostatiche. Esiste un collegamento diretto tra i pin del Mini Modulo e i rispettivi pin del microcontrollore. Il Mini Modulo è sensibile ai fenomeni ESD.
Il personale che maneggia i Mini Moduli è invitato a prendere tutte le precauzioni necessarie per evitare i possibili danni che potrebbero derivare dalle cariche elettorstatiche.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - **IN VIA ESCLUSIVA** - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente **- PRIMA DI COMINCIARE AD OPERARE -** legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

1. INTRODUZIONE

Questo manuale fornisce tutte le informazioni hardware e software per consentire all' utente il miglior utilizzo della scheda **General Purpose Controller GPC® 180**.

2. CARATTERISTICHE GENERALI DELLA SCHEDA

La scheda **GPC® 180** e' un potentissimo modulo di controllo e di gestione nel formato unificato standard **Singola EUROPA** da **100x160 mm**. Essa opera sul potente **BUS Industriale ABACO®** da **16** bit di cui sfrutta la ricca serie di periferiche industriali e di moduli intelligenti di cui questo bus e' dotato.

La scheda e' basata sul microprocessore **Z180** della **Zilog** in tutte le versioni, il quale e' codice compatibile con lo **Z 80**.

La sua modularita' la rende il componente ideale per poter costruire architetture con logica distribuita, con buone risorse locali in termini di **I/O** ed ottime risorse in termini elaborativi. La notevole potenza elaborativa della scheda fa si' che, in accoppiamento con opportune schede periferiche, sia in grado di risolvere il problema della gestione di macchine od automazioni di medio-alta complessita'.

Lo sviluppo e la messa a punto delle applicazioni per questa scheda, puo' cominciare gia' dalla sola **GPC® 180** in quanto essa dispone di tutto l'hardware e di vari pacchetti software, che consentono all'utente di operare agevolmente e di ottenere inoltre un'applicazione definitiva . La **GPC® 180** e' per questo un sistema di sviluppo autonomo ed efficiente.

E' possibile acquistare, gia' per modeste quantita', delle **GPC® 180** parzialmente popolate con a bordo le sole sezioni utilizzate. Questa possibilita' consente di ridurre ulteriormente i costi aumentando nel contempo la competitivita' dell' impianto.

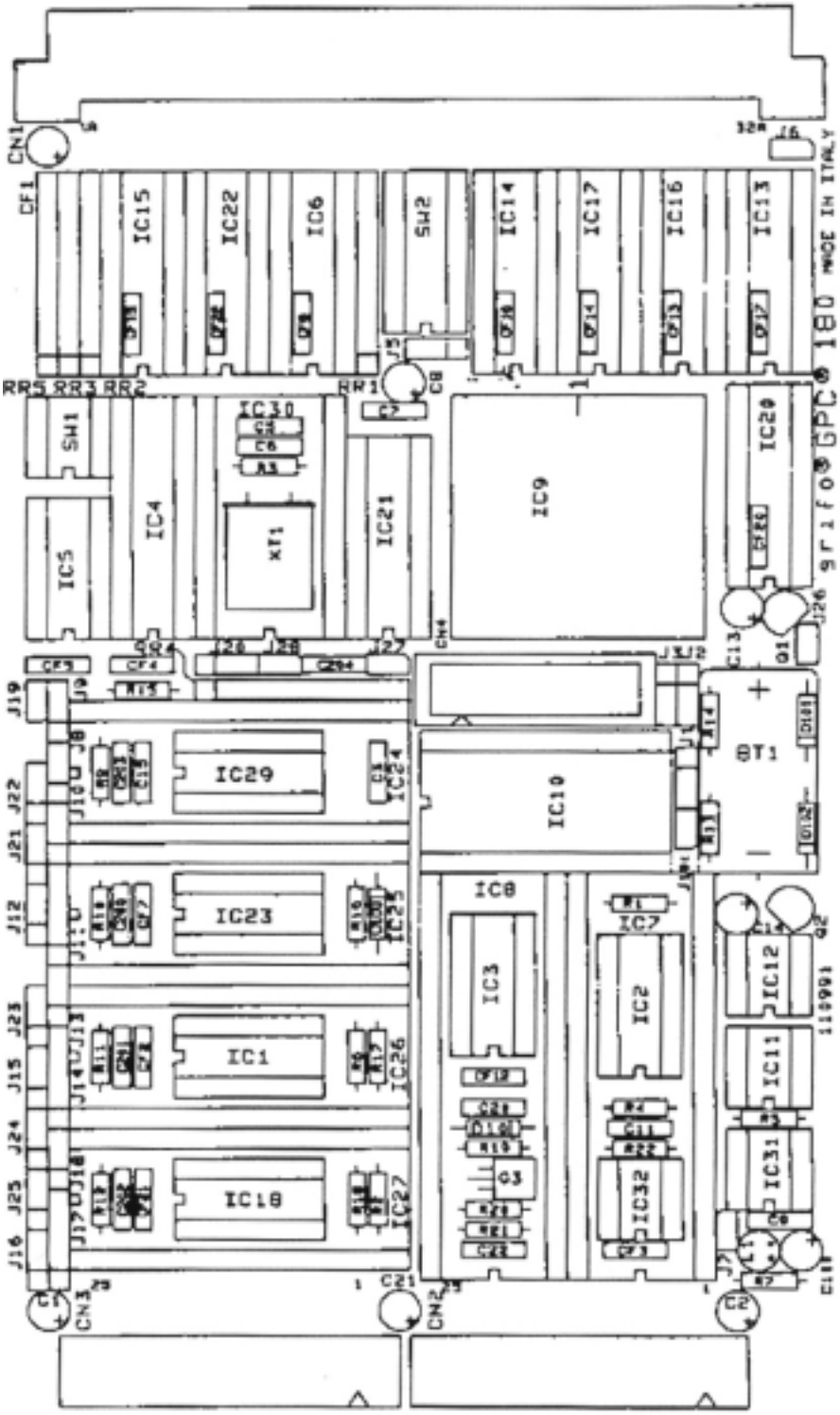


Fig. 2-1: Pianta componenti.

2.1. Processore di bordo.

La scheda **GPC® 180** e' predisposta per accettare il microprocessore ad **8** bit **Z 180** della **Zilog** o **HD 64180** della **HITACHI**, in tutte le versioni fino **10 MHz**. Tali processori sono codice compatibili con lo **Z 80** e sono quindi caratterizzati da un esteso set di istruzioni (**170**), da una alta velocita' di esecuzione e di manipolazione dati e da un sistema vettorizzato per la gestione delle interrupts. Di fondamentale importanza e' la ricca serie di periferiche interne al microprocessore, tra le quali:

- **2** linee seriali asincrone
- **1** linea seriale sincrona
- **2** canali di **DMA**
- Circuiteria di **MMU** in grado di indirizzare fino ad **1 M Byte** di memoria esterna
- **2** timer a **16** bit
- Generatore di **WAIT** programmabile

L'architettura interna, le principali caratteristiche e l'elenco delle istruzioni dello **Z 180** oppure dello **HD 64180,** possono essere trovate negli appositi dati tecnici della casa costruttrice.

2.2. Dispositivi di memoria.

E' possibile dotare la scheda di un massimo di **1 M Byte** di **RAM/EPROM**, che possono essere configurati a seconda delle esigenze di utilizzo della stessa scheda. Tale memorie possono essere montate sugli zoccoli **IC 24**, **IC 25**, **IC 26**, **IC 27** ed **IC 30** e vengono selezionate tramite una serie di jumpers presenti sulla scheda. Il mappaggio delle risorse in termini di memoria avviene tramite l' apposita logica di controllo e di gestione che si occupa di riconfigurare le varie risorse in funzione delle specifiche esigenze dei vari linguaggi usati. Per quanto riguarda la configurazione massima per i vari tipi di memorie si ha:

Eprom -> 1 M.
Ram -> 128 K.
Ram tamponata -> 128 K.
Ram tamponata e protetta in scrittura -> 128 K.

Per ulteriori informazioni sulle configurazioni intermedie e le possibili predisposizioni si faccia riferimento al **paragrafo 4.7.4** e **6.2** di questo manuale.

2.3. Dispositivo di clock.

Il segnale di clock e' generato dalla stessa **CPU** a partire da un quarzo di **18.432 MHz** presente sulla scheda, che si traduce in una frequenza di lavoro di **9.216 MHz**. Lo stesso segnale di clock, va' a pilotare le rimanenti parti della scheda e viene inoltre portato direttamente sul BUS, in modo da poter comandare eventuali periferiche esterne. La scelta di tale valore e' legata alla generazione di un **Baud Rate** standard da parte delle due linee di comunicazione seriale asincrone di cui la scheda e' dotata. La frequenza di clock per le periferiche del **BUS industriale ABACO®**, puo' inoltre essere dimezzata in modo da poter gestire anche circuiterie lente.

2.4. Comunicazione seriale.

La comunicazione seriale e' completamente settabile da software per quanto riguarda sia il protocollo, sia la velocita' che puo' raggiungere un massimo di **19200 KBaud**.
La scheda e' provvista di due linee seriali indipendenti in Full Duplex di cui una utilizza il protocollo di comunicazione **RS 232** e la rimanente puo' essere settata o in **RS 232** o in **RS 422-485**.
La gestione di tali linee di comunicazione la si ottiene tramite la programmazione dei registri interni del microprocessore e tramite lo strippaggio di appositi jumpers, come indicato nel **paragrafo 4.7.2.**

2.5. Dispositivi periferici di bordo.

La scheda **GPC® 180**, nata per risolvere molteplici problemi di controllo e comando di automatismi, e' dotata di un certo numero di componenti atti alla comunicazione ed al colloquio con il mondo esterno:

- Due Parallel Programmable Interface **PPI 8255** adibiti all'**I/O** parallelo con **6** port ad **8** bit, per un totale di **48** linee, direttamente disponibili sui connettori **CN2** e **CN3** e totalmente gestibile da software. Via software e' definibile sia la direzionalita' di tali linee che la modalita' di gestione, tramite la programmazione dell'apposito registro di stato.

Il chip **PPI 8255** viene gestito tramite **4** byte o registri situati in altrettante locazioni di **I/O** dedicate al dispositivo durante l'operazione di mappaggio da parte della logica di controllo.

- Un modulo di **RAM** e **Real Time Clock** tamponati (**MK 48T12**) che consente di salvare blocchi di dati in modo permanente anche in assenza di alimentazione o di batteria di **Back Up** e di prelevare l'orario (ore, minuti, secondi) ed il calendario (giorno, mese, anno, giorno della settimana).
La periferica descritta e' vista in **2 KByte** in cui sono visti anche gli **8** registri dell'**RTC** allocati nello spazio di **I/O** della scheda dalla logica di controllo.

La scheda e' inoltre provvista di altri dispositivi che anche se non possono essere definiti periferiche, sono comunque parti molto importanti. Tra queste ricordiamo:

- Un **Dip Switch a 4** vie e la relativa elettronica che lo rende leggibile da software.

- Circuiteria di **Watch Dog**, con funzionamento astabile o monostabile, temporizzazione selezionabile e retrigger via software.

- Una sezione di comunicazione seriale, composta da due linee seriali indipendenti in full duplex, di cui una in **RS 232** e la rimanente settabile in **RS 232** o in **RS 422-485**. Come e' gia' stato detto per questi canali e' definibile sia il protocollo che la velocita' di comunicazione tramite la programmazione software di **10** appositi registri interni alla **CPU**.

- Una linea di comunicazione seriale sincrona per trasferimento dati ad alta velocta', gestita tramite la programmazione di **2** registri interni alla **CPU**.

- Due timer a **16** bit caratterizzati da una frequenza di conteggio pari ad **1/20** della frequenza di clock. La gestione di tali timer avviene tramite la programmazione di **9** registri interni alla **CPU**.

- Una sezione di **Memory Management Unit** in grado di indirizzare lo spazio d'indirizzamento logico di **64 K**. all'interno dello spazio fisico indirizzabile di **1 M**. Tale sistema e' gestito tramite tre appositi registri interni alla **CPU**.

- Una sezione di programmazione della logica di controllo della scheda in termini di funzionamento e temporizzazioni (**INT**; **WAIT**; ecc.). La sezione e' controllata da due registri interni alla **CPU**.

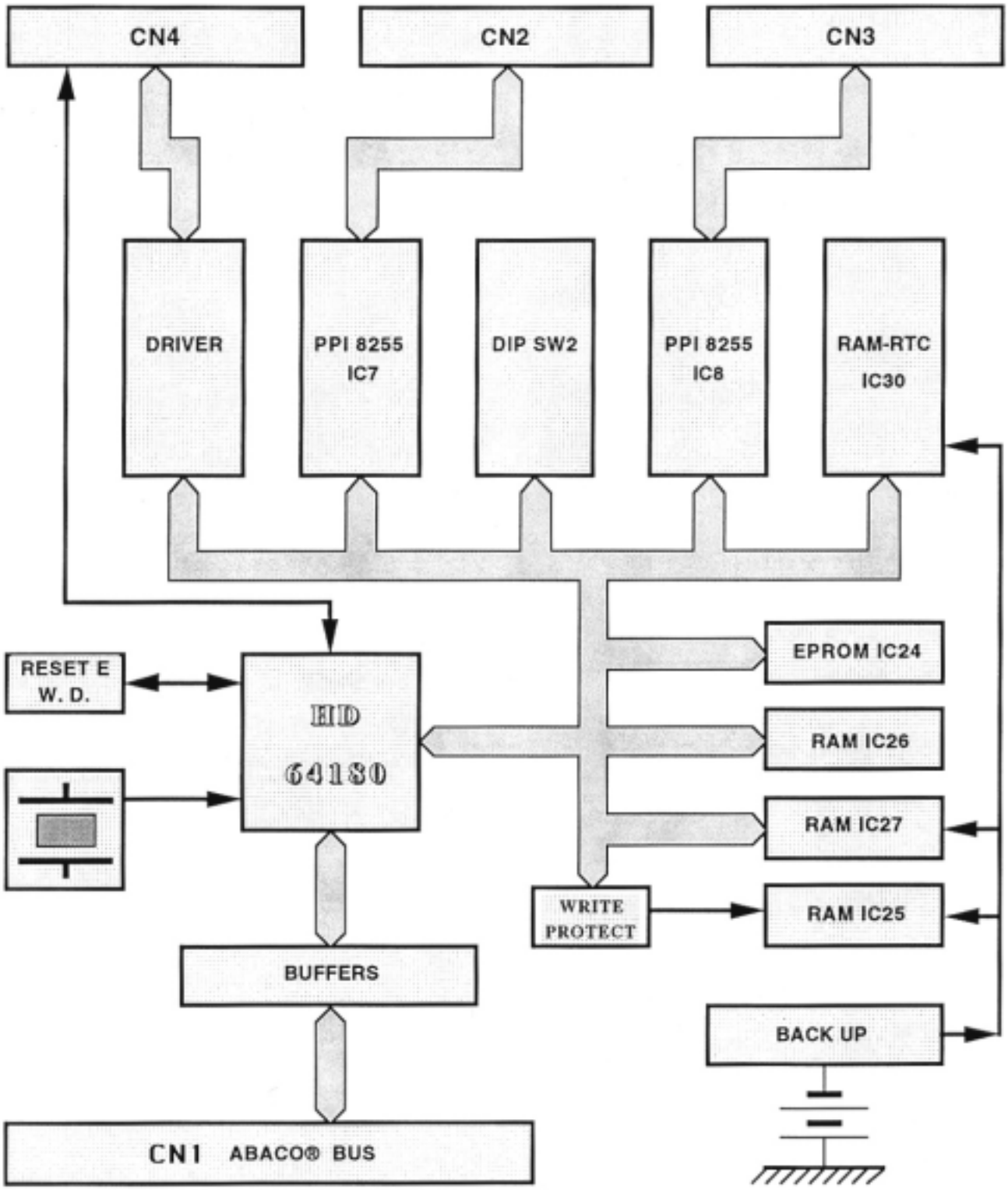


Fig. 2-2: Schema a blocchi.

3. SPECIFICHE TECNICHE DELLA SCHEDA

3.1. Caratteristiche generali.

Tipo di BUS	**BUS ABACO®**
N.ro di linee di I/O	**48 I/O** programmabili **TTL** (**PPI**) **1** linea RS 232 bidirezionale **1** linea RS 232 o RS 422-485 **1** linea seriale sincrona
Memoria indirizzabile	**IC24**: EPROM da 32K a 256K **IC25**: EPROM da 32K a 256K RAM tamponata da 32K a 128K **IC26**: EPROM da 32K a 256K RAM da 32K a 128K **IC27**: EPROM da 32K a 256K RAM tamponata da 32K a 128K **IC30**: RAM in I/O da 2K
CPU di bordo	**Z 180** o **64180** fino a **10 MHz**

3.2. Caratteristiche fisiche.

Dimensioni	Formato **Singola Europa**: 100 x 160 mm
Peso	**230 g**. nella conf. completa
Connettori	**CN1**: 64 pin DIN 41612 Corpo C A+C **CN2**: 26 vie scatolino 90 gradi M **CN3**: 26 vie scatolino 90 gradi M **CN4**: 16 vie scatolino dritto M
Range di temperatura	da **10** a **40** gradi Centigradi
Umidita' relativa	**20%** fino a **90%** (senza condens.)

3.3. Caratteristiche elettriche.

Tensione di alimentazione	**+5 Vdc**
Corrente assorbita	400 mA nella conf. completa

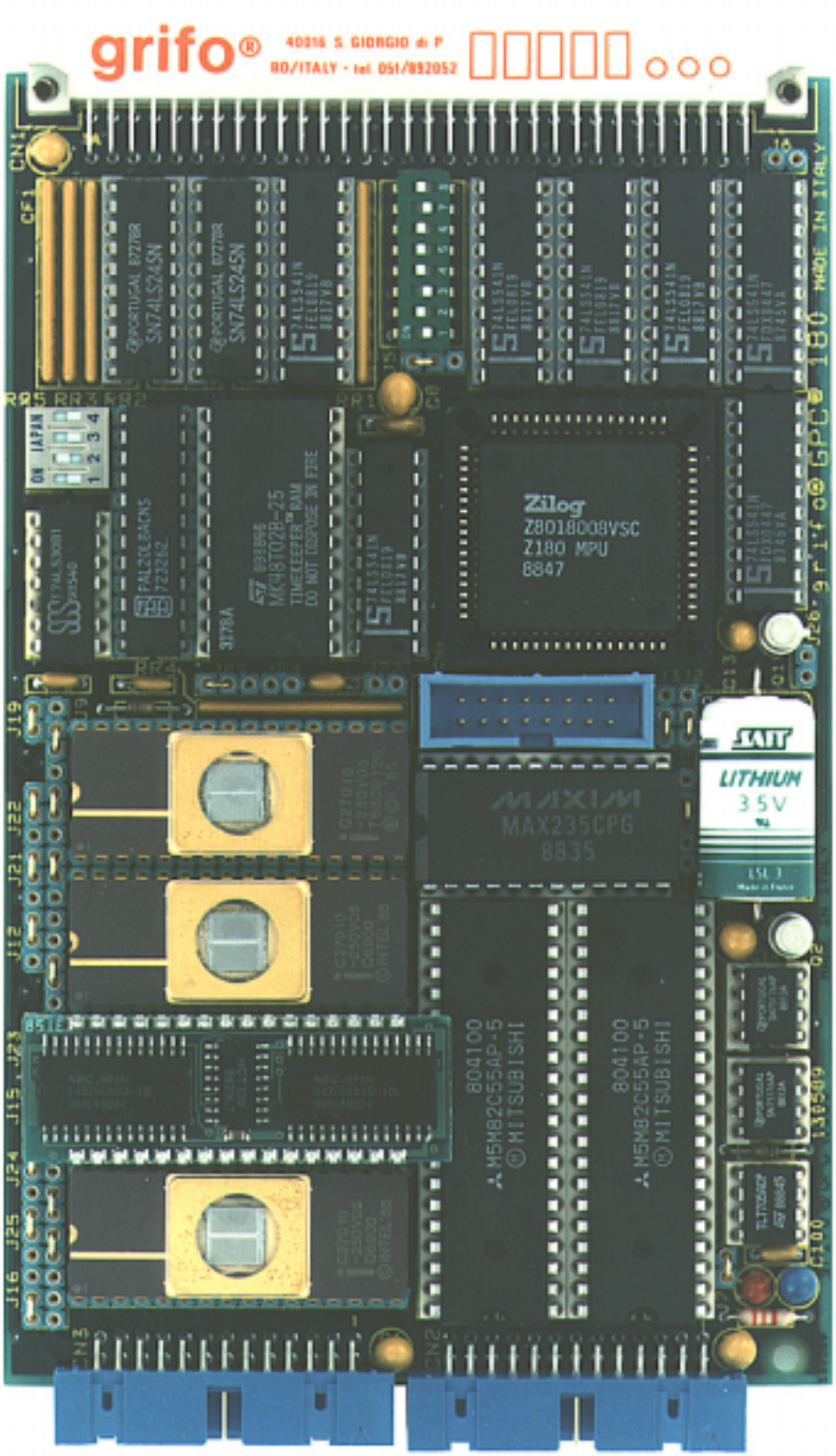


Fig. 3-1: Foto scheda GPC® 180.

4. INSTALLAZIONE DELLA SCHEDA

4.1. Introduzione.

In questo capitolo saranno illustrate tutte le operazioni da compiere per il corretto utilizzo della scheda. A questo scopo e' previsto un certo numero di jumpers con cui e' possibile settare la scheda a seconda delle esigenze dell'utente. Di seguito e' riportata l'ubicazione e la funzione di tali strip, dei connettori e di tutti i componenti che possono modificare il funzionamento della scheda.

4.2. Connessioni con il mondo esterno.

Vengono di seguito riportati i pin out dei 4 connettori della **GPC® 180** con una breve descrizione dei segnali ad essi collegati e della loro direzionalita'.

Per quanto riguarda la disposizione di tali connettori, si faccia riferimento alla **figura 4.7** di questo manuale; mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle apposite figure delle pagine successive.

N.B.
Tutti i connettori della **GPC® 180** hanno un pin out standardizzato della famiglia di schede **ABACO®**. Questo assicura un comodo e facile collegamento a tutte le schede del carteggio provviste degli stessi connettori standardizzati. In particolare i connettori **CN2** e **CN3** anche se a **26** vie, sono compatibili con i connettori standardizzati di **I/O** a **20** vie, provvedendo ad utilizzare solo le prime **18** linee (flat a **18** vie intestato con un connettore a **26** vie e con un connettore a **20** vie).

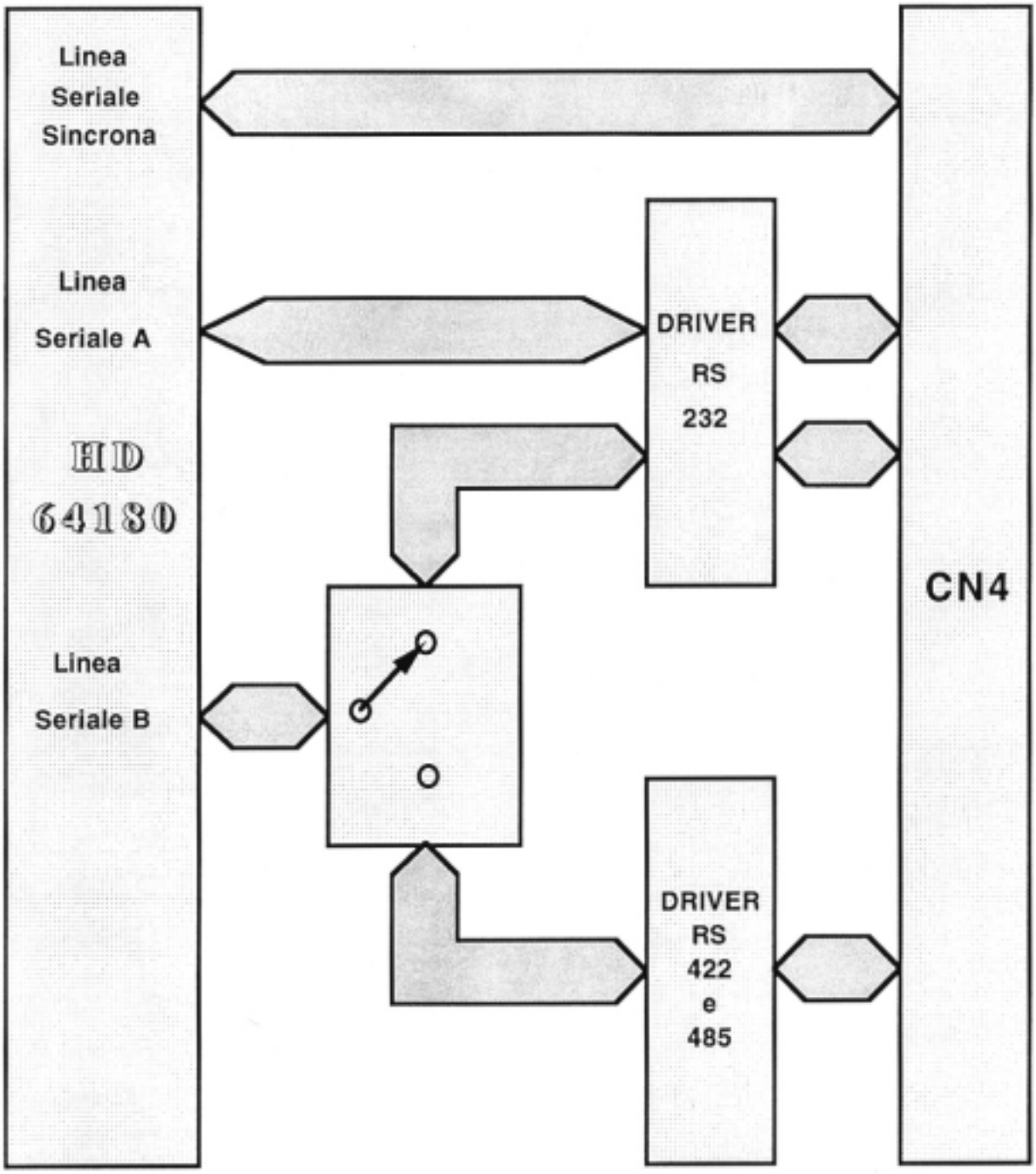


Fig. 4-1: Schema di comunicazione seriale.

4.2.1. CN4 (Connettore linee seriali)

Il connettore **CN4** e' composto da un insieme di **16** pin con cui si possono utilizzare le due linee seriali asincrone e la linea seriale sincrona della **GPC® 180**. Le tre linee seriali sono completamente gestibili via software e via hardware tramite la programmazione dell'**ASCII** e del **CSI** del microprocessore, e lo strippaggio dei jumpers **J1**, **J2**, **J3** e **J100**.

```
                    +-----------+
                    |           |
EXTB...........| 1     2 |...........GND
                    |           |
CTSB...........| 3     4 |...........RXS
                    |           |
RxDB...........| 5     6 |..........TxDB
                    |           |
CTSA...........| 7     8 |..........RTSA
                    |           |
RxDA...........| 9    10 |..........TxDA
                    |           |
CKS............| 11   12 |...........TXS
                    |           |
TxD-...........| 13   14 |..........TxD+
                    |           |
RxD-...........| 15   16 |..........RxD+
                    |           |
                    +-----------+
```

Fig. 4-2: Connettore CN4

LEGENDA:

CTSA/B = I - Clear To Send A/B: linea di abilitazione della trasmissione sulla linea seriale A o B in RS 232.
RTSA = O - Request To Send A/B: linea di richiesta di trasmissione sulla linea seriale A in RS 232.
RxDA/B = I - Receive Data A/B: linea di ricezione dalla linea seriale A o B in RS 232.
TxDA/B = O - Trasmit Data A/B: linea di trasmissione sulla linea seriale A o B in RS 232.
TxD- = O - Trasmit Data negative: linea bipolare negativa per trasmissione seriale in RS 422-485.
TxD+ = O - Trasmit Data positive: linea bipolare positiva per trasmissione seriale in RS 422-485.
RxD+ = I - Receive Data positive: linea bipolare positiva per ricezione seriale in RS 422-485.
RxD- = I - Receive Data negative: linea bipolare negativa per ricezione seriale in RS 422-485.
RXS = I - Receive Serial: linea di ricezione sincrona.
TXS = O - Trasmit Serial: linea di trasmissione sincrona.
CKS = I/O- Clock Serial: linea di clock per comunicazione seriale sincrona.
EXTB = I - Ingresso per eventuale batteria esterna.
GND = Linea di massa per comunicazioni seriali.

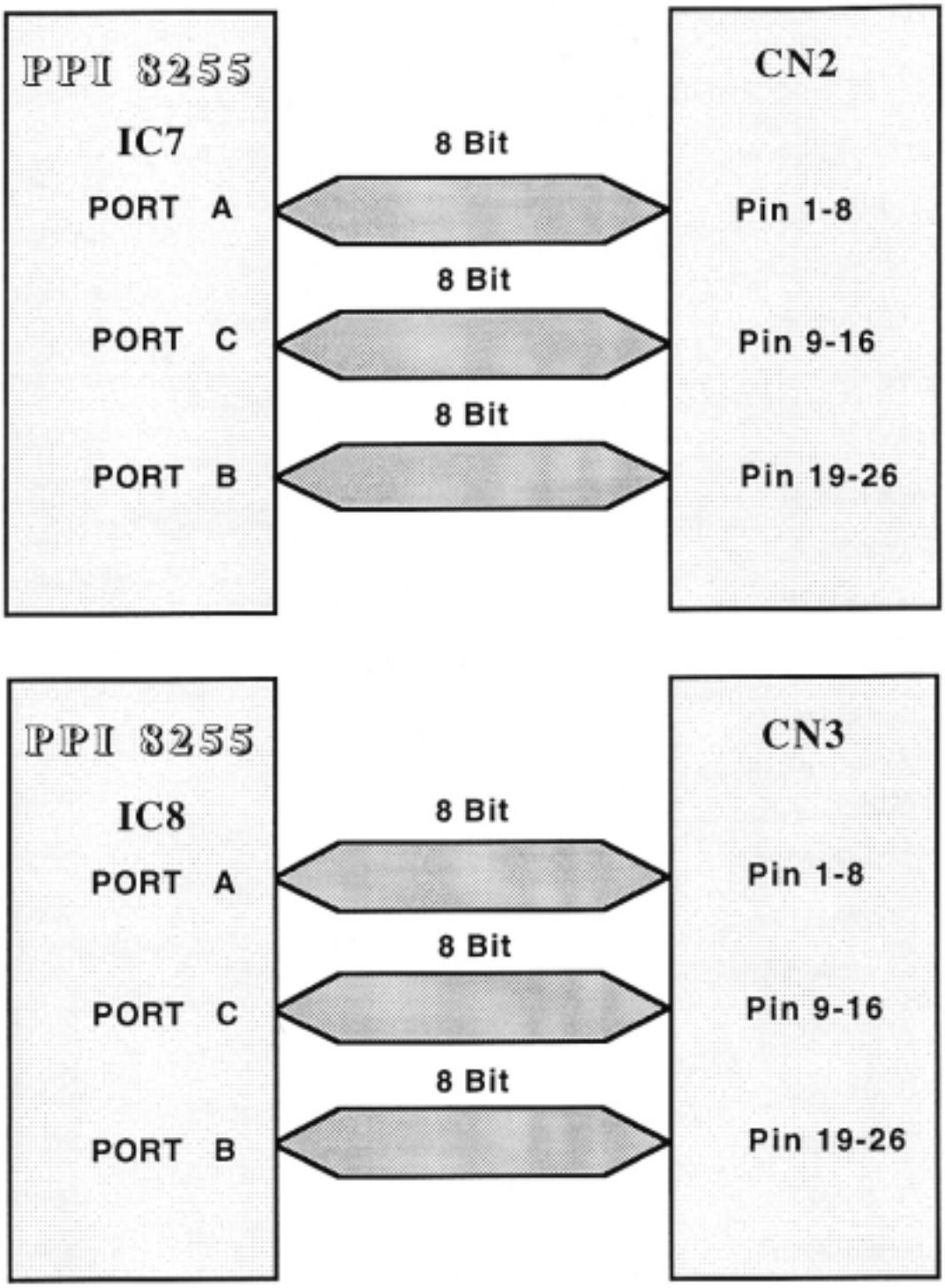


Fig. 4-3: Schema linee di I/O PPI 8255

4.2.2. CN2 (Connettore PPI IC7)

Il connettore **CN2** e' formato da un insieme di **26** pin con cui si possono utilizzare le linee dei tre port paralleli gestiti dal **PPI 8255** di **IC7**. Tutti i parametri che riguardano l'uso di questa periferica sono definibili da software tramite la programmazione della stessa.

```
                    +-----------+
                    |           |
PA1-IC7.........| 1     2 |.......PA0-IC7
                    |           |
PA3-IC7.........| 3     4 |.......PA2-IC7
                    |           |
PA5-IC7.........| 5     6 |.......PA4-IC7
                    |           |
PA7-IC7.........| 7     8 |.......PA6-IC7
                    |           |
PC6-IC7.........| 9    10 |.......PC7-IC7
                    |           |
PC4-IC7.........| 11   12 |.......PC5-IC7
                    |           |
PC2-IC7.........| 13   14 |.......PC3-IC7
                    |           |
PC0-IC7.........| 15   16 |.......PC1-IC7
                    |           |
GND.............| 17   18 |..........+Vcc
                    |           |
PB0-IC7.........| 19   20 |.......PB1-IC7
                    |           |
PB2-IC7.........| 21   22 |.......PB3-IC7
                    |           |
PB4-IC7.........| 23   24 |.......PB5-IC7
                    |           |
PB6-IC7.........| 25   26 |.......PB7-IC7
                    |           |
                    +-----------+
```

Fig. 4-4: Connettore CN2.

LEGENDA:

PA0/7-IC7 = I/O - Linee del port A di IC 7.

PB0/7-IC7 = I/O - Linee del port B di IC 7.

PC0/7-IC7 = I/O - Linee del port C di IC 7.

GND = Linea di massa.

+Vcc = Linea per alimentazione esterna (+5V).

4.2.3. CN3 (Connettore PPI IC8)

Il connettore **CN3** e' formato da un insieme di **26** pin con cui si possono utilizzare le linee dei tre port paralleli gestiti dal **PPI 8255** di **IC8**. Tutti i parametri che riguardano l'uso di questa periferica sono definibili da software tramite la programmazione della stessa.

```
                    +-----------+
                    |           |
PA1-IC8.........| 1     2 |.......PA0-IC8
                    |           |
PA3-IC8.........| 3     4 |.......PA2-IC8
                    |           |
PA5-IC8.........| 5     6 |.......PA4-IC8
                    |           |
PA7-IC8.........| 7     8 |.......PA6-IC8
                    |           |
PC6-IC8.........| 9    10 |.......PC7-IC8
                    |           |
PC4-IC8.........| 11   12 |.......PC5-IC8
                    |           |
PC2-IC8.........| 13   14 |.......PC3-IC8
                    |           |
PC0-IC8.........| 15   16 |.......PC1-IC8
                    |           |
GND.............| 17   18 |...........+Vcc
                    |           |
PB0-IC8.........| 19   20 |.......PB1-IC8
                    |           |
PB2-IC8.........| 21   22 |.......PB3-IC8
                    |           |
PB4-IC8.........| 23   24 |.......PB5-IC8
                    |           |
PB6-IC8.........| 25   26 |.......PB7-IC8
                    |           |
                    +-----------+
```

Fig. 4-5: Connettore CN2.

LEGENDA:

PA0/7-IC8	= I/O -	Linee del port A di IC 8.
PB0/7-IC8	= I/O -	Linee del port B di IC 8.
PC0/7-IC8	= I/O -	Linee del port C di IC 8.
GND	=	Linea di massa.
+Vcc	=	Linea per alimentazione esterna (+5Vdc).

4.2.4. CN1 (Connettore per BUS ABACO®)

Il connettore **CN1** e' formato da un insieme di **64** pin con cui e' possibile effettuare il collegamento della scheda con il **BUS Industriale ABACO®**. Nella tabella seguente e' rappresentato il Pin-out del **BUS** e quindi anche del relativo connettore, con le variazioni per l' utilizzo di **CPU** a **16** bit rispetto a quelle a **8** bit.

A	A	A	pin	C	C	C
CPU 16 bit	CPU 8 bit	GPC 180		GPC 180	CPU 8 bit	CPU 16 bit
	GND	GND	1	GND	GND	
	+5V	+5V	2	+5V	+5V	
	D0	D0	3		*	D8
	D1	D1	4		*	D9
	D2	D2	5		*	D10
	D3	D3	6	/INT	/INT	
	D4	D4	7	/NMI	/NMI	
	D5	D5	8		/HALT	D11
	D6	D6	9	/MREQ	/MREQ	
	D7	D7	10	/IORQ	/IORQ	
	A0	A0	11	/RD	/RD	/RDLDS
	A1	A1	12	/WR	/WR	/WRLDS
	A2	A2	13	/BUSAK	/BUSAK	D12
	A3	A3	14	/WAIT	/WAIT	
	A4	A4	15	/BUSRQ	/BUSRQ	D13
	A5	A5	16	/RESET	/RESET	
	A6	A6	17		/M1	/IACK
	A7	A7	18	/RFSH	/RFSH	D14
	A8	A8	19		/MEMDIS	
	A9	A9	20		VDUSEL	A22
	A10	A10	21		/IEI	D15
	A11	A11	22		*	Ris.
	A12	A12	23	CLK	CLK	
	A13	A13	24		*	/RDUDS
	A14	A14	25		*	/WRUDS
	A15	A15	26		*	A21
A16	*	A16	27		*	A20
A17	*	A17	28		*	A19
A18	*	A18	29	R.T.	R.T.	
	+12V		30		-12V	
	+5V	+5V	31	+5V	+5V	
	GND	GND	32	GND	GND	

Fig. 4-6: Connettore CN1.

LEGENDA:
Le denominazioni dei pin in neretto nella configurazione del bus sono relative all' uso di una **CPU** a **16** bit.

CPU A 8 BIT

A0-A15 = Address Bus - Bus degli indirizzi ;
D0-D7 = Data Bus - Bus dei dati ;
INT = Interrupt request - Richiesta di interruzione ;
NMI = Non Mascherable Interrupt - Richiesta di interruzione non mascherabile;
HALT = Halt State - Stato di Halt ;
MREQ = Memory Request - Richiesta di memoria ;
IORQ = Input/Output Request - Richiesta di Input/Output ;
RD = Read Cycle Status - Richiesta di lettura ;
WR = Write Cycle Status - Richiesta di scrittura ;
BUSAK = Bus Aknowledge - Riconoscimento del Bus ;
WAIT = Wait - Attesa ;
BUSRQ = Bus Request - Richiesta del Bus ;
RESET = Reset - Linea di output per le CPU e di input per le periferiche ;
M1 = Machine Cycle One - Primo Ciclo Macchina ;
RFSH = Refresh - Rinfresco ;
MEMDIS = Memory Display - Viene emesso dal dispositivo periferico che si sta mappando nell' area di memoria ;
VDUSEL = VDU Selection - Abilita il dispositivo periferico ad ad essere mappato nell' area di memoria ;
IEI = Abilitazione interrupt da periferiche in Daisy Chain ;
CLK = Clock di sistema
R.T. = Tasto di Reset - Linea di input per le CPU.

CPU A 16 BIT

A0-A22 = Address Bus - Bus degli indirizzi
D0-D15 = Data Bus - Bus dei Dati
RD UDS = Read Upper Data Strobe - Lettura del byte superiore bus dati ;
WR UDS = Write Upper Data Strobe - Scrittura del byte superiore bus dati ;
IACK = Interrrupt Acknowledge - Riconoscimento della richiesta di Interrupt da parte della CPU ;
RD LDS = Read Lower Data Strobe - Lettura del byte inferiore bus dati ;
WR LDS = Write Lower Data Strobe - Scrittura del byte inferiore bus dati ;

4.2.5. J27 (Connettore interrupt esterni)

Il connettore **J27** e' formato da un insieme di 2 pin con cui si possono utilizzare due delle quattro linee di interrupt del microprocessore. La gestione di queste linee e' completamente software tramite la programmazione della CPU.

```
                    +————————+
/INT2..........|  2  1  |............/INT1
                    +————————+
```

Fig. 4-7: Connettore J27.

LEGENDA:

/INT1 = I - Linea di interrupt esterno 1.

/INT2 = I - Linea di interrupt esterno 2.

4.2.6. J28 (Connettore sezione DMA)

Il connettore **J28** e' formato da un insieme di **2** pin su cui sono riportati i due segnali di fine esecuzione ciclo di trasferimento in **DMA**. La gestione di queste linee e' completamente software, tramite la programmazione delle due sezioni di **DMA** di cui e' provvista la scheda.

```
                    +————————+
/TEND0..........|  2  1  |............/TEND1
                    +————————+
```

Fig. 4-8: Connettore J28.

LEGENDA:

/TEND0 = O - Linea di fine esecuzione ciclo trasferimento dati in DMA su canale 0.

/TEND1 = O - Linea di fine esecuzione ciclo trasferimento dati in DMA su canale 1.

```
                                  o +Vcc.
+————————————+                     |
|            |                  +-|-+
|            | /INT1            | | |            +——+
|        11  |——————————————————|-x-|————————————|-o |
|  CPU       | /INT2            | | |            |  | J27
|        12  |——————————————————|-x-|————————————|-o |
|            |                  | | |            +——+
|            |                  | | |
|            | /TEND0           | | |            +——+
|        54  |——————————————————|-x-|————————————|-o |
|  IC9       | /TEND1           | | |            |  | J28
|        59  |——————————————————|-x-|————————————|-o |
|            |                  |   |            +——+
|            |                  +——+
+————————————+
```

Fig. 4-9: Schema connessioni J27 e J28.

4.3. Input di bordo.

La scheda **GPC® 180** e' provvista di due dip switch la cui funzione viene di seguito riportata:

SW1 a **4** vie, direttamente collegato alla logica di mappaggio della scheda. A seconda della combinazione impostata, si seleziona un corrispondente tipo di mappaggio, quindi il suo settaggio deve essere relazionato alla configurazione della scheda in termini di memorie.

SW2 ad **8** vie, i cui valori possono essere acquisiti via software; questa caratteristica ne permette un utilizzo per operare un minimo di colloquio utente programma, direttamente a bordo della scheda. Le applicazioni piu' immediate possono essere quelle di variare delle condizioni di lavoro o selezionare una serie di parametri al firmware di bordo.

La lettura della combinazione fissata sul dip switch avviene in logica negata

(0 -> Dip in ON; 1 -> Dip in OFF)

effettuando un'operazione di input ad un determinato indirizzo di **I/O** dedicatogli dalla logica di controllo della scheda.

Per ulteriori informazioni si faccia riferimento al **capitolo 6.1.2.1** e **7.3** dedicato al mappaggio della scheda.

4.4. Segnalazioni Visive

La scheda **GPC® 180** segnala, tramite 1 LED, la condizione di stato della circuiteria di Watch Dog presente sulla scheda. In particolare l'attivazione di questo LED L1 indica che il segnale in uscita dalla circuiteria di Watch Dog e' attivo e viceversa. In questo modo, nel caso che la circuiteria di Watch Dog sia collegata, l'attivazione di L1 indica che la CPU e' stata resettata.

4.5. Gestione interrupt

Una caratteristica fondamentale della **GPC® 180** e' la notevole potenza nella gestione delle interrupt. Tutte le richieste di int. possono essere gestite via software, anche vettorizzandole, con una notevole facilitazione d' uso della scheda. I dispositivi che possono generare richieste d'interrupt sono le periferiche interne al microprocessore (**ASCII**, **TIMER**, **DMA**, **SERIALE SINCRONA**, ecc.), quelle collegato su **BUS ABACO®** ed infine anche eventuali dispositivi esterni. In particolare le quattro linee di interrupt della **CPU** sono collegate come di seguito descritto:

SEGNALE CPU

/INT0 ——————> /INT = Pin 6C CN1 BUS ABACO®
/INT1 ——————> /INT1 = Pin 1 J27
/INT2 ——————> /INT2 = Pin 2 J27
/NMI ——————> /NMI = Pin 7C CN1 BUS ABACO®

Per ulteriori informazioni riguardanti la gestione software delle interrupts, fare riferimento al manuale tecnico della casa costruttrice della **CPU**.

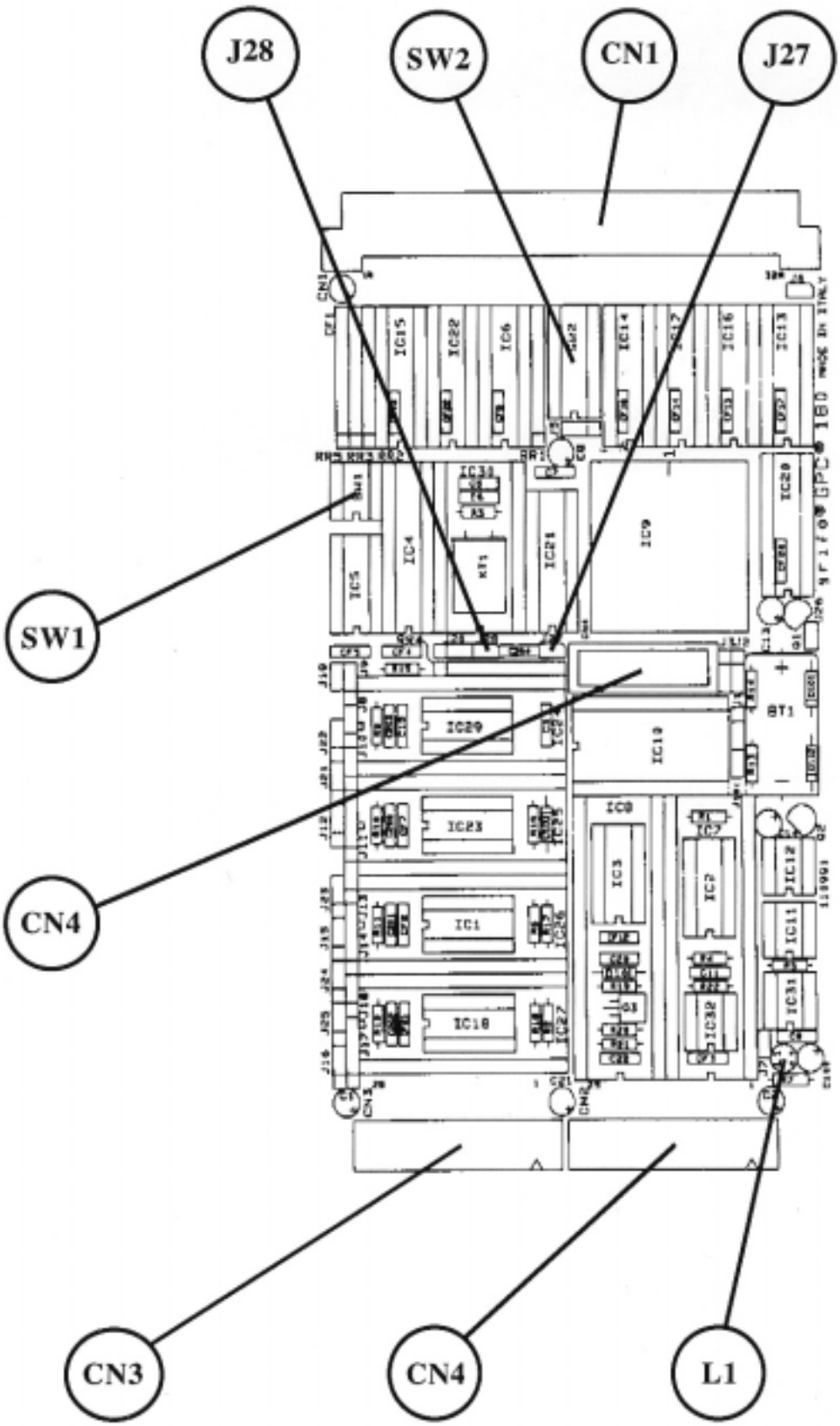


Fig. 4-10: Disposizione connettori, dip switch e LED

4.6. Jumpers.

Esistono a bordo della **GPC® 180 28** strip, di cui **2** a stagno, con cui e' possibile effettuare alcune selezioni che riguardano il modo di funzionamento della scheda. In seguito ne e' riportato l'elenco, l'ubicazione e la loro funzione.

JUMPER	N.VIE	UTILIZZO
J1	3	Seleziona tipo di comunicazione seriale sincrona od asincrona.
J2	3	Seleziona linea seriale A in RS 232 o in RS 422-485
J3	3	Seleziona trasmissione in H.D o F.D. per la linea seriale A in RS 422-485
J5	3	Seleziona frequenza di clock riportata sul Bus industriale ABACO(R)
J6	2	Jumper di RESET locale
J7	2	Collega circuiteria di Watch Dog alla logica di controllo della scheda
J8	3	Predispone IC24 per EPROM da 32K fino a 64K
J9	3	Predispone IC24 per EPROM da 128K fino a 256K
J10	3	Predispone IC25 per EPROM, o RAM da 128K
J11	5	Predispone IC25 per RAM o EPROM <= 64K
J12	3	Predispone IC25 per RAM o EPROM
J13	3	Predispone IC25 per EPROM, o RAM da 128K
J14	5	Predispone IC26 per RAM o EPROM <= 64K
J15	3	Predispone IC26 per RAM o EPROM
J16	3	Predispone IC27 per RAM o EPROM
J17	5	Predispone IC27 per RAM o EPROM <= 64K
J13	3	Predispone IC25 per EPROM, o RAM da 128K
J19	3	Abilita circuiteria di protezione in scrittura su RAM di IC25
J20	3	Seleziona tipo di alimentazione della RAM vista in I/O di IC30
J21	3	Predispone IC25 per RAM/EPROM o EPROM da 256K
J22	3	Seleziona tipo di alimentazione della RAM di IC25
J23	3	Predispone IC26 per RAM/EPROM o EPROM da 256K
J24	3	Predispone IC27 per RAM/EPROM o EPROM da 256K
J25	3	Seleziona tipo di alimentazione della RAM di IC27
J26	3	Collega batteria al Litio della scheda alla circuiteria di Back Up
J29	2	Seleziona nel modo monostabile del Watch Dog il tempo di intervento.
J30	2	Seleziona il funzionamento monostabile o astabile, della circuiteria di Watch-dog.
J100	2	Collega la resistenza terminale al driver di ricezione nella comunicazione RS 422-485.

Table 4-1: Tabella riassuntiva jumpers.

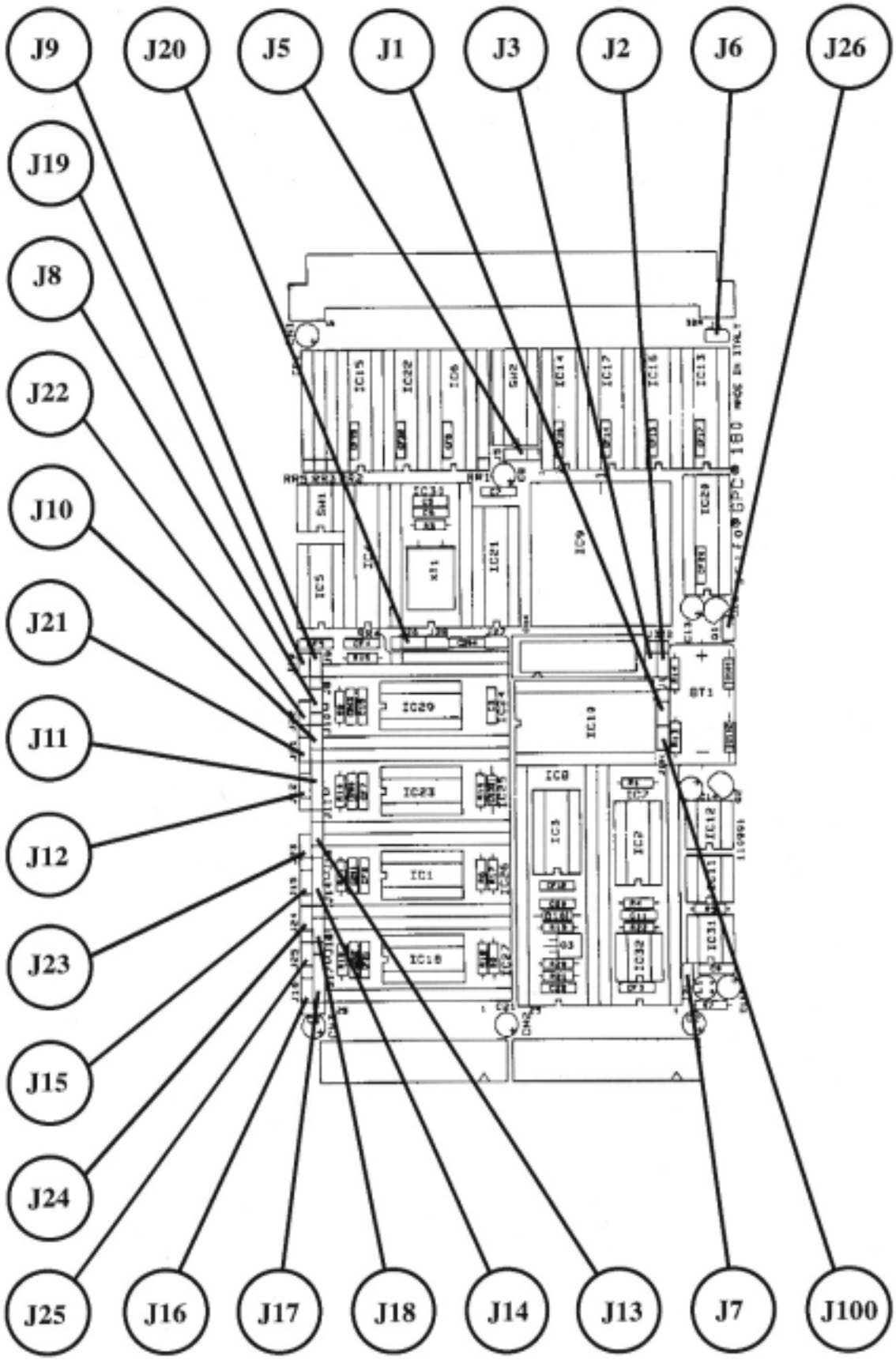


Fig. 4-11: Disposizione jumpers lato componenti.

Di seguito e' riportata la descrizione delle possibili connessioni dei 28 jumpers con la relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa dove viene riportata una numerazione dei pin dei jumpers che coincide con quella adottata nella seguente descrizione (il pin numero 1 e' quello racchiuso da un quadrato sulla serigrafia).

4.6.1. Jumpers a 2 vie

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J6	connesso	Attiva la circuiteria di RESET	
	non connesso	Non mantiene attivo il RESET	*
J7	connesso	Collega il segnale in uscita dalla circuiteria di Watch Dog alla circuiteria di reset	
	non connesso	Non collega il segnale in uscita dalla circuiteria di Watch Dog alla circuiteria di reset	*
J19	connesso	Abilita circuiteria di protezione in scrittura della RAM di IC 25	
	non connesso	Disabilita circuiteria di protezione in scrittura di IC 25	*
J26	connesso	Batteria al Litio collegata alla circuiteria di Back Up	
	non connesso	Batteria al Litio non collegata alla circuiteria di Back Up	*
J29	connesso	Seleziona un tempo di Watch Dog corrispondente a 850 msec.	
	non connesso	Seleziona un tempo di Watch Dog corrispondente a 80 msec.	*
J30	connesso	Seleziona il funzionamento mono-stabile, del Watch Dog.	*
	non connesso	Seleziona il funzionamento a-stabile, del Watch Dog.	
J100	connesso	Resistenza di terminazione collegata al driver di ricezione nella comunicazione seriale RS 422-485.	
	non connesso	Resistenza di terminazione, non collegata al driver di ricezione nella comunicazione in RS 422-485.	*

Table 4-2: Tabella jumpers a 2 vie.

L' * indica la connessione di default, ovvero la connessione effettuata al momento del montaggio della scheda.

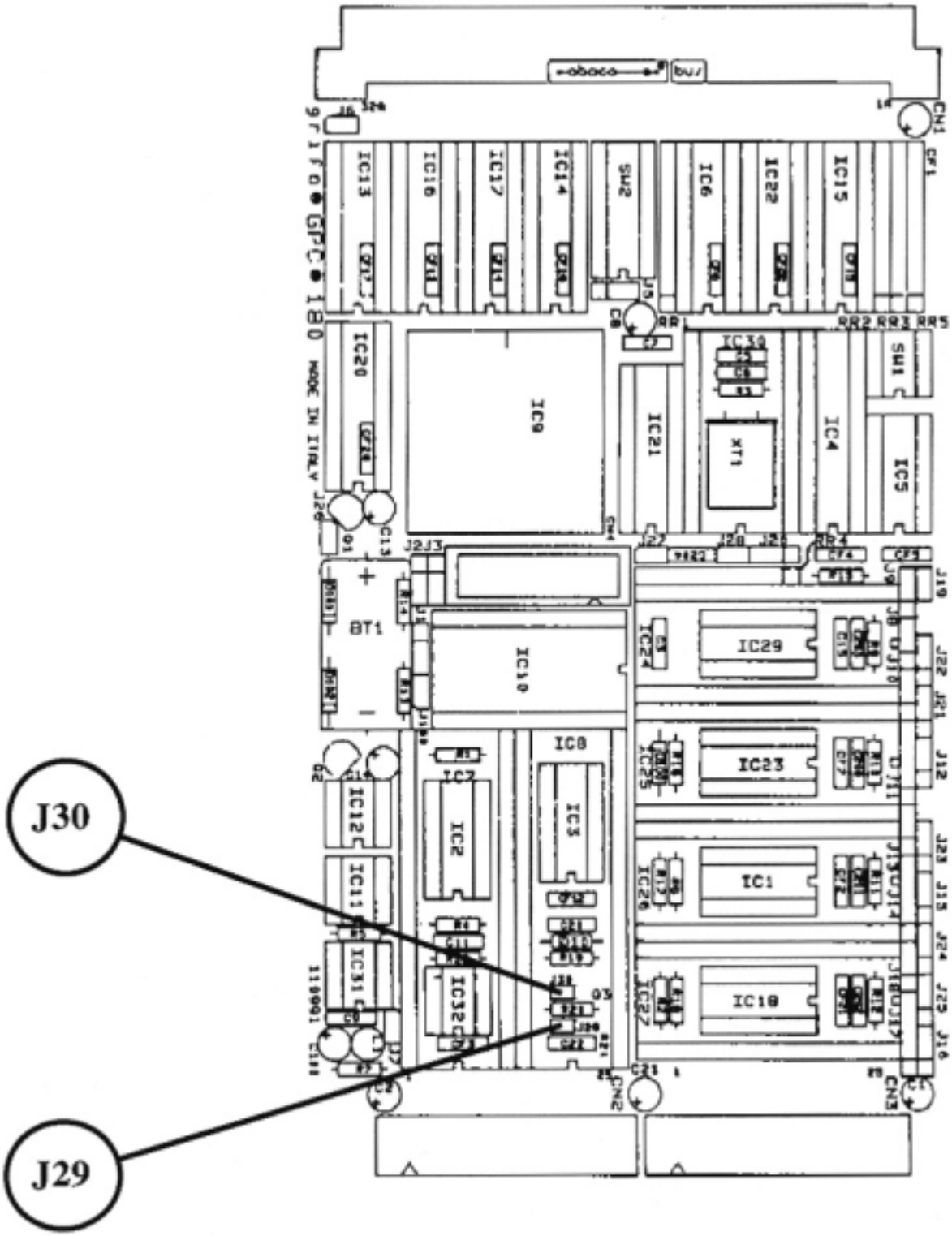


Fig. 4-12: Disposizione jumpers lato stagno.

4.6.2. Jumpers a 3 vie

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J1	1-2	Seleziona connessione della linea a duplice funzione RXS/CTSB su linea di ricezione seriale sincrona	
	2-3	Seleziona connessione della linea a duplice funzione RXS/CTSB su hand-shake CTS della linea seriale B	*
J2	1-2	Predispone linea ricezione seriale B per comunicazione in RS 422-485	
	2-3	Predispone linea ricezione seriale B per comunicazione in RS 232	*
J3	1-2	Predispone linea seriale B in RS 422-485 per comunicazione in H.D.	
	2-3	Predispone linea seriale B in RS 422-485 per comunicazione in F.D.	*
J5	1-2	Collega segnale di clock di sistema al Bus ABACO(R)	
	2-3	Collega segnale di clock di sistema dimezzato al Bus ABACO(R)	*
J8	1-2	Predispone IC24 per EPROM da 32K	*
	2-3	Predispone IC24 per EPROM da 64K	
J9	1-2	Predispone IC24 per EPROM <= 128K	*
	2-3	Predispone IC24 per EPROM da 256K	
J10	1-2	Predispone IC25 per Eprom >= 128K	
	2-3	Predispone IC25 per RAM da 128K	*
1-2	Predispone IC25 per Eprom		
	2-3	Predispone IC25 per RAM	*
J13	1-2	Predispone IC26 per Eprom >= 128K	
	2-3	Predispone IC26 per RAM da 128K	*

Table 4-3: Tabella jumpers a 3 vie (prima parte)

L' * indica la connessione di default, ovvero la connessione effettuata al momento del montaggio della scheda.

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J15	1-2	Predispone IC26 per Eprom	
	2-3	Predispone IC26 per RAM	*
J16	2-3	Predispone IC27 per Eprom	
	1-2	Predispone IC27 per RAM	*
J18	1-2	Predispone IC27 per Eprom >= 128K	
	2-3	Predispone IC27 per RAM da 128K	*
J20	1-2	Alimenta IC30 tramite alimentazione da Bus ABACO(R)	*
	2-3	Alimenta IC30 tramte circuiteria di Back Up	
J21	1-2	Predispone IC 25 per EPROM da 256K	
	2-3	Predispone IC 25 per RAM, o EPROM <= 128K	*
J22	1-2	Alimenta IC25 tramte circuiteria di Back Up	
	2-3	Alimenta IC25 tramite alimentazione da Bus ABACO(R)	*
J23	1-2	Predispone IC 26 per EPROM da 256K	
	2-3	Predispone IC 26 per RAM, o EPROM <= 128K	*
J24	1-2	Predispone IC 27 per EPROM da 256K	
	2-3	Predispone IC 27 per RAM, o EPROM <= 128K	*
J25	1-2	Alimenta IC27 tramte circuiteria di Back Up	
	2-3	Alimenta IC27 tramite alimentazione da Bus ABACO(R)	*

Table 4-4: Tabella jumpers a 3 vie (seconda parte)

L' * indica la connessione di default, ovvero la connessione effettuata al momento del montaggio della scheda.

4.6.3. Jumpers a 5 vie

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J11	1-2	Predispone IC25 per EPROM da 32K	
	2-3; 3-4	Predispone IC25 per RAM	*
	4-5	Predispone IC25 per EPROM >= 64K	
J14	1-2	Predispone IC26 per EPROM da 32K	
	2-3; 3-4	Predispone IC26 per RAM	*
	4-5	Predispone IC26 per EPROM >= 64K	
J17	1-2	Predispone IC27 per EPROM da 32K	
	2-3; 3-4	Predispone IC27 per RAM	*
	4-5	Predispone IC27 per EPROM >= 64K	

Table 4-5: Tabella jumpers a 5 vie

L' ***** indica la connessione di default, ovvero la connessione effettuata al momento del montaggio della scheda.

Per una individuazione piu' facile ed immediata dei jumpers presenti sulla scheda **GPC® 180**, si faccia riferimento alle figure riportate nell'appendice A di questo manuale.

4.7. Note.

Vengono riportate di seguito una serie di indicazioni con cui descrivere in modo piu' dettagliato quali sono le operazioni da eseguire per effettuare il giusto strippaggio della scheda.

4.7.1. Circuiteria di Back Up

La scheda **GPC® 180** e' caratterizzata da un'efficente e sicura circuiteria di **Back Up**. Questa prevede una batteria tampone al Litio ed un eventuale ingresso per una batteria esterna (su **CN4**), che assicurano in ogni caso la salvaguardia dei dati registrati anche in assenza di tensione di alimentazione.
Dal punto di vista jumpers, quelli che fanno parte di questa sezione sono da utilizzare come di seguito descritto:

J26 -> Collega la batteria al Litio della scheda alla circuiteria di Back Up;

J20,J22,J25 -> In posizione **2-3** alimentano rispettivamente le **RAM** di **IC30**, **IC25** ed **IC27** tramite la circuiteria di **Back Up**;

L'eventuale batteria esterna e' comunque sempre collegata in parallelo alla batteria al **Litio** di bordo, indipendentemente dalla configurazione dei jumpers.

4.7.2. Selezione del tipo di comunicazione seriale

La scheda **GPC® 180** ha la possibilita' di comunicare serialmente in modo asincrono tramite due linee di cui una in **RS 232** e la rimanente in **RS 232** oppure in **RS 422-485**. La linea di comunicazione seriale sincrona e' riportata sul connettore **CN4** a livello **TTL, ovvero senza alcun tipo di driver elettrico.**
Dal punto di vista hardware e' selezionabile il protocollo elettrico che riguarda il tipo di comunicazione che si intende adottare, mentre dal punto di vista software e' selezionabile la velocita' di trasmissione, la direzione, ecc. ovvero il protocollo della comunicazione. La parte software e' completamente gestita dall'**ASCII** interno della **CPU**, quindi per ulteriori informazioni si faccia riferimento agli appositi manuali. La parte Hardware puo' invece essere illustrata come segue:

- **P**er utilizzare la linea di comunicazione seriale sincrona il jumper J1 deve essere in connessione **1-2**; in questo modo non e' piu' possibile sfruttare l'handshake **CTSB** della linea seriale **B**, che continua comunque ad avere i segnali **RxDB** e **TxDB**.

  Se **J2** e' in connessione **2-3 ->** linea seriale **A** in **RS 232** completa dei **4** segnali **TxDA**, **RxDA**, **CTSA**, **RTSA**.

- **S**e **J2** e'in connessione **1-2 ->** linea seriale **A** in **RS 422-485**; in questo caso con **J3** e' possibile selezionare se tale linea deve operare in **Full Duplex** o in **Half Duplex**. Nel caso venga scelta la comunicazione in **Half Duplex**, la direzionalita' della stessa linea viene automaticamente determinata dal segnale **RTSA**.

N.B.: In questo manuale le due linee seriali asincrone sono sempre state indicate come linea seriale **A** e **B** per conformita' con la nomenclatura del carteggio industriale **ABACO®**. Facendo riferimento alla nomenclatura adottata dalla casa costruttrice del microprocessore, vale la seguente corrispondenza:

Linea seriale A ——> Linea seriale 0

Linea seriale B ——> Linea seriale 1

4.7.3. Selezione del tipo di Watch-Dog.

La scheda **GPC® 180** e' dotata di una circuiteria di Watch-dog, molto articolata e molto efficiente, ma di facile gestione.
Il seguente schema, riporta lo strippaggio dei jumper relativi, al funzionamento del **Watch Dog**, in modo, che si abbia una visione chiara, delle opportunita' offerte da questa circuiteria:

```
J29   J30   J7
x     x     NC  —> Circuiteria di W.D. scollegata: RESET da BUS.
NC    NC    C   —> W.D. collegato in funzionamento astabile
NC    C     C   —> W.D. collegato in funzionamento monostabile  e
                    con una temporizzazione pari a 80 msec.
C     C     C   —> W.D. collegato in funzionamento bistabile e
                    con una temporizzazione pari a 850 msec.
```

Per quanto riguarda la descrizione dell'operazione di retrigger di questa circuiteria si faccia riferimento al **paragrafo 7.1**.

4.7.4. Configurazione memorie

La **GPC® 180**e' caratterizzata da una serie di jumpers con cui adattare la configurazione in termini di memorie in tutti i possibili modi, richiesti dalla maggioranza delle applicazioni comunemente da realizzare. Per questo la scheda puo' gestire sia grosse che piccole, quantita di memorie sia **RAM** che **EPROM**, in modo da ottimizzare costi ed efficienza dell'impianto.

Di seguito viene riportata una descrizione di come strippare i jumpers della scheda in relazione alla configurazione di memoria che si desidera gestire:

```
IC24: EPROM  32K -> J8 1-2; J9 1-2
      EPROM  64K -> J8 2-3; J9 1-2
      EPROM 128K -> J8 2-3; J9  X
      EPROM 256K -> J8 2-3; J9 2-3

IC25: EPROM  32K -> J10  X ; J11 1-2; J12 1-2; J21 2-3; J22 2-3
      EPROM  64K -> J10  X ; J11 4-5; J12 1-2; J21 2-3; J22 2-3
      EPROM 128K -> J10 1-2; J11 4-5; J12 1-2; J21  X ; J22 2-3
      EPROM 256K -> J10 1-2; J11 4-5; J12 1-2; J21 1-2; J22 2-3
      RAM    32K -> J10  X ; J11 2-3; J12 2-3; J21 2-3; J22 2-3
      RAM   128K -> J10 2-3; J11 2-3; J12 2-3; J21 2-3; J22 2-3
      RAM T  32K -> J10  X ; J11 2-3; J12 2-3; J21 2-3; J22 1-2
      RAM T 128K -> J10 2-3; J11 2-3; J12 2-3; J21 2-3; J22 1-2

IC26: EPROM  32K -> J13  X ; J14 1-2; J15 1-2; J23 2-3
      EPROM  64K -> J13  X ; J14 4-5; J15 1-2; J23 2-3
      EPROM 128K -> J13 1-2; J14 4-5; J15 1-2; J23  X
      EPROM 256K -> J13 1-2; J14 4-5; J15 1-2; J23 1-2
      RAM    32K -> J13  X ; J14 2-3; J15 2-3; J23 2-3
      RAM   128K -> J13 2-3; J14 2-3; J15 2-3; J23 2-3

IC27: EPROM  32K -> J18  X ; J17 1-2; J16 2-3; J24 2-3; J25 2-3
      EPROM  64K -> J18  X ; J17 4-5; J16 2-3; J24 2-3; J25 2-3
      EPROM 128K -> J18 1-2; J17 4-5; J16 2-3; J24  X ; J25 2-3
      EPROM 256K -> J18 1-2; J17 4-5; J16 2-3; J24 1-2; J25 2-3
      RAM    32K -> J18  X ; J17 2-3; J16 1-2; J24 2-3; J25 2-3
      RAM   128K -> J18 2-3; J17 2-3; J16 1-2; J24 2-3; J25 2-3
      RAM T  32K -> J18  X ; J17 2-3; J16 1-2; J24 2-3; J25 1-2
      RAM T 128K -> J18 2-3; J17 2-3; J16 1-2; J24 2-3; J25 1-2
```

N.B.
Con **X** s'intende che la posizione del jumper e' indifferente.
Con **RAM T** s'intende che lo zoccolo e' per **RAM** tamponata, ovvero per **RAM** alimentata dalla circuiteria di **Back Up**.

5. DESCRIZIONE SOFTWARE

Questa scheda ha la possibilita' di usufruire di una serie di strutture software che consentono di utilizzarne al meglio le caratteristiche. In generale la scheda puo' sfruttare tutte le risorse software disponibili per il processore montato, ovvero i numerosi pacchetti ideati per lo **Z80**. Tra questi ricordiamo:

GDOS: **Sistema Operativo Romato** in grado di facilitare all'utente la realizzazione e lo sviluppo della sua applicazione software. Il pacchetto software e' composto da un programma in **EPROM** residente sulla **GPC® 180** e da un programma su dischettoil quale opera su di un **P.C.** Il personal diventa la struttura di colloquio utente-scheda ed anche il dispositivo di memorie di massa di cui la **GPC® 180** puo' disporre. In particolare del **Personal Computer** sfrutta tutte le risorse (emulazione terminale, memorie di massa, stampante, ecc) con cui consente di programmare in tutti i linguaggi a basso ed alto livello come: **PASCAL, C, ASSEMBLY, BASIC** interpretati e compilati, **FORTH**, ecc. Gestisce inoltre le grosse configurazioni di memorie **RAM** ed **EPROM**, in modo evoluto, rispettivamente come **RAM Disk** e **ROM Disk.** Il tutto genera un codice romabile che tramite un programmatore esterno consentono di completare l'applicazione.

DSD 180: **Remote Debugger** in grado di debuggare qualsiasi programma sviluppato in **ASSEMBLY** o **C**. In congiunzione con un normale **Personal Computer** si ha a disposizione lo stato completo della scheda, analogamente a quanto disponibile con un emulatore, ma con una rappresentazione piu' efficace e piu' immediata. Il pacchetto software e' completo di **Macro Assembler/Linker** e di una struttura di lavoro equivalente per **C**.

BASIC 180: **Compilatore Multitask BASIC** in grado di gestire fino a **32** task indipendenti, caratterizzato da una alta velocita' di esecuzione e da una comoda ed efficiente stesura del programma sfruttando un linguaggio evoluto quale il **BASIC**. Inoltre in abbinamento alla scheda **QSP 01** e' possibile programmare autonomamente delle **EPROM 27256** con il programma applicativo sviluppato, aumentando ulterirmente la completezza della struttura di lavoro.
Inoltre si possono ricordare i sistemi operativi:

CP/M a partire dalla versione **2.2**

6. DESCRIZIONE HARDWARE

6.1. Introduzione.

In questo capitolo ci occuperemo di fornire tutte le informazioni necessarie sull'hardware della scheda, utili per un corretto sfruttamento della stessa. Tra queste si trovano le informazioni di allocazione delle memorie e dei dispositivi periferici di bordo.

6.2. Mappaggio delle risorse di bordo.

La gestione delle risorse della scheda e' affidata ad una logica di controllo completamente realizzata con porte logiche parzialmente racchiuse nella **GAL** di **IC4**. Questa logica si occupa del mappaggio delle zone di **RAM/EPROM**, delle periferiche di bordo e delle risorse di **I/O** viste tramite il **BUS Industriale ABACO®**. La logica di controllo e' realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche e del **BUS**. Nella fase di indirizzamento delle memorie e' possibile gestire, da software tramite la programmazione della **MMU**, uno spazio di **1M**. associando l'indirizzo fisico in cui sono allocate le memorie all'indirizzo logico di **64K** gestito direttamente dal microprocessore. Per quanto riguarda lo spazio di indirizzamento in **I/O** e' invece gestito uno spazio di **64K** in cui sono mappati sia i dispositivi interni al microprocessore, che quelli a bordo scheda che quelli su BUS.
La configurazione di indirizzamento essendo basata su di una **GAL** e' facilmente adattabile a qualsiasi esigenza specifica che attualmente non viene presa in considerazione. In questo modo aumenta notevolmente la versatilita' della scheda, la sua efficenza e la sua competitivita'.
Di seguito viene riportata la descrizione di questi mappaggi in relazione al tipo di **GAL** montato sulla scheda. Il tipo di **GAL** e' facilmente riconoscibile facendo riferimento alle indicazioni riportate al di sopra del componente di **IC4**.

N.B.
Al fine di gestire correttamente l'indirizzamento dei dispositivi visti in **I/O** e' necessario utilizzare l'indirizzamento software a **16** bit, anche quando si utilizzano indirizzi ad **8** bit.
Per quanto riguarda la gestione della sezione di **MMU** o dell'**I/O** esteso a **64K**, fare riferimento al manuale tecnico della casa costruttrice del microprocessore di **IC9**.

6.2.1. Mappaggio con GAL DSD

6.2.1.1. Mappaggio memorie

Questo tipo di **GAL** consente di gestire un massimo di **32K** di **EPROM** e **96K** di **RAM**, organizzati come di seguito rappresentato:

```
1FFFFH  +-----------------------+
        |                       |
        |        IC  26         |
        |                       |
        |         RAM           |
        |                       |
        |        32 K.          |
        |                       |
18000H  +-----------------------+
        |                       |
        |       IC  27          |
        |                       |
        |         RAM           |
        |                       |
        |        32 K.          |
        |                       |
10000H  +-----------------------+
        |                       |
        |        IC  25         |
        |                       |
        |         RAM           |
        |                       |
        |        32 K.          |
        |                       |
08000H  +-----------------------+
        |                       |
        |       IC  24          |
        |                       |
        |        EPROM          |
        |                       |
        |        32 K.          |
        |                       |
00000H  +-----------------------+
```

Fig. 6-1: Indirizzamento memorie con GAL DSD.

L'indirizzo riportato nella figura soprastante e' l'indirizzo fisico di allocazione delle memorie.

6.2.1.2. Mappaggio periferiche di bordo

La **GAL DSD** alloca i dispositivi visti in **I/O** come descritto:

```
FFFFH  +-----------------------+
       |     BUS ABACO(R)      |
F800H  +-----------------------+
       |      RAM e RTC        |
F000H  +-----------------------+  INDRAM
       |     BUS ABACO(R)      |
E800H  +-----------------------+
       |      RAM e RTC        |
E000H  +-----------------------+  INDRAM
       |     BUS ABACO(R)      |
D800H  +-----------------------+
       |      RAM e RTC        |
D000H  +-----------------------+  NDRAM
       |     BUS ABACO(R)      |
CC00H  +-----------------------+
       |  RWD e WRP e SW2      |
CB80H  +-----------------------+  INDRWS
       |   PPI 8255 IC 8       |
CB00H  +-----------------------+  INDPPI8
       |   PPI 8255 IC 7       |
CA00H  +-----------------------+  INDPPI7
       |  RWD e WRP e SW2      |
C980H  +-----------------------+  INDRWS
       |   PPI 8255 IC 7       |
C900H  +-----------------------+  INDPPI7
       |   PPI 8255 IC 8       |
C800H  +-----------------------+  INDPPI8
       |      RAM e RTC        |
C000H  +-----------------------+  INDRAM
       |     BUS ABACO(R)      |
B800H  +-----------------------+
       |      RAM e RTC        |
B000H  +-----------------------+  INDRAM
       |     BUS ABACO(R)      |
A800H  +-----------------------+
       |      RAM e RTC        |
A000H  +-----------------------+  INDRAM
       |     BUS ABACO(R)      |
9800H  +-----------------------+
       |      RAM e RTC        |
9000H  +-----------------------+  INDRAM
       |     BUS ABACO(R)      |
8800H  +-----------------------+
       |      RAM e RTC        |
8000H  +-----------------------+  INDRAM
       |     BUS ABACO(R)      |
0040H  +-----------------------+
       |  REG. INTERNI CPU     |
0000H  +-----------------------+
```

Fig. 6-2: Indirizzamento I/O con GAL DSD.

In particolare per quanto riguarda le periferiche di bordo, vale la seguente corrispondenza, ricordando che:

```
INDPPI7 =  Indirizzo di inizio allocazione segmento in  cui  sono
           allocati i registri del PPI 8255 di IC7;
INDPPI8 =  Indirizzo di inizio allocazione segmento in  cui  sono
           allocati i registri del PPI 8255 di IC8;
INDRAM   = Indirizzo  di inizio allocazione segmento  in  cui  e'
           allocata la RAM con eventuale RTC di IC30;
INDRWS   = Indirizzo  di inizio allocazione segmento in cui  sono
           allocati i registri della sezione di Watch Dog,  Write
           Protect e Dip Switch 2.
```

PERIFERICA	REG.	INDIRIZZO	R/W	SIGNIFICATO
PPI IC7	PA	INDPPI7+00H	R/W	Reg. dati del port A
	PB	INDPPI7+01H	R/W	Reg. dati del port B
	PC	INDPPI7+02H	R/W	Reg. dati del port C
	RS	INDPPI7+03H	R/W	Registro di stato
PPI IC8	PA	INDPPI8+00H	R/W	Reg. dati del port A
	PB	INDPPI8+01H	R/W	Reg. dati del port B
	PC	INDPPI8+02H	R/W	Reg. dati del port C
	RS	INDPPI8+03H	R/W	Registro di stato
WATCH DOG	RWD	INDRWS+00H	R	Retrigger Watch Dog
DIP SW2.	SW2	INDRWS+00H	R	Reg. stato Dip SW2
WR. PROT.	WRP	INDRWS+00H	W	Sprotezione scrittura
RAM IC30		INDRAM+000H	R/W	Locazioni RAM viste
		INDRAM+7FFH		in I/O
RTC IC30	CNT	INDRAM+7F8H	R/W	Reg. controllo RTC
	SEC	INDRAM+7F9H	R/W	Reg. dei secondi
	MIN	INDRAM+7FAH	R/W	Reg. dei minuti
	ORE	INDRAM+7FBH	R/W	Reg. delle ore
	SETT	INDRAM+7FCH	R/W	Reg. giorno settimana
	GIO	INDRAM+7FDH	R/W	Reg. del giorno mese
	MESE	INDRAM+7FEH	R/W	Reg. del mese
	ANNO	INDRAM+7FFH	R/W	Reg. dell'anno

Table 6-1: Tabella indirizzi periferiche di bordo.

L' **I/O** tramite il **BUS ABACO®** e' gestito indirizzando lo stesso Bus in una serie di indirizzi in cui possono essere riconosciute le periferiche esterne. Come si vede dalla **figura 6.2** tali indirizzi sono tutti quelli in cui non sono riconosciute le periferiche di bordo.

7. DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Viene di seguito riportata una descrizione software delle periferiche di bordo della **GPC® 180**. Per quanto riguarda l'indirizzamento dei registri delle varie periferiche, fare riferimento alla **tabella 6.1** di cui viene riutilizzata la nomenclatura dei registri.

7.1. Watch Dog

La circuiteria di Watch Dog della **GPC® 180** e' gia' stata descritta nel **par. 4.7.3** Il retrigger della circuiteria di **Watch Dog** avviene tramite una semplice operazione di lettura nel registro **RWD** ed il dato letto non e' inerente a questa circuiteria. Da notare che affinche' la circuiteria di **Watch Dog** non intervenga e' indispensabile retriggerarla ad intervalli regolari di durata inferiore a quello che e' il tempo di intervento selezionato.

7.2. Protezione in scrittura

La **RAM** montata su **IC25** puo' essere gestita anche con protezione in scrittura. In questo caso ogni scrittura in **RAM** avviene effettuando due operazioni sequenziali:

- **scrittura in I/O nel registro WRP in modo da disabilitare la protezione**
- **scrittura in memoria**

Il dato da scrivere nel registro **WRP** e' privo di significato, infatti e' la sola operazione di scrittura in **I/O** che disarma la protezione. La protezione viene comunque riarmata in corrispondenza della scrittura in memoria, in modo da avere la massima garanzia contro scritture accidentali.

7.3. Dip Switch

Il **Dip Switch SW2** montato a bordo della scheda **GPC® 180** puo' essere acquisito via software effettuando una semplice operazione di lettura all'indirizzo **SW2**. La combinazione letta e' in logica negata, ovvero il Dip in **ON** fornisce lo stato logico **0** al corrispondente bit ed il Dip in **OFF** fornisce lo stato logico **1**.

7.4. PPI 82C55

Questa periferica e' vista in **4** registri: uno di stato e tre di dati con cui si effettua la programmazione ed il comando della stessa. I registri dati (**PA**, **PB**, **PC**) sono utilizzati sia per le operazioni di lettura (port in **Input**) che per quelle di scrittura (port in **Output**) ed ognuno di tali registri riporta i dati di **I/O** del corrispondente port. La periferica puo' operare in tre modi diversi:

MODO 0 = Prevede **2** port bidirezionali da **8** bit (**A**, **B**) e due port bidirezionali da **4** bit (**CH**, **CL**); ingressi non latchati ed uscite latchate; nessun segnale di handshaking.

MODO 1 = Prevede due port da **12** bit (**A+CL**, **B+CH**) dove gli **8** bit dei port **A** o **B** costituiscono le linee di **I/O** mentre i **4** del port **C** costituiscono le linee di handshaking. Gli ingressi e le uscite sono latchate.

MODO 2 = Prevede un port da **13** bit (**A+C3-7**) dove gli **8** bit del port **A** costituiscono le linee di **I/O**, mentre i rimanenti **5** bit del port **C** costituiscono le linee di controllo. Un port da 11 bit (**B+C0-2**) dove gli **8** bit del port **B** costituiscono le linee di **I/O** ed i rimanenti **3** bit del port **C** costituiscono le linee di controllo. Sia gli ingressi che le uscite sono latchate.

La programmazione della periferica avviene scrivendo una parola a 8 bit nel registro di stato **RS**, quando:

Parola= SF M M A CH M B CL

dove

SF Se attivo (**1**) abilita il comando della periferica.

M M
0 0 Selezione del modo **0**.
0 1 Selezione del modo **1**.
1 X Selezione del modo **2**.

A Se attivo (**1**) setta il port **A** in input e viceversa.

CH Se attivo (**1**) setta il nibble piu' significativo del port **C** in input e viceversa.

M Se attivo (**1**) seleziona modo **1**, viceversa seleziona modo **0**

B Se attivo (**1**) setta il port **B** in input e viceversa.

CL Se attivo (**1**) setta il nibble meno significativo del port **C** in input e viceversa.

7.5. RAM e RTC MK 48T12

Questa periferica e' vista in uno spazio contiguo di **2K** di cui **8** byte possono avere una duplice funzione a seconda se il componente montato su **IC30** e' provvisto della sezione di **Real Time Clock.** In ogni caso i **2K** byte di **RAM** sono sempre accessibili tramite semplici operazioni di **I/O** ad indirizzamento esteso; nel caso di utilizzo della eventuale sezione di **RTC** si devono invece utilizzare **8** registri interni il cui significato viene di seguito riportato. Con questi registri e' possibile effettuare operazioni di prelevamento dell' orario attuale e di inizializzazione dello stesso orologio.

```
ANNO = A7 A6 A5 A4 A3 A2 A1 A0
dove: A7-A0 = Valore dell'anno (00-99) in BCD;

MESE = 0  0  0  M4 M3 M2 M1 M0
dove: M4-M0 = Valore del mese (01-12) in BCD;

GIO  = 0  0  D5 D4 D3 D2 D1 D0
dove: D5-D0 = Valore del giorno del mese (01-31) in BCD;

SETT = 0  FT 0  0  0  S2 S1 S0
dove: S2 S1 S0 = Valore del giorno della settimana (01-07) con
                 la seguente corrispondenza:
      0  0  1  = Domenica
      0  1  0  = Lunedi'
      0  1  1  = Martedi'
      1  0  0  = Mercoledi'
      1  0  1  = Giovedi'
      1  1  0  = Venerdi'
      1  1  1  = Sabato
      FT       = Test della frequenza di conteggio

ORE  = KS 0  O5 O4 O3 O2 O1 O0
dove: KS    = Bit di start conteggio orologio
      O5-O0 = Valore delle ore (00-23) in BCD;

MIN  = 0  M6 M5 M4 M3 M2 M1 M0
dove: M6-M0 = Valore dei minuti (00-59) in BCD;

SEC  = ST S6 S5 S4 S3 S2 S1 S0
dove: S6-S0 = Valore dei secondi (00-59) in BCD;

CNT  = W  R  S  C4 C3 C2 C1 C0
dove: W     = Bit di selezione operazione di scrittura
      R     = Bit di selezione operazione di lettura
      S     = Bit di segno combinazione di compensazione
      C4-C0 = Combinazione di compensazione
```

8. PERIFERICHE PER GPC® 180

La scheda **GPC® 180** ha la possibilita' di accettare come periferiche tutte quelle presenti sul **BUS Industriale ABACO®** aumentando, cosi', la sua gia' notevole versatilita'.
A titolo di esempio ne riportiamo un breve elenco:

CIO 01 (Coupled Input Output)

Formato Singola Europa, **BUS ABACO®**, 16 linee di input munite di filtro a Pi-Greco ed optoisolatori, visualizzazione tramite LED dello stato di tutti e 16 gli input, 16 linee di output tramite Rele', tutti i contatti dei Rele' sono muniti di soppressori di disturbo, gli stati dei 16 output sono visualizzati da LED, circuiteria per l' eliminazione del rimbalzo dei contatti all' accensione.

CIO 02 (Coupled Input Output)

Formato Singola Europa. 16 linee di ingresso optoisolate e visualizzate tramite LED con un filtro a Pi-Greco. Tensione nominale di ingresso 24 Vcc. 16 uscite NPN in open collector da 40 Vcc 800 mA optoisolate e visualizzate tramite LED. Bus commutabile per gestione sia ad 8 che a 16 bit.

PCK 01 (Peripheral Controller Key)

Formato Singola Europa, **BUS ABACO®**, sezione di controllo intelligiente per tastiera e display, 32 linee di I/O a livello TTL gestibili da software, dip-switch ad 8 vie leggibile da software, watch-dog per salvaguardare la sezione display, generatore di suono a 3 vie completo di amplificatore, 6 linee di Counter-Timer da 16 bit, 6 linee di generazione di frequenza, D/A converter da 8 bit 800 ns di setting-time.

PCI 01 (Peripheral Coupled Input)

Formato Singola Europa. 32 linee di ingresso optoisolate e visualizzate tramite LED con un filtro a Pi-Greco di ingresso. La tensione nominale di pilotaggio e' di 24 Vcc. Connettore compatibile con CIO 01-02. Bus commutabile ad 8 o 16 bit che permette il comando sia in Byte che in Word.

PCO 01 (Peripheral Coupled Output)

Formato Singola Europa. 32 linee di uscita a transistor in Open Collector, optoisolate e visualizzate tramite LED. Doppio connettore di uscita da 34 vie con pin out compatibile con CIO 01-02. Interfaccia al Bus commutabile ad 8 o 16 bit che ne permette il comando sia in Byte che in Word.

GDU 01 (Graphic Display Unit)

Formato Singola Europa. Scheda grafica basata sul 7220 in B/W ed RGB con un massimo di 394K RAM Video. Rappresentazione grafica con definizione a partire da 512 X 512 punti per tre piani di lavoro, ad un massimo di 1024 X 1024 punti per tre piani di lavoro.

TVZ 01 (Terminale Video Z80)

Terminale video intelligente con linea RS 232 C od in Current loop da 20 mA nel classico formato Europa. Formato di rappresentazione settabile da software tra 80 X 24; 40 X 24; 40 X 12; 20 X 8. Svariati attributi ed emulazione del terminale video TVI 950. Formato Singola Europa.

LDA 01 (Low cost D/A converter)

Scheda di conversione digitale analogica a basso costo. Comprende due D/A da 12 bit con uscita selezionabile tra 0-5, 0-10, +-5, +-10, +-2.5 Vcc. Unica tensione di alimentazione a +5 V. 8 uscite a transistor in Open Collector visualizzate ed optoisolate. Formato Singola Europa.

LAD 02 (Low cost A/D converter)

16 linee di A/D da 10 bit con tempo di conversione di 100 ysec; doppio connettore da 20 vie compatibile LAD 01; interfaccia al **BUS ABACO®** commutabile ad 8 o 16 bit. Impedenza di ingresso pari a quella del 7004 con sensibilita' 5 Vcc. Formato Singola Europa.

JMS 01 (Jumbo Multifunction Support)

Scheda di supporto particolarmente adatta a gestire le problematiche legate al controllo assi. Ha tre linee di acquisizione per encoder bidirezionali; 4 linee D/A converter da 8 bit +-10 Vdc, 8 linee di output optoisolate e bufferate in Open Collector ed 8 linee di input optoisolate e visualizzate.

UCC 01 (Uart Comunication Card)

Scheda con 8 indipendenti linee di comunicazione con possibilita' di scegliere individualmente tra il protocollo RS 232 ed il RS 422 o 485. Baud Rate settabile individualmente da software tra 18 valori compresi tra 50 e 38K Baud. Buffer di 4 caratteri per linea. Formato Singola Europa.

IBC 01 (Interface Block Comunication)

Modulo della serie BLOCK con varie combinazioni di interfacce. Dispone di due linee RS 232; una linea RS 422 o 485; 1 linea in fibra ottica; numerosi jumper a cavalliere per la selezione dell' interfaccia. Supporto isolante con attacco rapido per guide tipo DIN 46277-1 e DIN 46277-3.

ABB 01 (Abaco Block Bus)

Modulo della serie BLOCK conprendente un Mother Board ABACO(R) da 3 slots, completo di guidaschede e relativo connettore normalizzato di alimentazione. Supporto isolante con attacco rapido per guide tipo DIN 46277-1 e DIN 46277-3.

MB8 01 MB4 01 (Mother Board)

I Mother Board 01 e 02 mettono a disposizione rispettivamente 8 e 4 slots del Bus ABACO(R) con i relativi connettori di alimentazione, tasto di reset locale, tre LED per la visualizzazione delle tre tensioni tensioni di alimentazione,
foratura per l' aggancio ai Rack.

QSP 01 (Quick Support Programmer)

Scheda in formato 125 x 100 mm per pannello rack in grado di programmare una 27256 quando abbinata alla **GPC® 180** in esecuzione del pacchetto software BASIC 180. La scheda e' provvista di Textool, led di stato, foratura per supporto meccanico.

NCS 01 (New Connector Support)

Scheda in formato 125 x 80 mm per pannello rack provvista di una serie di connettori per lo smistamento dei segnali presenti sul connettore standardizzato di comunicazione seriale a 16 vie. E' provvista di due connettori DB 25 femmina su cui prelevare i segnali delle due linee seriali, connettori a rapida estrazione e jumper di configurazione connessione seriale di tipo DTE o DCE.

APPENDICE - A
DISPOSIZIONE JUMPERS

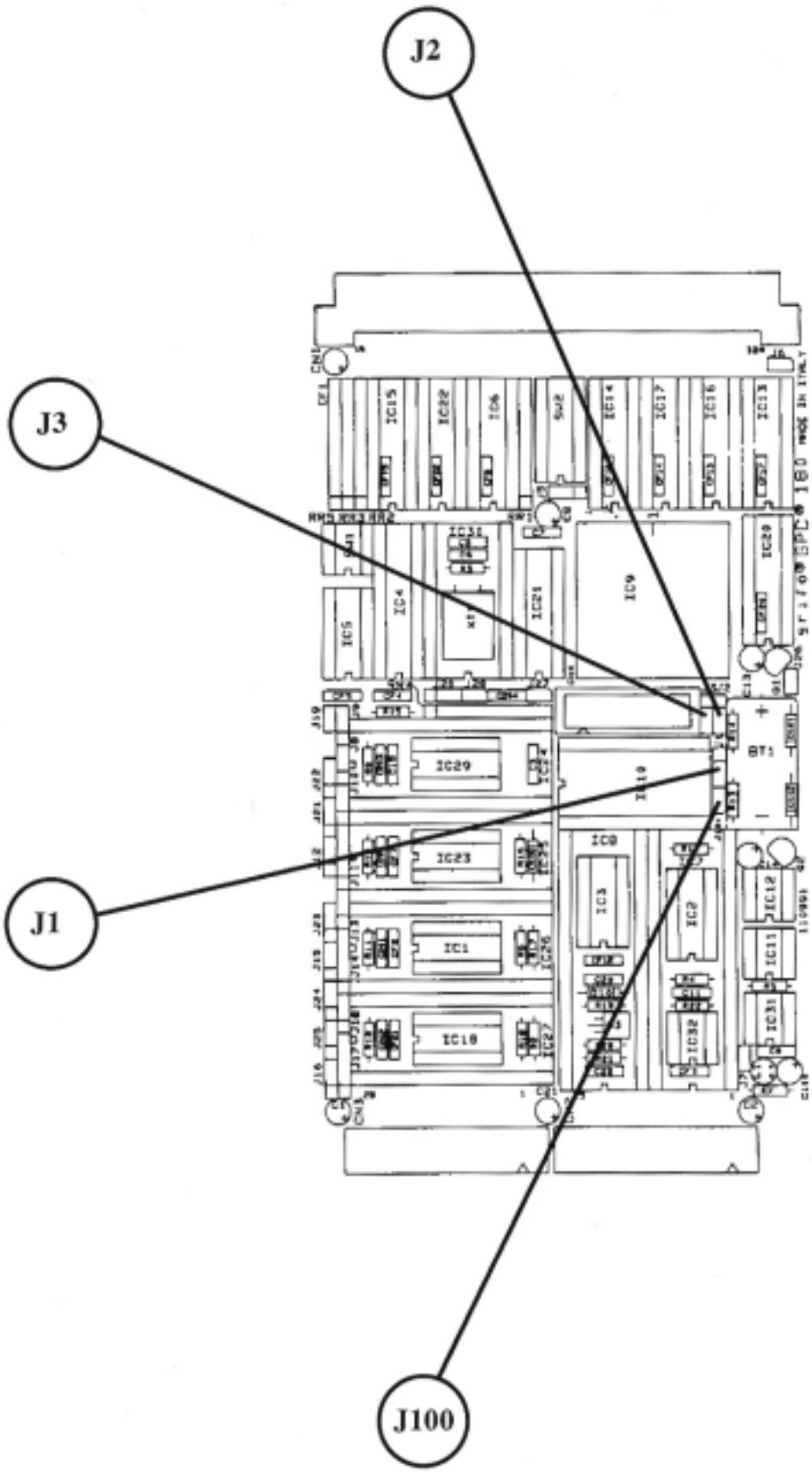


Fig. 8-1: Disposizione jumpers per comunicazione seriale.

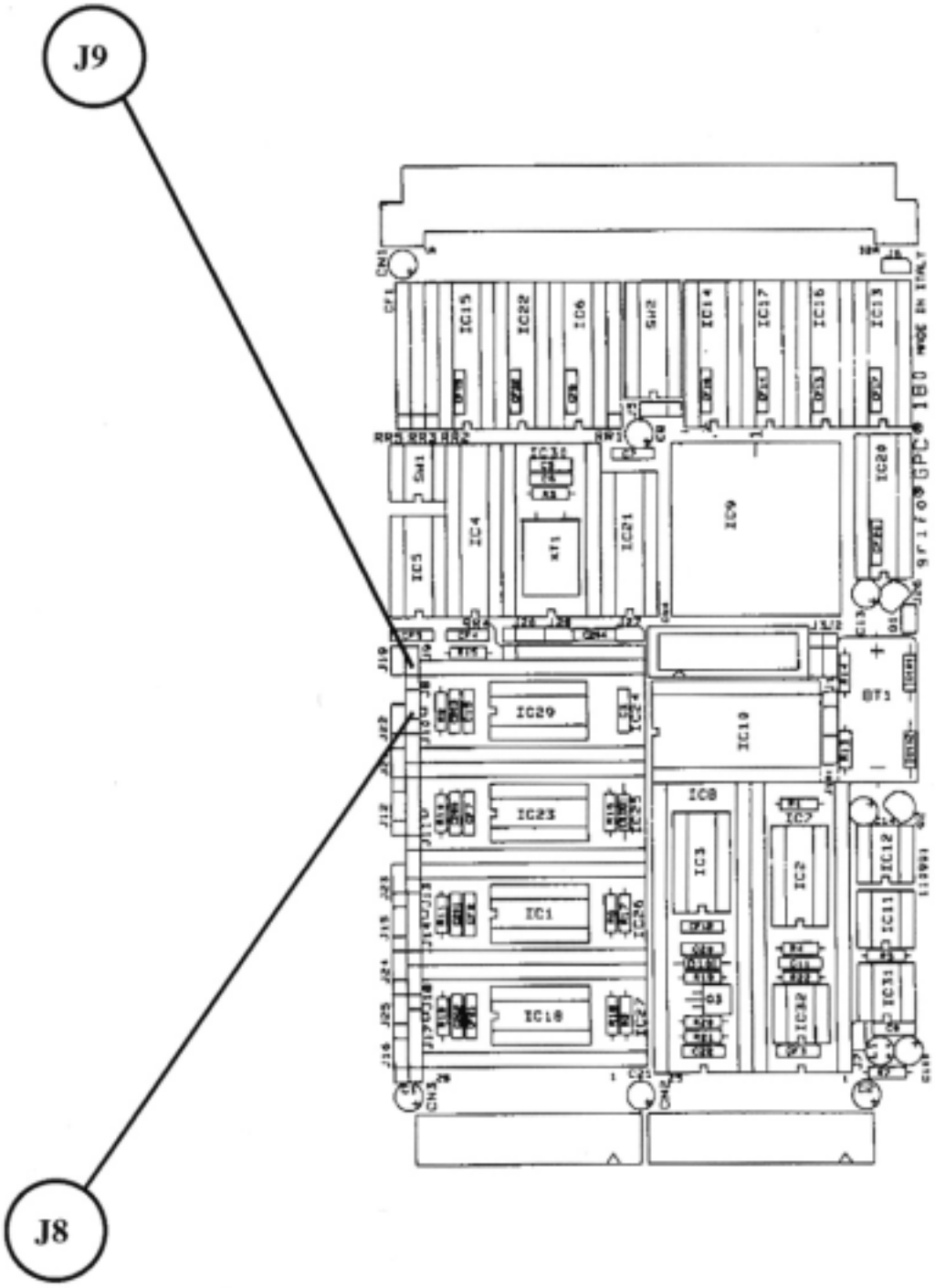


Fig. 8-2: Disposizione jumpers per selezione EPROM di IC24.

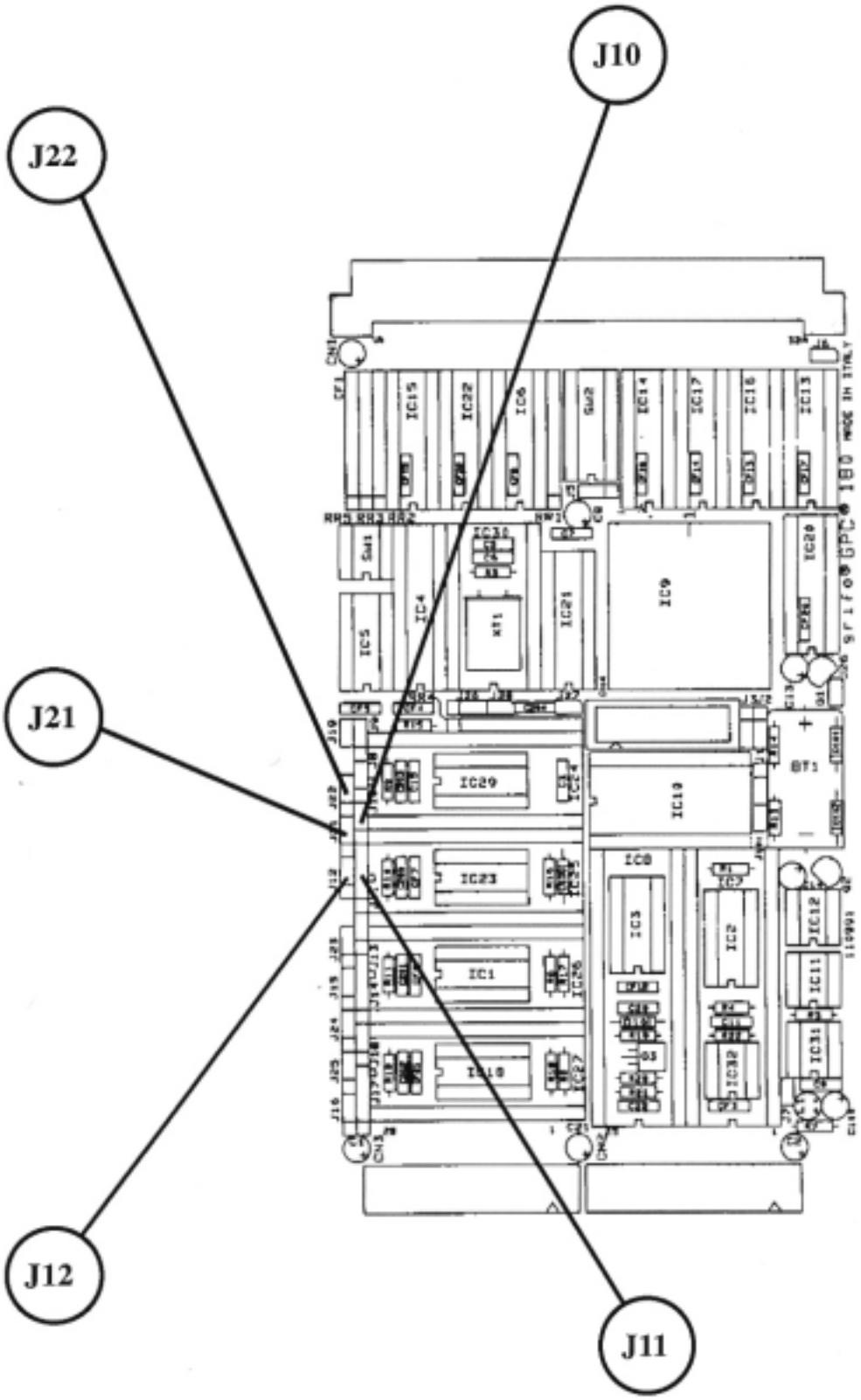


Fig. 8-3: Disposizione jumpers per configurazione di IC25.

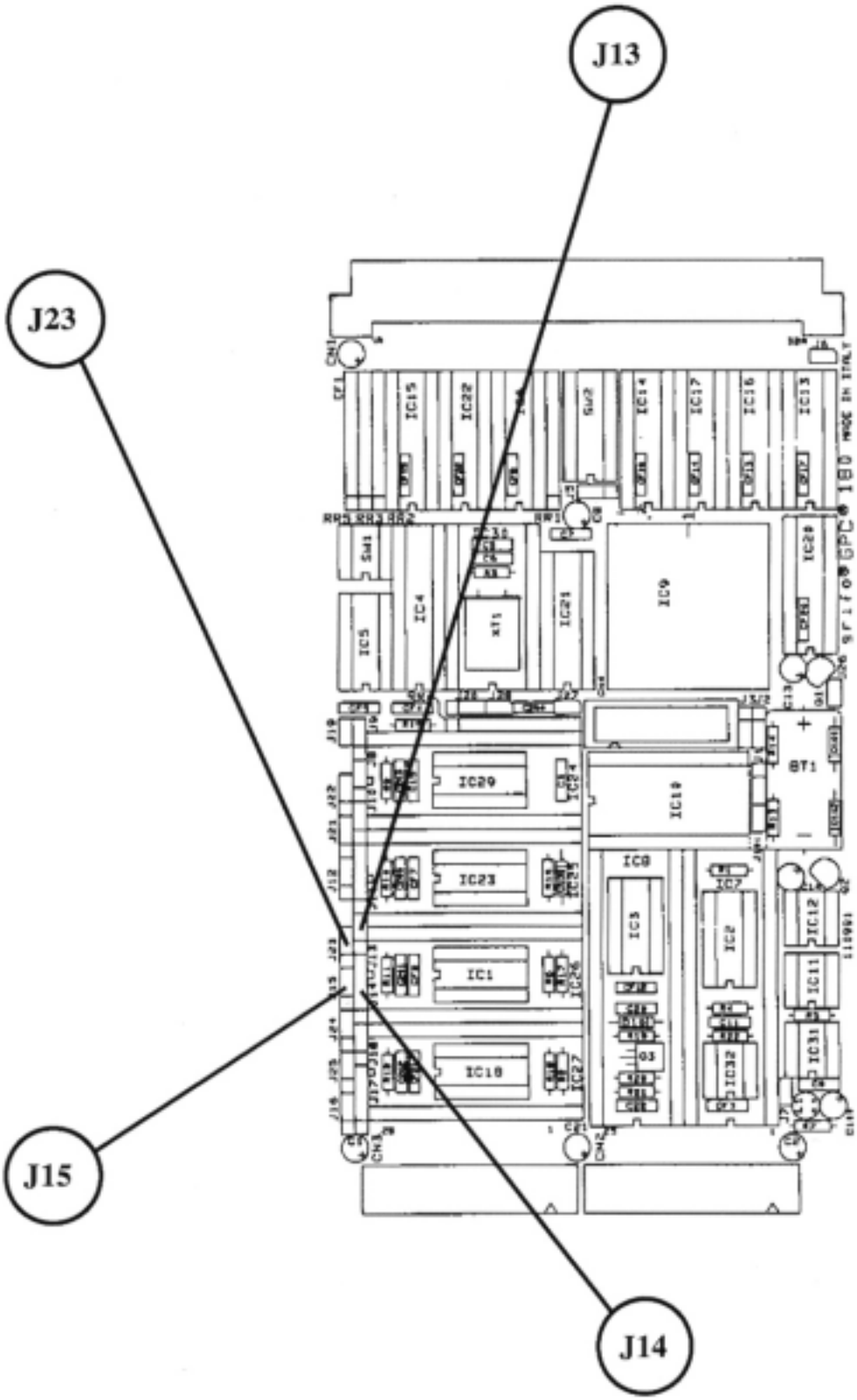


Fig. 8-4: Disposizione jumpers per configurazione di IC26.

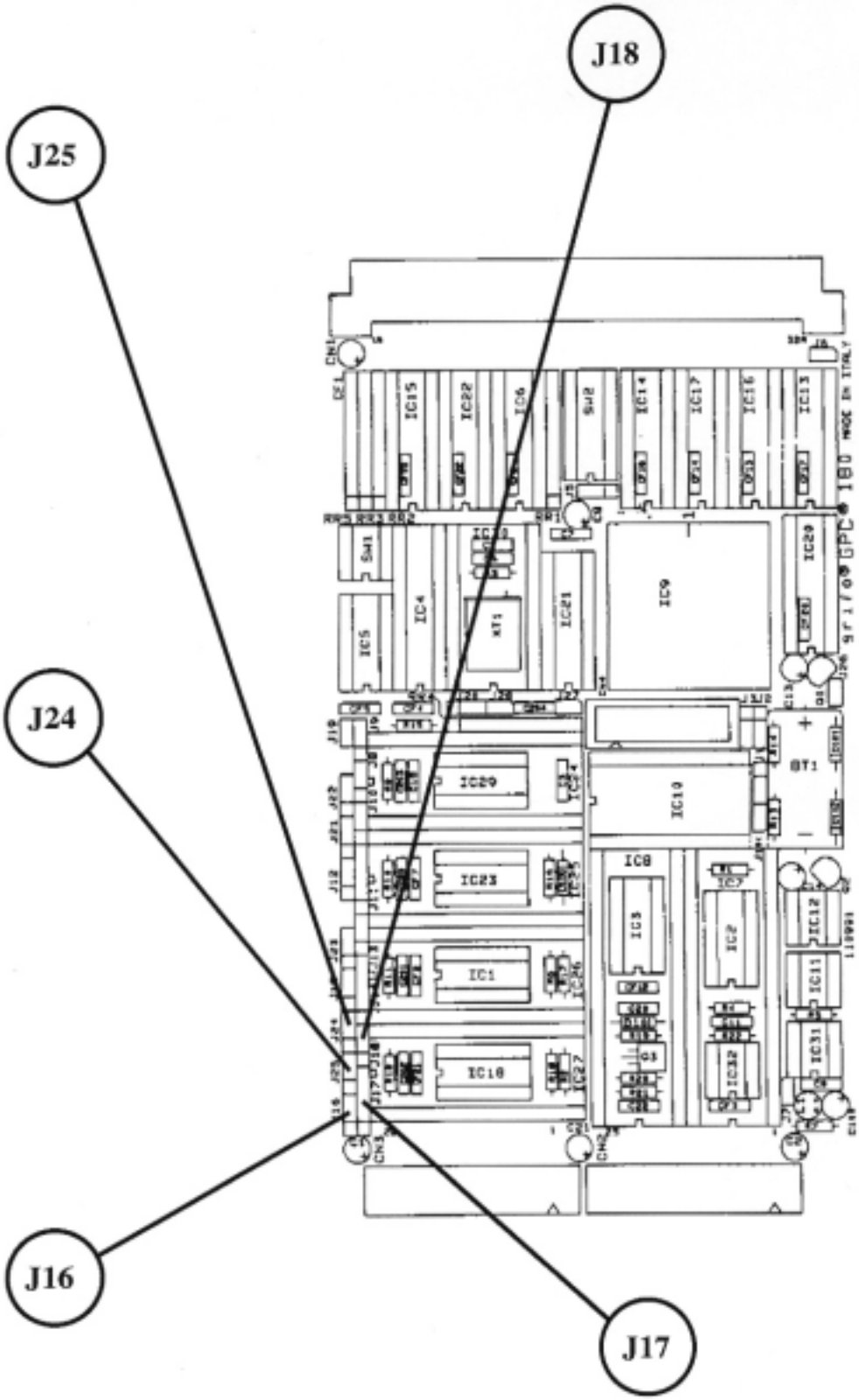


Fig. 8-5: Disposizione jumpers per configurazione di IC27.

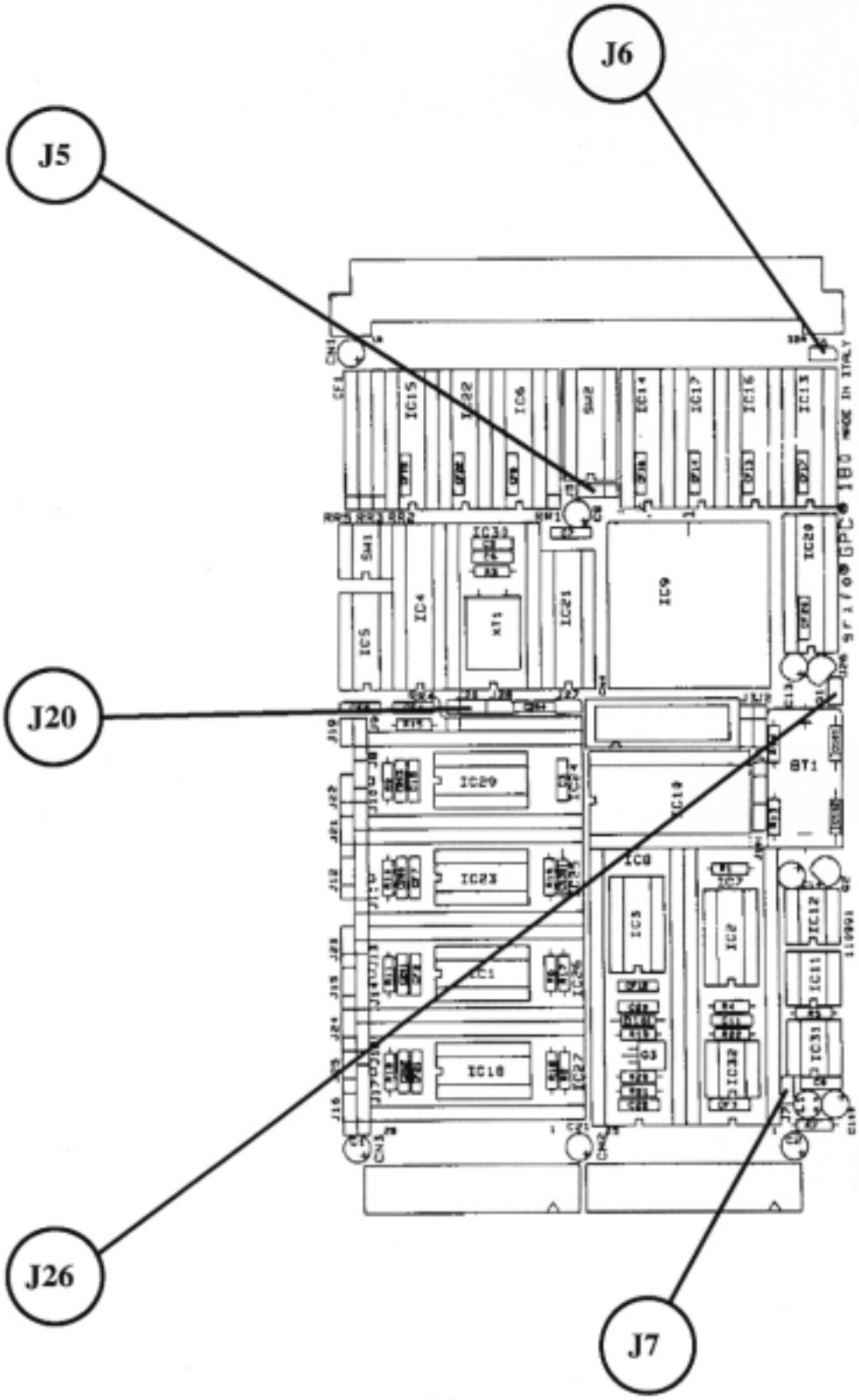


Fig. 8-6: Disposizione jumpers per Watch Dog, Back Up, ecc.

APPENDICE - B
GLOSSARIO DEI TERMINI

APPENDICE

Glossario dei termini:

B

Back Up, 27

Bus ABACO(R): pin out, 15

C

Circuito di Watch-Dog, 28

Clock, 4

Comunicazione seriale, 4, 28

Connettori

CN1, 15

CN2, 13

CN3, 14

CN4, 11

J27, 17

J28, 17

D

Descrizione hardware, 31

Dip Switch, 35

I

Input di bordo, 18

Interrupt, 19

J

Jumpers

2 vie, 23

3 vie, 25, 26

5 vie, 27

descrizione, 21

M

Mappaggio
GAL DSD, 32
Mappaggio risorse di bordo, 31
Memorie utilizzabili, 3
Memorie: configurazione, 29

P

Periferiche
mappaggio, 33
Periferiche di bordo
generalita`, 4
software, 35
Periferiche esterne compatibili, 38
PPI 82C55, 36
Processore di bordo, 3
Protezione in scrittura, 35

R

RAM+RTC MK 48T12, 37

S

Segnalazioni Visive, 19
Software: strutture, 30

W

Watch Dog, 35