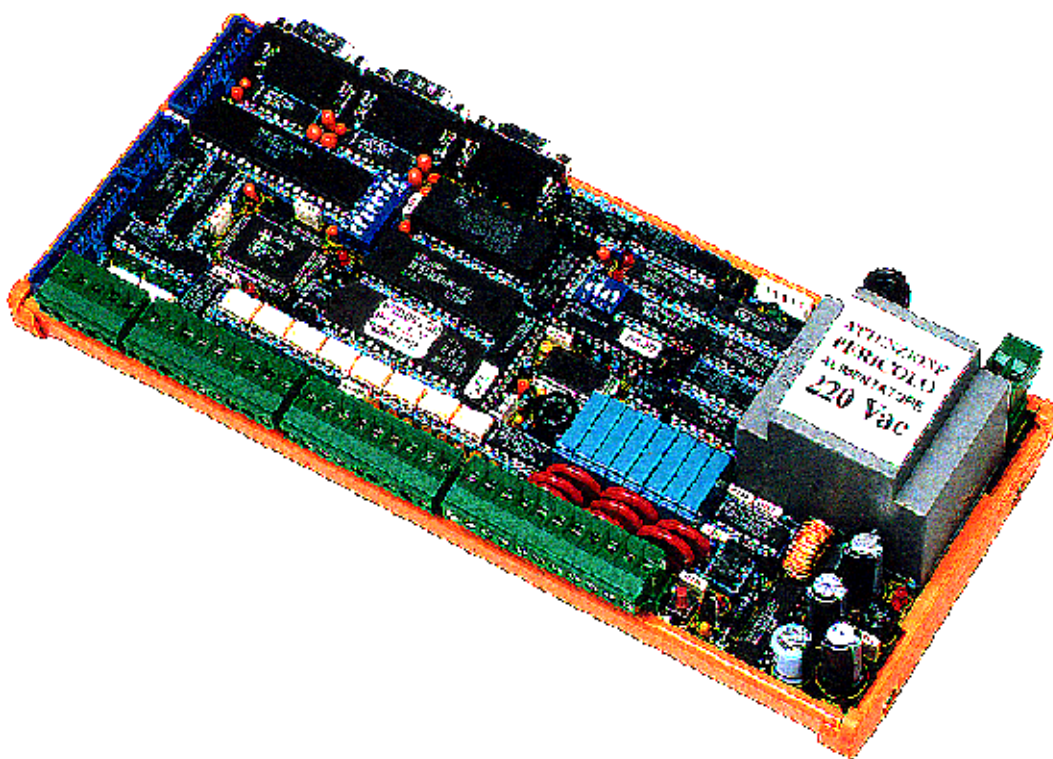


GPC[®] 15R

General Purpose Controller 84C15

MANUALE TECNICO



grifo[®]

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

<http://www.grifo.com>

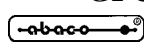
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



GPC[®] 15R

Edizione 3.20

Rel. 18 Maggio 2000

, GPC[®], grifo[®], sono marchi registrati della ditta grifo[®]

GPC® 15R

General Purpose Controller 84C15

MANUALE TECNICO

Formato singola Europa da 100x245 mm con interfaccia per **ABACO® I/O BUS**; contenitore per guide a **Ω DIN 46277-1 e 3**; **CPU CMOS 84C15** con quarzo da **20 MHz**; fino a **512K EPROM** o **FLASH EPROM**, fino a **512K SRAM**; **RAM/ROM disk** gestite tramite **FGDOS**; **EEPROM** seriale fino a 8 K; fino a 12 **Dip Switch** e un jumper di configurazione leggibili da software; **1 LED** di attività; **Buzzer** pilotabile via software; **2** linee seriali in **RS 232** di cui una settabile in **RS 422, RS 485** o **Current Loop** con **baud rate** fino a **155,2 KBaud**; fino a **24** linee di **I/O TTL**; **16 ingressi TTL optoisolati**; **8 uscite con relè** da 3A protette da MOV; **4 timer counter**; fino a 8K di **SRAM** opzionalmente tamponata con **RTC** in grado di gestire giorno, mese, anno, giorno della settimana, ore, minuti, secondi; **Watch Dogs** resettabili da software visualizzati tramite **LED**; **alimentazione galvanicamente isolata** tramite rete a **220 Vac oppure** mediante due tensioni separate da **8÷24 Vac**; vasta disponibilità di software di base e di **ambienti di sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**, tra i pacchetti disponibili si possono citare: **FGDOS 15A**; **PASCAL 80**; **CBZ 80**; **NSB8**; **RSD 15A**; **HI TECH C 80**; **GET 80**; **DDS MICRO C 85**; **NO ICE Z80**; ecc.

grifo®

ITALIAN TECHNOLOGY

Via dell' Artigiano, 8/6
40016 San Giorgio di Piano
(Bologna) ITALY

E-mail: grifo@grifo.it

<http://www.grifo.it>

<http://www.grifo.com>

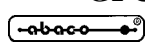
Tel. +39 051 892.052 (r.a.) FAX: +39 051 893.661



GPC® 15R

Edizione 3.20

Rel. 18 Maggio 2000

, GPC®, grifo®, sono marchi registrati della ditta grifo®

Vincoli sulla documentazione **grifo**[®] Tutti i Diritti Riservati

Nessuna parte del presente manuale può essere riprodotta, trasmessa, trascritta, memorizzata in un archivio o tradotta in altre lingue, con qualunque forma o mezzo, sia esso elettronico, meccanico, magnetico ottico, chimico, manuale, senza il permesso scritto della **grifo**[®].

IMPORTANTE

Tutte le informazioni contenute sul presente manuale sono state accuratamente verificate, ciononostante **grifo**[®] non si assume nessuna responsabilità per danni, diretti o indiretti, a cose e/o persone derivanti da errori, omissioni o dall'uso del presente manuale, del software o dell' hardware ad esso associato.

grifo[®] altresì si riserva il diritto di modificare il contenuto e la veste di questo manuale senza alcun preavviso, con l' intento di offrire un prodotto sempre migliore, senza che questo rappresenti un obbligo per **grifo**[®].

Per le informazioni specifiche dei componenti utilizzati sui nostri prodotti, l'utente deve fare riferimento agli specifici Data Book delle case costruttrici o delle seconde sorgenti.

LEGENDA SIMBOLI

Nel presente manuale possono comparire i seguenti simboli:

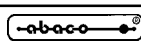


Attenzione: Pericolo generico



Attenzione: Pericolo di alta tensione

Marchi Registrati

 , GPC[®], **grifo**[®] : sono marchi registrati della **grifo**[®].

Altre marche o nomi di prodotti sono marchi registrati dei rispettivi proprietari.

INDICE GENERALE

INTRODUZIONE	1
VERSIONE SCHEDA	1
INFORMAZIONI GENERALI	2
DISPOSITIVI DI MEMORIA	3
COMUNICAZIONE SERIALE	3
SIO	4
TIMER COUNTER	4
LINEE DI I/O DEL PIO	4
LOGICA DI CONTROLLO	4
MMU	4
BUZZER	4
DISPOSITIVI DI CLOCK	6
LINEE DI I/O DEL PPI 82C55	6
WATCH DOG	6
CONFIGURAZIONE SCHEDA	6
INGRESSI/USCITE GALVANICAMENTE ISOLATE	7
RTC	7
PROCESSORE DI BORDO	7
ABACO® I/O BUS	7
ALIMENTAZIONE DI BORDO	8
CIRCUITERIA DI POWER FAILURE	8
SPECIFICHE TECNICHE	10
CARATTERISTICHE GENERALI	10
CARATTERISTICHE FISICHE	10
CARATTERISTICHE ELETTRICHE	11
INSTALLAZIONE	12
CONNESSIONI CON IL MONDO ESTERNO	12
CN10 - CONNETTORE PER I/O DEL CTC	12
CN8 - CONNETTORE PER INGRESSI OPTOISOLATI DEL CTC	14
CN14 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP	14
CN1 - CONNETTORE DI ALIMENTAZIONE DA RETE	15
CN1&13 - CONNETTORE DI ALIMENTAZIONE A BASSA TENSIONE	15
CN4 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT B	16
CN6 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT A	18
DSW2 - ZOCCOLO PER I/O DEL PPI 82C55 DA PORT B	19
CN9 - CONNETTORE PER I/O DEL PPI 82C55 DA PORT A E C	20
CN2 - CONNETTORE PER USCITE A RELÈ	22
CN12 - CONNETTORE DI PRELIEVO TENSIONI DI ALIMENTAZIONE	24
CN11 - CONNETTORE PER ABACO® I/O BUS	25
CN7 - CONNETTORE PER SERIALE RS 232 SU LINEA SERIALE A	26

CN5 - CONNETTORE PER SERIALE RS 232 SU LINEA SERIALE B	27
CN3 - CONNETTORE PER SERIALE RS 422, RS 485 E CURRENT LOOP	28
INTERFACCIAMENTO DEGLI I/O CON IL CAMPO	34
INPUT DI BORDO	34
SEGNALAZIONI VISIVE	35
INTERFACCE PER I/O DIGITALI	36
TASTO DI RESET	36
SELEZIONE TENSIONI DI ALIMENTAZIONE	38
JUMPERS	39
JUMPERS A 2 VIE	40
JUMPERS A 4 VIE	40
JUMPERS A 3 VIE	41
JUMPER A 5 VIE	42
RESET E WATCH DOG	44
SELEZIONE DISATTIVAZIONE DELLE USCITE A RELÉ	44
INGRESSI DI CONFIGURAZIONE	45
GESTIONE INTERRUPTS	45
COMUNICAZIONE SERIALE	46
SELEZIONE MEMORIE	50
DESCRIZIONE SOFTWARE	52
MAPPAGGI ED INDIRIZZAMENTI	55
MAPPAGGIO DELLE RISORSE DI BORDO	55
MAPPAGGIO DELL'I/O	56
MAPPAGGIO ABACO® I/O BUS	58
MAPPAGGIO MEMORIE	58
DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO	61
WATCH DOG ESTERNO	61
EEPROM SERIALE	61
LED DI ATTIVITÀ	62
INGRESSI DI CONFIGURAZIONE	62
BUZZER	63
MEMORY MANAGEMENT UNIT	63
SIO	65
PIO	65
CTC	65
WATCH DOG INTERNO	65
SRAM TAMPONATA + RTC	65
BAUD RATE GENERATOR	69
PPI 82C55	70
USCITE A RELÉ	71
SCHEDE ESTERNE	72
BIBLIOGRAFIA	76
APPENDICE A: SCHEMI ELETTRICI	A-1

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO B-1
CPU Z84C15 B-1

APPENDICE C: INDICE ANALITICO C-1

INDICE DELLE FIGURE

FIGURA 1: SCHEMA A BLOCCHI	5
FIGURA 2: FOTO SCHEDA	9
FIGURA 3: CN10 - CONNETTORE PER I/O DEL CTC	12
FIGURA 4: SCHEMA DI COLLEGAMENTO CTC	13
FIGURA 5: CN8 - CONNETTORE PER INGRESSI OPTOISOLATI DEL CTC	14
FIGURA 6: CONNETTORE PER BATTERIA ESTERNA DI BACK UP	14
FIGURA 7: CN1 - CONNETTORE DI ALIMENTAZIONE DA RETE	15
FIGURA 8: CN1&13 - CONNETTORE DI ALIMENTAZIONE A BASSA TENSIONE	15
FIGURA 9: CN4 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT B DEL PIO	16
FIGURA 10: SCHEMA INGRESSI DIGITALI OPTOISOLATI DEL PIO	17
FIGURA 11: CN6 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT A DEL PIO	18
FIGURA 12: DSW2 - ZOCCOLO PER I/O DEL PPI 82C55 DA PORT B	19
FIGURA 13: CN9 - CONNETTORE PER I/O DEL PPI 82C55 PORT A E C	20
FIGURA 14: SCHEMA DI COLLEGAMENTO PPI	21
FIGURA 15: CN2 - CONNETTORE PER USCITE A RELÈ	22
FIGURA 16: SCHEMA USCITE A RELÈ	23
FIGURA 17: CN12 - CONNETTORE DI PRELEVAMENTO TENSIONI DI ALIMENTAZIONE	24
FIGURA 18: CN11 - CONNETTORE PER I/O ABACO® BUS	25
FIGURA 19: CN7 - CONNETTORE PER COMUNICAZIONE RS 232 SU LINEA SERIALE A	26
FIGURA 20: CN5 - CONNETTORE PER COMUNICAZIONE RS 232 SU LINEA SERIALE B	27
FIGURA 21: CN3 - CONNETTORE PER COMUNICAZIONE RS 422, RS 485 E CURRENT LOOP	28
FIGURA 22: SCHEMA DI COMUNICAZIONE SERIALE	29
FIGURA 23: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 232	30
FIGURA 24: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 422	30
FIGURA 25: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 485	30
FIGURA 26: ESEMPIO DI COLLEGAMENTO IN RETE IN RS 485	31
FIGURA 27: ESEMPIO DI COLLEGAMENTO PUNTO-PUNTO IN CURRENT LOOP A 4 FILI	32
FIGURA 28: ESEMPIO DI COLLEGAMENTO PUNTO-PUNTO IN CURRENT LOOP A 2 FILI	32
FIGURA 29: ESEMPIO DI COLLEGAMENTO IN RETE IN CURRENT LOOP PASSIVO	33
FIGURA 30: TABELLA DELLE SEGNALAZIONI VISIVE	35
FIGURA 31: DISPOSIZIONE LEDS	37
FIGURA 32: TABELLA RIASSUNTIVA JUMPERS	39
FIGURA 33: TABELLA JUMPERS A 2 VIE	40
FIGURA 34: TABELLA JUMPERS A 4 VIE	40
FIGURA 35: DISPOSIZIONE JUMPERS	41
FIGURA 36: TABELLA JUMPERS A 5 VIE	42
FIGURA 37: DISPOSIZIONE JUMPERS	43
FIGURA 38: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE	47
FIGURA 39: DISPOSIZIONE CONNETTORI, MEMORIE, BUZZER, ETC.	49
FIGURA 40: TABELLA DI SELEZIONE MEMORIE	50
FIGURA 41: PIANTA COMPONENTI	51
FIGURA 42: TABELLA INDIRIZZAMENTO I/O - PARTE 1	56
FIGURA 43: TABELLA INDIRIZZAMENTO I/O - PARTE 2	57
FIGURA 44: MAPPAGGIO DELLE MEMORIE CON R/E=0	59
FIGURA 45: MAPPAGGIO DELLE MEMORIE CON R/E=1	60
FIGURA 46: TABELLA POSSIBILI PROGRAMMAZIONI SEZIONE DI MMU	64

FIGURA 47: TABELLA INDIRIZZAMENTO REGISTRI DEL MODULO SRAM+RTC	66
FIGURA 48: SCHEMA DELLE POSSIBILI CONNESSIONI	73
FIGURA A1: SCHEMA ELETTRICO IAC 01	A-1
FIGURA A2: SCHEMA ELETTRICO KDX x24	A-2
FIGURA A3: SCHEMA ELETTRICO QTP 16P	A-3
FIGURA A4: SCHEMA ELETTRICO QTP 24P - PARTE 1	A-4
FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2	A-5
FIGURA A6: SCHEMA ELETTRICO SPA 01	A-6



INTRODUZIONE

L'uso di questi dispositivi é rivolto - IN VIA ESCLUSIVA - a personale specializzato.

Scopo di questo manuale é la trasmissione delle informazioni necessarie all'uso competente e sicuro dei prodotti. Esse sono il frutto di un'elaborazione continua e sistematica di dati e prove tecniche registrate e validate dal Costruttore, in attuazione alle procedure interne di sicurezza e qualità dell'informazione.

I dati di seguito riportati sono destinati - IN VIA ESCLUSIVA - ad un utenza specializzata, in grado di interagire con i prodotti in condizioni di sicurezza per le persone, per la macchina e per l'ambiente, interpretando un'elementare diagnostica dei guasti e delle condizioni di funzionamento anomale e compiendo semplici operazioni di verifica funzionale, nel pieno rispetto delle norme di sicurezza e salute vigenti.

Le informazioni riguardanti installazione, montaggio, smontaggio, manutenzione, aggiustaggio, riparazione ed installazione di eventuali accessori, dispositivi ed attrezzature, sono destinate - e quindi eseguibili - sempre ed in via esclusiva da personale specializzato avvertito ed istruito, o direttamente dall'ASSISTENZA TECNICA AUTORIZZATA, nel pieno rispetto delle raccomandazioni trasmesse dal costruttore e delle norme di sicurezza e salute vigenti.

I dispositivi non possono essere utilizzati all'aperto. Si deve sempre provvedere ad inserire i moduli all'interno di un contenitore a norme di sicurezza che rispetti le vigenti normative. La protezione di questo contenitore non si deve limitare ai soli agenti atmosferici, bensì anche a quelli meccanici, elettrici, magnetici, ecc.

Per un corretto rapporto coi prodotti, é necessario garantire leggibilità e conservazione del manuale, anche per futuri riferimenti. In caso di deterioramento o più semplicemente per ragioni di approfondimento tecnico ed operativo, consultare direttamente l'Assistenza Tecnica autorizzata.

Al fine di non incontrare problemi nell'uso di tali dispositivi, é conveniente che l'utente - PRIMA DI COMINCIARE AD OPERARE - legga con attenzione tutte le informazioni contenute in questo manuale. In una seconda fase, per rintracciare più facilmente le informazioni necessarie, si può fare riferimento all'indice generale e all'indice analitico, posti rispettivamente all'inizio ed alla fine del manuale.

VERSIONE SCHEDA

Il presente manuale è riferito alla scheda **GPC® 15R** versione **130395** e successive. La validità delle informazioni riportate è quindi subordinata al numero di versione della scheda in uso e l'utente deve quindi sempre verificare la giusta corrispondenza tra le due indicazioni. Sulla scheda il numero di versione è riportato in più punti sia a livello di serigrafia che di stampato (ad esempio sull'angolo della scheda vicino al condensatore C4 sul lato componenti e sotto al trasformatore TF1 nel lato stagnature).

INFORMAZIONI GENERALI

La **GPC® 15R** è un nuovo potente modulo di controllo, che ha un ottimo rapporto prezzo/prestazioni. La sua modularità la rende il componente ideale per poter costruire architetture con logica distribuita, con ottime risorse in termini elaborativi e di I/O verso il campo. La scheda è in grado di risolvere autonomamente molti problemi del settore industriale e, quando necessario, è possibile aumentarne la potenza ed i campi di applicazione, tramite l'**I/O BUS** di bordo. La **GPC® 15R** dispone di una serie di connettori normalizzati che facilitano l'operazione di installazione del sistema. Dispone inoltre di comode morsettiere a rapida estrazione per tutti i segnali di I/O dal campo.

La **GPC® 15R** è provvista di un supporto isolante con attacco rapido per guide ad omega del tipo DIN 46277-1 e DIN 46277-3. Dispone di varie soluzioni per l'alimentazione tra cui un alimentatore a tensione di rete. In questo modo E' così possibile porre l'elettronica assieme alle strutture elettromeccaniche del quadro elettrico, eliminando tutti i tipici costi di messa in campo del carteggio tradizionale. La programmazione e l'uso delle risorse della scheda diventa estremamente semplice grazie all'uso del potente sistema operativo romato **FGDOS**. Esso supporta i linguaggi ad alto livello quali Compilatori BASIC, PASCAL, C, ecc.; mette a disposizione le risorse di memoria come se fossero **ROM/RAM disk**, consentendo un immediato utilizzo ad alto livello di questi dispositivi. Consente inoltre la gestione diretta di **Display LCD** o **Fluorescenti**, di una tastiera a matrice, di una stampante parallela e delle schede **PCMCIA** di **RAM Cards**. **FGDOS**, oltre alla nota facilità di sviluppo e prova, consente di programmare direttamente a bordo scheda una **FLASH** con il programma utente. La **GPC® 15R** è dotata di una serie di connettori normalizzati, standard **Abaco®**, che le consentono di utilizzare immediatamente la numerosa serie di moduli **BLOCK** di I/O oppure permettono il collegamento, in modo molto semplice ed economico, delle interfacce da campo costruite direttamente dall'utente o da terze parti.

- Formato da **100x245** mm per guide **DIN 46277-1** e **DIN 46277-3**;
- CPU **84C15** codice compatibile **Z80** con quarzo da **20 MHz**;
- **16 o 24** linee di **I/O** a livello **TTL**, con direzionalità settabile a livello di Byte, gestite via software dal **PPI 82C55**;
- **16** linee di Input optoisolate, visualizzate e con la possibilità di **generare interrupt**, gestite via software tramite la sezione incorporata di **PIO** del **Z84C15**. Le linee d'ingresso sono già alimentate dalla scheda e non necessitano che di un comando tipo NPN, o contatto pulito di relé;
- **8** linee di **output** con relé da **3A**, visualizzate e dotate di soppressore di transienti sui contatti;
- **2 Dip Switch** leggibili da software per un totale di 12 dip;
- Fino a **512 K** di **FLASH EPROM** o **512 K** di **EPROM** e **512 K SRAM**. Tramite **GDOS** la memoria eccedente i 64K è gestita come **RAM/ROM disk** ed è possibile cancellare e programmare autonomamente la Flash EPROM di bordo a settori di 16 K;
- Circuiteria di **back up** per la SRAM, tramite **batteria esterna**.
- Fino ad **8 K SRAM tamponata** con batteria al Litio ed **orologio** in grado di gestire ore, minuti, secondi, giorno, mese, anno e giorno della settimana;
- **EEPROM** seriale con capacità da **2 a 64 KBIT**;
- **2** linee seriali in **RS 232**, di cui una commutabile in **RS 422**, **RS 485** o **Current Loop** gestite via software tramite la sezione incorporata di **SIO** del **Z84C15**;
- **Doppio Baud Rate generator** programmabile via software da **300 a 115200 Baud**;
- Doppio **Watch Dog** completamente retriggerabile via software;
- Circuiteria di **Power Failure** in grado di generare **/NMI**;

- **4 timer counter** ad **8 bit** disponibili a livello utente e gestiti via software tramite la sezione incorporata di **CTC** del **Z84C15**. Le 4 linee di counter sono **optoisolate**, **visualizzate** e già provviste di alimentazione;
- Circuiteria con **Buzzer** per generare allarmi o feed back sonori;
- Vari **LED di stato** e di attività;
- Commutatore per selezionare la modalità **operativa** o di **debugger**;
- Connettore per **ABACO® I/O BUS**;
- **Alimentatore da rete** incorporato, in grado di alimentare sia le sezioni logiche che quelle di I/O, **galvanicamente isolate**;
- Vasta disponibilità di software di base e di **ambienti di sviluppo** che consentono di poter utilizzare la scheda tramite un normale **PC**. Tra i pacchetti disponibili si possono citare: **FGDOS 15R**; **PASCAL 80**; **CBZ 80**; **NSB8**; **RSD 15R**; **HI TECH C 80**; **GET 80**; **DDS MICRO C 85**; **NO ICE Z80**; ecc.

DISPOSITIVI DI MEMORIA

E' possibile dotare la scheda di un massimo di 1040KBytes di memoria variamente suddivisi con un massimo di 512KBytes di EPROM o FLASH EPROM, 512KBytes di SRAM, 8KBytes di EEPROM seriale e 8KBytes di SRAM tamponata. La scelta della configurazione delle memorie presenti sulla scheda può avvenire in relazione all'applicazione da risolvere e quindi in relazione alle esigenze dell'utente. Da questo punto di vista si ricorda che la scheda viene normalmente fornita con i soli 128KBytes di SRAM di lavoro e che tutte le rimanenti memorie devono essere quindi opportunamente specificate in fase di ordine della scheda. Sfruttando la possibilità opzionale di montare fino a 8KBytes di EEPROM seriale e fino a 8KBytes di SRAM tamponata si ha la possibilità di mantenere i dati anche in assenza di alimentazione. Questa caratteristica fornisce alla scheda la possibilità di ricordare in ogni condizione, una serie di parametri come ad esempio la configurazione o lo stato del sistema. Il mappaggio delle risorse di memoria avviene tramite una opportuna circuiteria di bordo, che provvede ad allocare i dispositivi all'interno dello spazio d'indirizzamento del microprocessore. Per maggiori informazioni fare riferimento al capitolo "DESCRIZIONE HARDWARE" e "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO". Per una descrizione più approfondita sui dispositivi di memoria, sugli zoccoli da utilizzare e sullo strappaggio della scheda, fare riferimento al paragrafo "SELEZIONE MEMORIE".

COMUNICAZIONE SERIALE

La comunicazione seriale è completamente settabile via software per quanto riguarda sia il protocollo sia la velocità (da un minimo di 300 ad un massimo di 115200 Baud) ed in modo completamente autonomo per entrambe le linee di comunicazione. Tali settaggi avvengono tramite la programmazione del SIO interno allo Z84C15 e della sezione di baud rate generator, di cui la scheda é provvista, quindi per ulteriori informazioni si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale.

Dal punto di vista hardware è invece possibile selezionare, tramite una serie di comodi jumpers, il protocollo fisico di comunicazione. In particolare una linea è sempre bufferata in RS 232, mentre la rimanente può essere bufferata in RS 232, RS 422, RS 485 o Current Loop; in quest'ultimo caso è definibile anche se la comunicazione avviene in Full Duplex o Half Duplex.

SIO

Periferica in grado di gestire due linee per la comunicazione seriale. Il dispositivo può essere utilizzato per la comunicazione con tutti i sistemi provvisti di una linea seriale bufferata in RS 232, RS 422, RS 485 o Current Loop. Dal punto di vista software è infatti definibile la velocità di comunicazione, la lunghezza della parola, il numero di stop bit, la parità e lo stato dei segnali di handshake hardware. Il tutto avviene tramite una semplice programmazione di 4 registri allocati nello spazio di I/O della CPU da un'apposita logica di controllo.

TIMER COUNTER

La sezione di Timer Counter di bordo è costituita dalla sezione CTC del microprocessore e dispone di 4 canali ad 8 bit indipendenti e programmabili via software. La periferica è vista tramite 4 registri, situati nello spazio di I/O dalla logica di controllo della scheda, con cui possono essere definite le modalità di funzionamento (timer o counter, prescaler, trigger, ecc.) e l'eventuale generazione d'interrupt.

LINEE DI I/O DEL PIO

Periferica in grado di gestire due port paralleli da 8 bit per un totale di 16 linee di I/O logico a livello TTL, con direzionalità settabile a livello di bit. Tali linee di I/O hanno la possibilità di generare interrupt. In questo modo una determinata condizione esterna può distogliere la CPU dalle normali operazioni, in modo da rispondere sempre e prontamente a tutti gli eventi. Il PIO viene completamente gestito via software tramite la programmazione di 4 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo.

LOGICA DI CONTROLLO

Il mappaggio di tutti i registri delle periferiche presenti sulla scheda e dei dispositivi di memoria, è affidata ad un'opportuna logica di controllo che si occupa di allocare tali dispositivi nello spazio d'indirizzamento della CPU. Per informazioni si veda il paragrafo "MAPPAGGIO DELL'I/O".

MMU

Al fine di poter gestire in modo pratico ed efficace le configurazioni di memoria di cui può essere dotata la **GPC® 15R**, a partire dallo spazio d'indirizzamento logico di 64 KByte del microprocessore, è stata prevista un'apposita sezione di MMU. Tale sezione provvede tramite una facile programmazione software, l'allocazione dei 64K di lavoro all'interno dello spazio di memoria.

BUZZER

Sulla **GPC® 15R** è presente una circuiteria in grado di emettere un suono costante, basata su un buzzer capacitivo. Questa circuiteria viene abilitata e/o disabilitata via software tramite la logica di controllo e può essere utilizzata per generare allarmi acustici, feed back sonori, ecc.

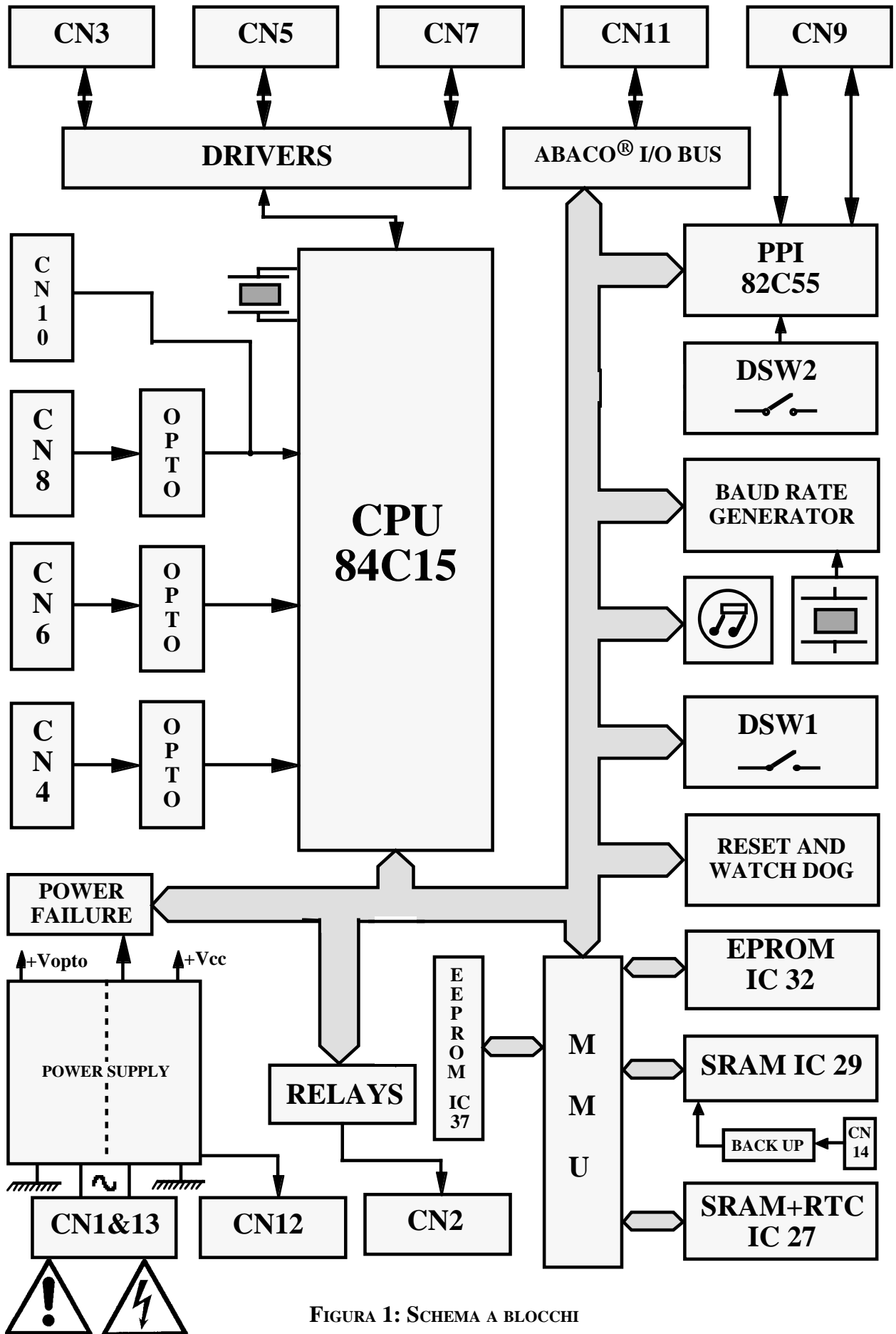


FIGURA 1: SCHEMA A BLOCCHI

DISPOSITIVI DI CLOCK

Sulla **GPC® 15R** sono presenti due circuiti separati che provvedono a generare rispettivamente la frequenza di clock per la CPU (20 MHz) e la frequenza per la generazione del Baud Rate (1,8432 MHz), relativo alle linee di comunicazione seriale della scheda. La scelta di utilizzare due circuiti e quindi due quarzi indipendenti, è legata alla possibilità di poter variare la frequenza di lavoro della CPU senza dover intervenire sul software di gestione della comunicazione ed allo stesso tempo avere la possibilità di raggiungere le massime prestazioni in termini di tempo, sia per quanto riguarda l'esecuzione che la comunicazione seriale .

LINEE DI I/O DEL PPI 82C55

Periferica in grado di gestire tre port paralleli da 8 bit per un totale di 24 linee di I/O logico a livello TTL, con direzionalità settabile a livello di byte. Tali linee di I/O aprono ulteriori possibilità di impiego della **GPC® 15R** (ad esempio nella gestione di periferiche non intelligenti, interfacce, ecc.) anche quando l'handshake delle comunicazioni è completamente da gestire via software. Il chip PPI 82C55 viene completamente gestito via software tramite la programmazione di 4 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo. Nella versione base della scheda uno dei port viene impiegato per leggere il Dip Switch a 8 vie; per ottenere tutte le 24 linee di I/O è necessario il Dip witch (che è montato su zoccolo) e sostituirlo con un apposito connettore a 16 vie.

WATCH DOG

La scheda **GPC® 15R** è provvista di due circuiterie separate di Watch Dog che, se utilizzate, consentono di uscire da stati di loop infinito o da condizioni anomale non previste dal programma applicativo. Tali circuiterie sono composte da una sezione monostabile interna al microprocessore caratterizzata da un tempo di intervento programmabile e da una sezione astabile/monostabile esterna con un tempo d'intervento tipico di circa 700 msec. La gestione avviene completamente via software (tramite l'accesso ad opportuni registri situati nello spazio d'indirizzamento della CPU) e conferisce al sistema basato sulla scheda, una sicurezza estrema. I tempi d'intervento della circuiteria di Watch Dog esterna possono essere eventualmente variati su specifica richiesta dell'utente, intervenendo su apposite reti RC; in caso di necessità contattare la **grifo®**.

CONFIGURAZIONE SCHEDA

Allo scopo di rendere configurabile la scheda ed in particolare il programma applicativo sviluppato per questa, sono stati previsti due Dip Switch a 4 ed 8 vie per un totale di 12 dips. La possibilità di acquisire via software lo stato di questi Dip Switch, fornisce all'utente la possibilità di gestire diverse condizioni tramite un unico programma, senza dover rinunciare ad altre linee d'ingresso (le applicazioni caratteristiche sono: selezione della lingua di rappresentazione, definizione parametri del programma, selezione delle modalità operative, ecc.). In caso di non utilizzo del dip switch ad 8, si rendono in alternativa disponibili 8 linee di I/O generico dal campo, come descritto nel paragrafo "DSW2 - ZOCCOLO PER I/O DEL PPI 82C55 DA PORT B".

Sempre in merito alla configurazione della scheda, sulla **GPC® 15R** è stato previsto un LED di attività, gestito via software con cui l'utente può segnalare visivamente lo stato di tutto il sistema.

INGRESSI/USCITE GALVANICAMENTE ISOLATE

Una delle caratteristiche peculiari della **GPC® 15R** è quella di essere provvista di linee di I/O galvanicamente isolate, direttamente utilizzabili per l'interfacciamento con il campo. Complessivamente la scheda dispone di 16 ingressi logici optoisolati di tipo NPN, 4 ingressi optoisolati di tipo NPN per i counter ed infine 8 uscite a relé da 3 A. Per quanto riguarda le linee d'ingresso si deve ricordare che la scheda genera anche la tensione necessaria per l'alimentazione degli stessi ingressi (+Vopto); in questo modo è possibile collegare direttamente alla scheda i sensori e gli attuatori del sistema da controllare, senza dover aggiungere elettronica d'interfacciamento.

RTC

Il modulo di SRAM tamponata da montare sullo zoccolo di IC27 può essere provvisto di un completo Real Time Clock in grado di gestire ore, minuti, secondi, giorno del mese, mese, anno e giorno della settimana in modo completamente autonomo. Il componente è opzionale (come già detto nel capitolo "Dispositivi di memoria"), provvisto di batteria interna di Back Up ed è completamente gestito via software, tramite la programmazione di 8 registri situati nello spazio di I/O della CPU da un'apposita logica di controllo.

PROCESSORE DI BORDO

La scheda **GPC® 15R** è predisposta per accettare il processore Z84C15 prodotto dalla ZILOG. Tale processore ad 8 bit è codice compatibile con lo Z80 ed è quindi caratterizzato da un esteso set di istruzioni (158), da un'alta velocità di esecuzione e di manipolazione dati e da un'efficiente gestione vettorizzata degli interrupts. Di fondamentale importanza è la presenza delle seguenti periferiche interne al microprocessore:

- 16 linee di I/O settabili a livello di bit in grado di generare interrupts (PIO);
- 4 Timer Counter ad 8 bit, con funzione di prescaler programmabile (CTC);
- 2 linee seriali asincrone o sincrone complete di segnali di handshake (SIO);
- Watch Dog Timer;
- Wait state generator;
- Frequenza di Clock programmabile;
- Interrupt controller;
- Possibilità di operare in idle e stop mode, per minimizzare i consumi;

ABACO® I/O BUS

Una delle caratteristiche di fondamentale importanza della **GPC® 15R** è quella di disporre del cosiddetto **ABACO® I/O BUS**: ovvero un connettore normalizzato **ABACO®** con cui è possibile collegare la scheda ad una serie di moduli esterni intelligenti e non. Tra questi si trovano moduli per acquisizione di segnali analogici (A/D), per la generazione di segnali analogici (D/A), per gestione di linee di I/O logico, per counter, ecc. e ne possono essere realizzati anche su specifiche richieste dell'utente. Tale caratteristica rende la scheda espandibile con un'ottimo rapporto prezzo/prestazioni e quindi adatta a risolvere molti dei problemi dell'automazione industriale.

ALIMENTAZIONE DI BORDO



Una delle caratteristiche peculiari della **GPC® 15R** é quella di essere provvista di una sezione alimentatrice a bordo scheda. Infatti tramite un'opportuna circuiteria si ottengono le tensioni di alimentazione necessarie, a partire dalla 220 Vac. La scheda utilizza due alimentazioni galvanicamente isolate di cui una a +5 Vcc per le sezioni logiche ed una a +24 Vcc per l'Input optoisolato; la sezione alimentatrice fornisce entrambe queste tensioni ed é stata progettata per ridurre al minimo quello che é il consumo complessivo della scheda, di conseguenza non può essere usata per alimentare sistemi esterni con consumi superiori ai 900 mA sui +5 Vcc e 12,5 W sulla +Vopto . Questa limitazione può essere facilmente superata, fornendo alla **GPC® 15R** due alimentazioni esterne (alternate o continue) tramite il connettore CN1&13, che possono variare in un largo spettro, in cui sono comprese le tensioni normalmente presenti in tutti i quadri elettrici di macchine automatiche (per maggiori informazioni fare riferimento al paragrafo "SELEZIONE TENSIONI DI ALIMENTAZIONE"). Le scelte progettuali descritte, rendono la scheda estremamente pratica, economica ed efficiente.

CIRCUITERIA DI POWER FAILURE

La circuiteria di Power Failure é in grado di generare un /NMI (Not Maskable Interrupt) se viene a mancare la tensione alternata in uscita dal trasformatore della sezione alimentatrice. In questo modo il programma applicativo in esecuzione sulla scheda può riconoscere questo stato ed agire di conseguenza, sfruttando la carica residua della sezione alimentatrice. Tramite la scelta di un'opportuno gruppo RC, è possibile definire il tempo d'intervento della circuiteria, a partire dalla mancanza della tensione di rete.

Questa flessibilità consente di poter dimensionare la risposta in funzione delle proprie esigenze, potendo comunque contare su di una circuiteria che é in grado di rilevare anche l'assenza di una sola semionda.

Per ulteriori informazioni a riguardo dei dispositivi periferici descritti, si faccia riferimento alla documentazione tecnica della casa costruttrice o all'appendice B di questo manuale.

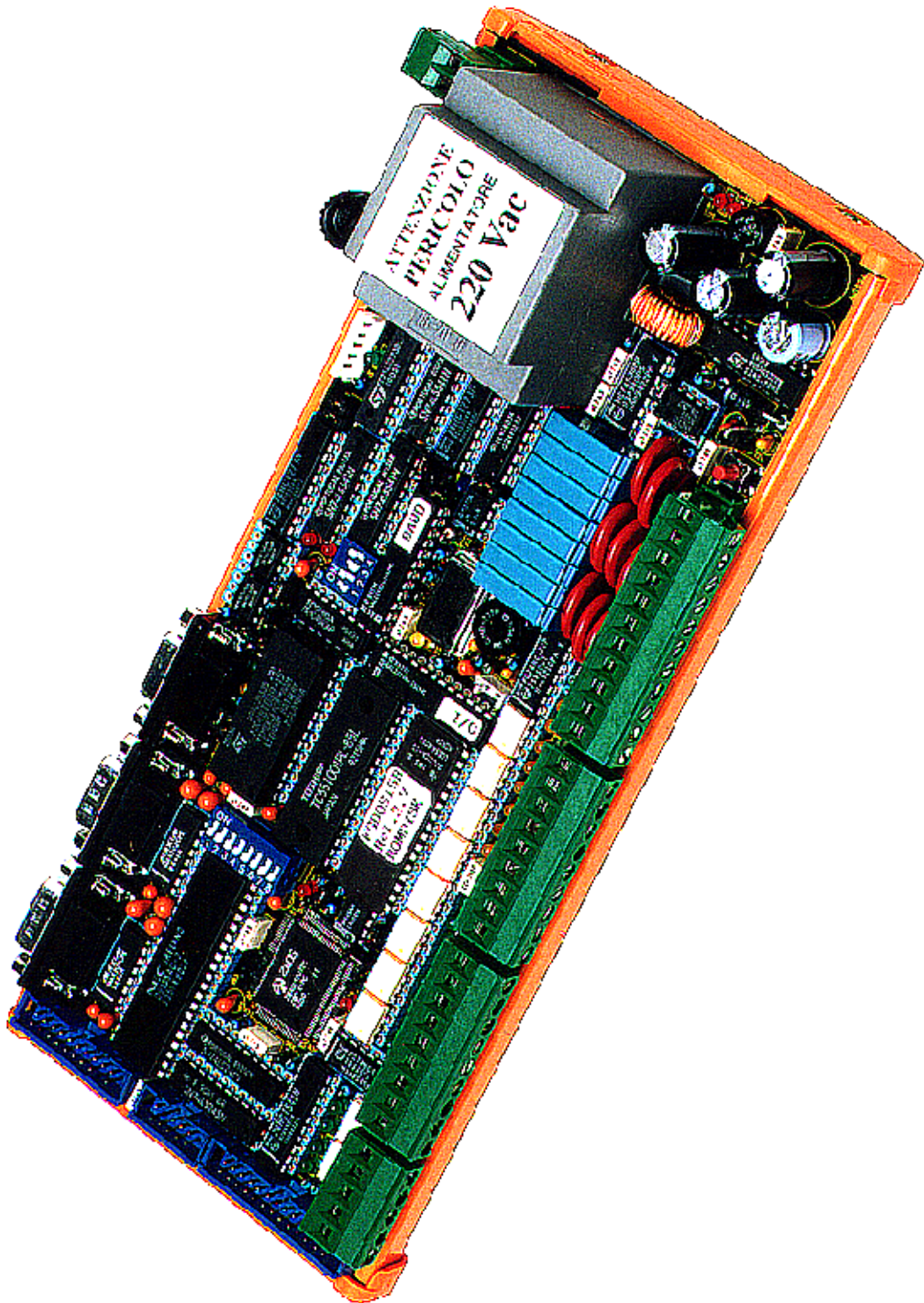


FIGURA 2: FOTO SCHEDA

SPECIFICHE TECNICHE

CARATTERISTICHE GENERALI

Risorse di bordo:	16 (24) Input/Output programmabili TTL (PPI 82C55) 16 Input optoisolati NPN (PIO) 8 Output a relé da 3 A 4 Timer Counter ad 8 bit, con ingressi optoisolati NPN (CTC) 1 Linea bidirezionale RS 232 1 Linea bidirezionale RS 232, RS 422, RS 485 o Current Loop 1 Watch Dog esterno astabile o monostabile 1 Watch Dog interno monostabile 1 Tasto locale di reset 1 Real Time Clock (RTC) 1 Buzzer 2 Dip Switch per un totale di 12 dip 1 Circuiteria di Power Failure 1 ABACO® I/O BUS
Memoria indirizzabile:	IC 32: EPROM da 128K x 8 a 512K x 8 FLASH EPROM da 128K x 8 a 512K x 8 IC 29: SRAM da 128K x 8 a 512K x 8 IC 27: SRAM da 2K x 8 a 8K x 8 IC 37: EEPROM seriale da 256 byte a 8192 byte
CPU di bordo:	ZILOG 84C15 da 10 MHz
Tempo intervento Watch Dog:	700 msec (settabile tramite una rete RC)

CARATTERISTICHE FISICHE

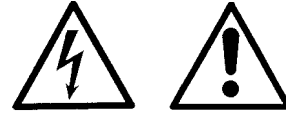
Connettori:	CN1: 2 vie a rapida estrazione CN2: 11 vie rapida estrazione CN3: Vaschetta D femmina 9 vie CN4: 9 vie rapida estrazione CN5: Vaschetta D maschio 9 vie CN6: 9 vie rapida estrazione CN7: Vaschetta D maschio 9 vie CN8: 5 vie a rapida estrazione CN9: 20 vie scatolino verticale M CN10: 10 vie scatolino verticale M CN11: 26 vie scatolino verticale M CN12: 5 vie verticale CN1&13: 4 vie rapida estrazione CN14: 2 vie verticale
Dimensioni:	Formato 100 x 245 mm
Peso:	980 g

Range di temperatura: da 10 a 40 gradi Centigradi

Umidità relativa: 20% fino a 90% (senza condensa)

CARATTERISTICHE ELETTRICHE

Fusibile F1: 1 A; 250 V ritardato
Fusibile F2: 400 mA; 250 V ritardato
Fusibile F3: 100 mA; 250 V ritardato



Tensione alimentazione: 220 Vac; 50 Hz (alimentazione da rete)
 8÷24 Vac (alimentazione a bassa tensione)

Corrente assorbita: Alimentazione da rete

su +5 Vdc: 120÷430 mA a bordo scheda
 300 mA esterni
 su +V Opto: 200 mA per ingressi optoisolati NPN
 2,4 W esterni
 su +Va: 300mA meno la corrente assorbita sui +5V
 moltiplicata per 1,4

Alimentazione a bassa tensione

su +5 Vdc: 120÷430 mA a bordo scheda
 900 mA esterni
 su +V Opto: 200 mA per ingressi optoisolati NPN
 12,5 W esterni
 su +Va: 900mA meno la corrente assorbita sui +5V
 moltiplicata per 1,4

Tensione massima sui relè: 24 Vac
 Se sussistesse l'esigenza di collegare ai relè tensioni più elevate
 si prega di contattare la **grifo®**

-INSTALLAZIONE

In questo capitolo saranno illustrate tutte le operazioni da effettuare per il corretto utilizzo della scheda. A questo scopo viene riportata l'ubicazione e la funzione degli strip, dei connettori, dei trimmers, dei LEDs, ecc. presenti sulla **GPC® 15R**.

CONNESSIONI CON IL MONDO ESTERNO

Il modulo **GPC® 15R** è provvisto di 14 connettori con cui vengono effettuati tutti i collegamenti con il campo e con le altre schede del sistema di controllo da realizzare. Di seguito viene riportato il loro pin out ed il significato dei segnali collegati; per una facile individuazione di tali connettori, si faccia riferimento alla figura 39, mentre per ulteriori informazioni a riguardo del tipo di connessioni, fare riferimento alle figure successive che illustrano il tipo di collegamento effettuato a bordo scheda.

CN10 - CONNETTORE PER I/O DEL CTC

CN10 è un connettore a scatolino verticale con passo 2.54 mm a 10 piedini. Tramite CN10 si effettua la connessione tra i 4 canali del timer counter CTC e l'ambiente esterno. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL.

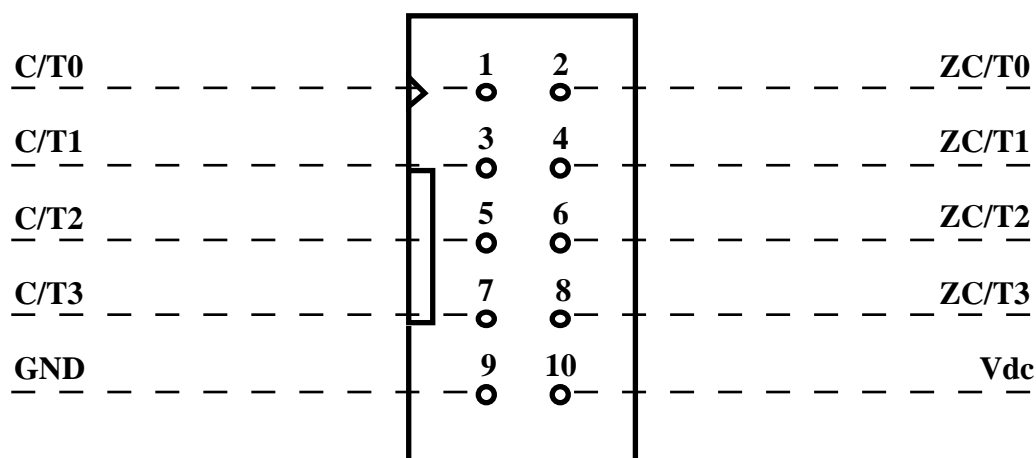


FIGURA 3: CN10 - CONNETTORE PER I/O DEL CTC

Legenda:

- C/Tn** = I - Clock Trigger del contatore n del CTC a livello TTL. Se tale segnale è un open collector la sezione d'ingresso optoisolata del CTC (su CN8) può essere montata e viceversa. In questo caso si forma un OR logico tra l'ingresso TTL ed il corrispondente optoisolato.
- ZC/Tn** = O - Zero Count Timer del contatore n a livello TTL.
- Vdc** = O - Linea di alimentazione a +5 Vdc.
- GND** = - Linea di massa.

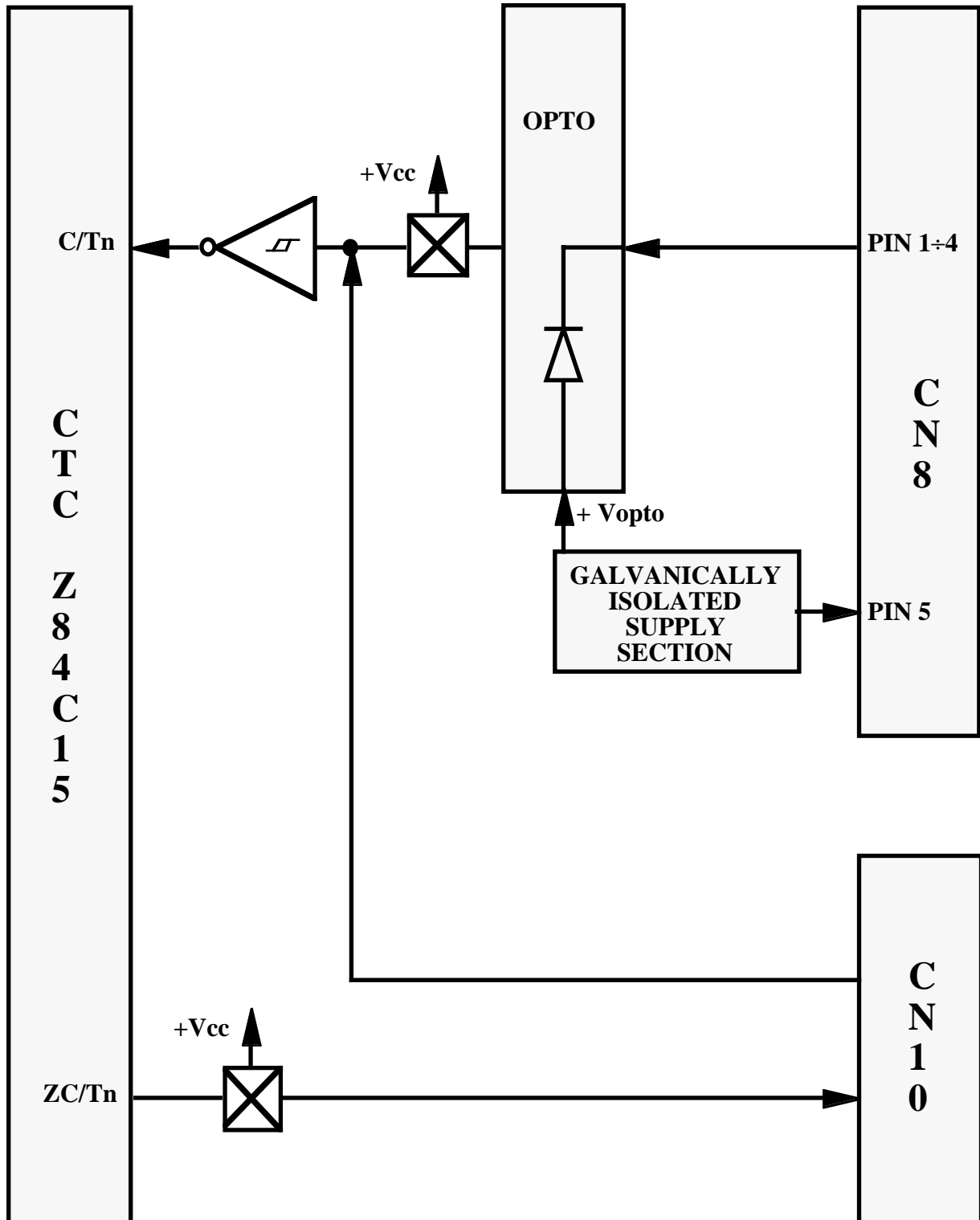


FIGURA 4: SCHEMA DI COLLEGAMENTO CTC

CN8 - CONNETTORE PER INGRESSI OPTOISOLATI DEL CTC

CN8 é un connettore a morsetti per rapida estrazione, composto da 5 contatti. Tramite CN8 possono essere collegati i 4 ingressi optoisolati di tipo NPN, connessi alle linee di conteggio del CTC di bordo. Sul connettore sono presenti gli ingressi in open collector ed il comune dell'alimentazione +V Opto generata dalla stessa scheda.

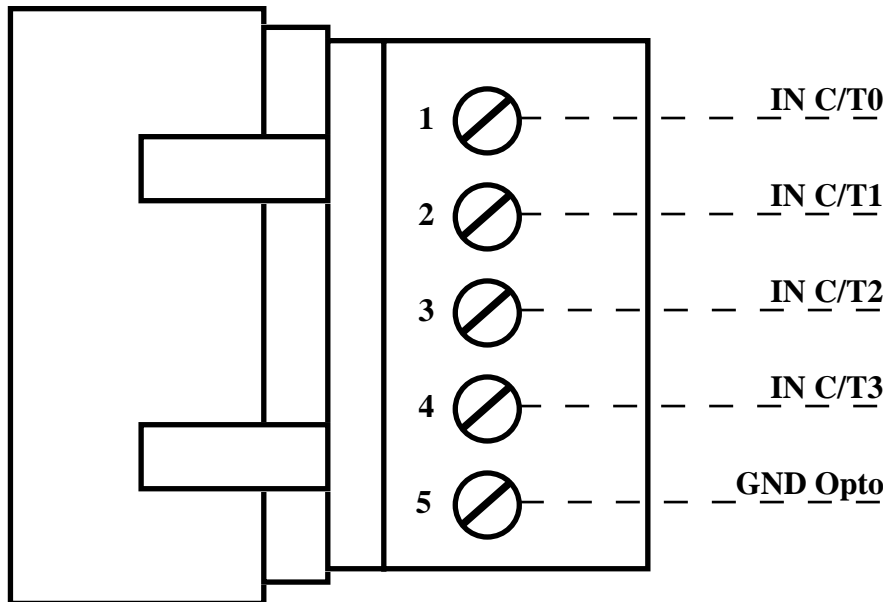


FIGURA 5: CN8 - CONNETTORE PER INGRESSI OPTOISOLATI DEL CTC

Legenda:

IN C/Tn = I - Clock Trigger del contatore n del CTC in open collector NPN.
GND Opto = - Comune di alimentazione degli ingressi optoisolati.

CN14 - CONNETTORE PER BATTERIA ESTERNA DI BACK UP

CN14 é un connettore a scatolino, verticale, maschio, con passo 2,54mm a 2 vie. Tramite CN14 può essere collegata una batteria esterna che provvede a mantenere i dati della memoria SRAM, anche in assenza di tensione di alimentazione.

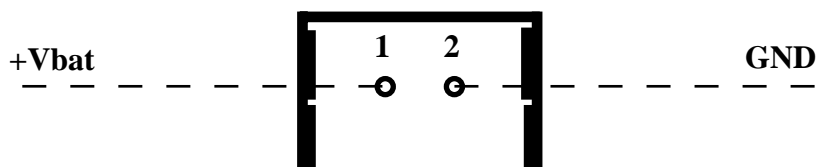


FIGURA 6: CONNETTORE PER BATTERIA ESTERNA DI BACK UP

Legenda

+Vbat = I - Positivo della batteria esterna di back up
GND = - Negativo della batteria esterna di back up

CN1 - CONNETTORE DI ALIMENTAZIONE DA RETE

CN1 é un connettore a morsetteria per rapida estrazione, composto da 2 contatti. Tramite CN1 deve essere fornita la tensione di alimentazione da rete con cui alimentare direttamente entrambe le due sezioni galvanicamente isolate della scheda (per maggiori informazioni si veda il paragrafo “SELEZIONE TENSIONI DI ALIMENTAZIONE”).

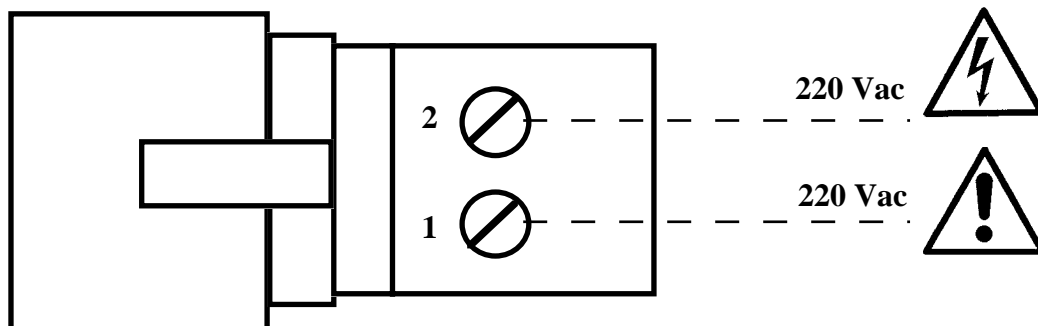


FIGURA 7: CN1 - CONNETTORE DI ALIMENTAZIONE DA RETE

Legenda:

220 Vac = I - Linee per l'alimentazione da rete a 220 Vac.

CN1&13 - CONNETTORE DI ALIMENTAZIONE A BASSA TENSIONE

CN1&13 é un connettore a morsetteria per rapida estrazione, composto da 4 contatti. Tramite CN1&13 devono essere fornite le due tensioni di alimentazione a bassa tensione, con cui alimentare direttamente entrambe le sezioni galvanicamente isolate della scheda (per maggiori informazioni si veda il paragrafo “SELEZIONE TENSIONI DI ALIMENTAZIONE”).

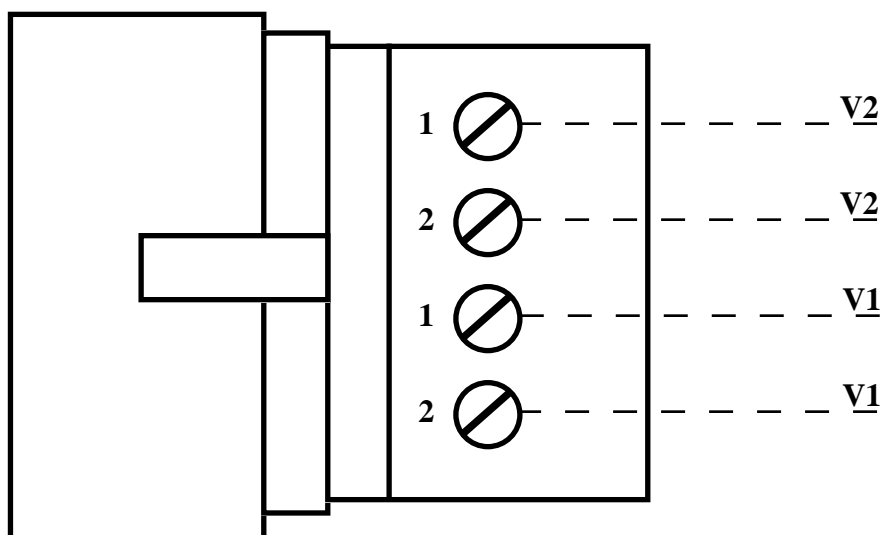


FIGURA 8: CN1&13 - CONNETTORE DI ALIMENTAZIONE A BASSA TENSIONE

Legenda:

V1 = I - Linee di alimentazione sezione ingressi optoisolati (8÷24 Vac; 12÷34Vdc).
V2 = I - Linee di alimentazione della scheda (8÷24 Vac; 12÷34Vdc).

CN4 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT B

CN4 é un connettore a morsettiera per rapida estrazione, composto da 9 contatti. Tramite CN4 possono essere collegati 8 dei 16 ingressi optoisolati di tipo NPN di cui la scheda dispone ed in particolare quelli collegati al port B del PIO. Sul connettore sono presenti gli ingressi in open collector ed il comune dell'alimentazione +V Opto generata dalla stessa scheda.

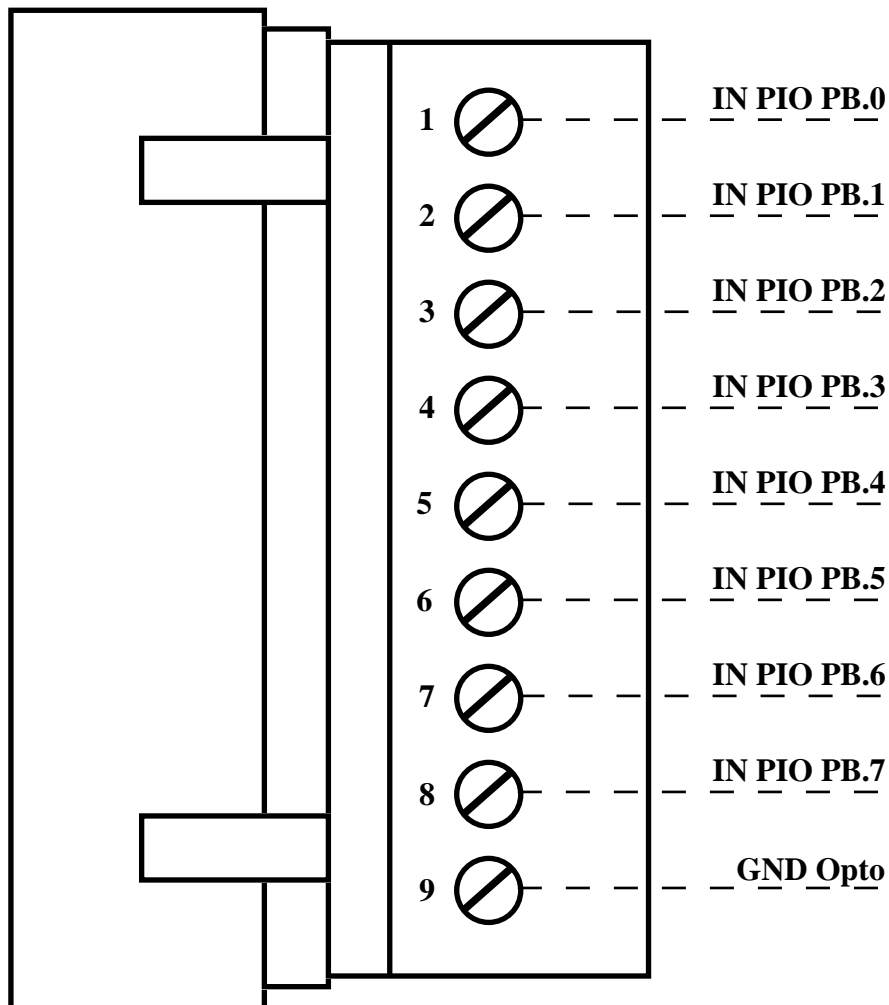


FIGURA 9: CN4 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT B DEL PIO

Legenda:

IN PIO PB.n = I - Ingresso in open collector NPN collegato alla linea n del port B.
GND Opto = - Comune di alimentazione degli ingressi optoisolati.

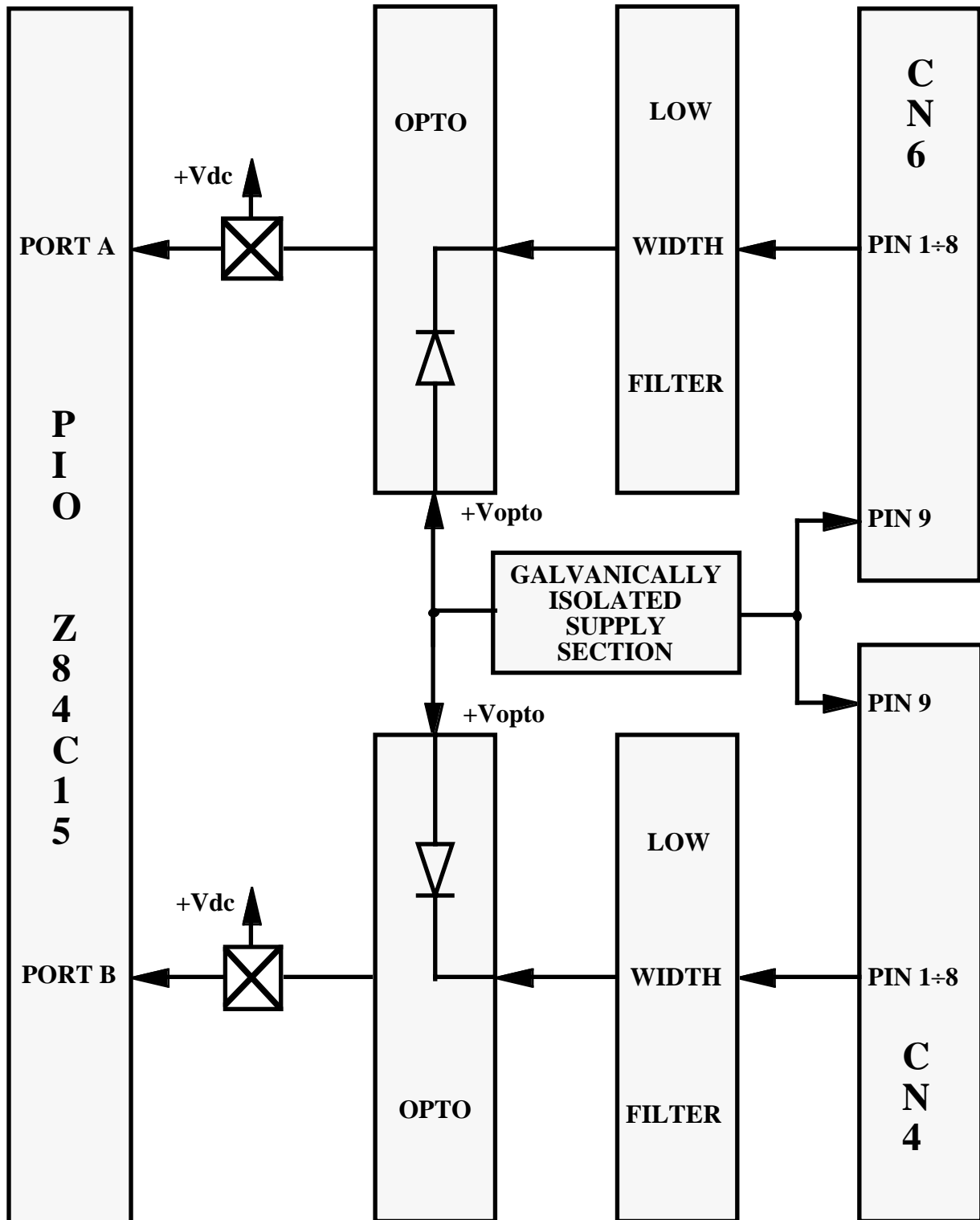


FIGURA 10: SCHEMA INGRESSI DIGITALI OPTOISOLATI DEL PIO

CN6 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT A

CN6 é un connettore a morsettiera per rapida estrazione, composto da 9 contatti. Tramite CN6 possono essere collegati 8 dei 16 ingressi optoisolati di tipo NPN di cui la scheda dispone ed in particolare quelli collegati al port A del PIO. Sul connettore sono presenti gli ingressi in open collector ed il comune dell'alimentazione +V Opto generata dalla stessa scheda.

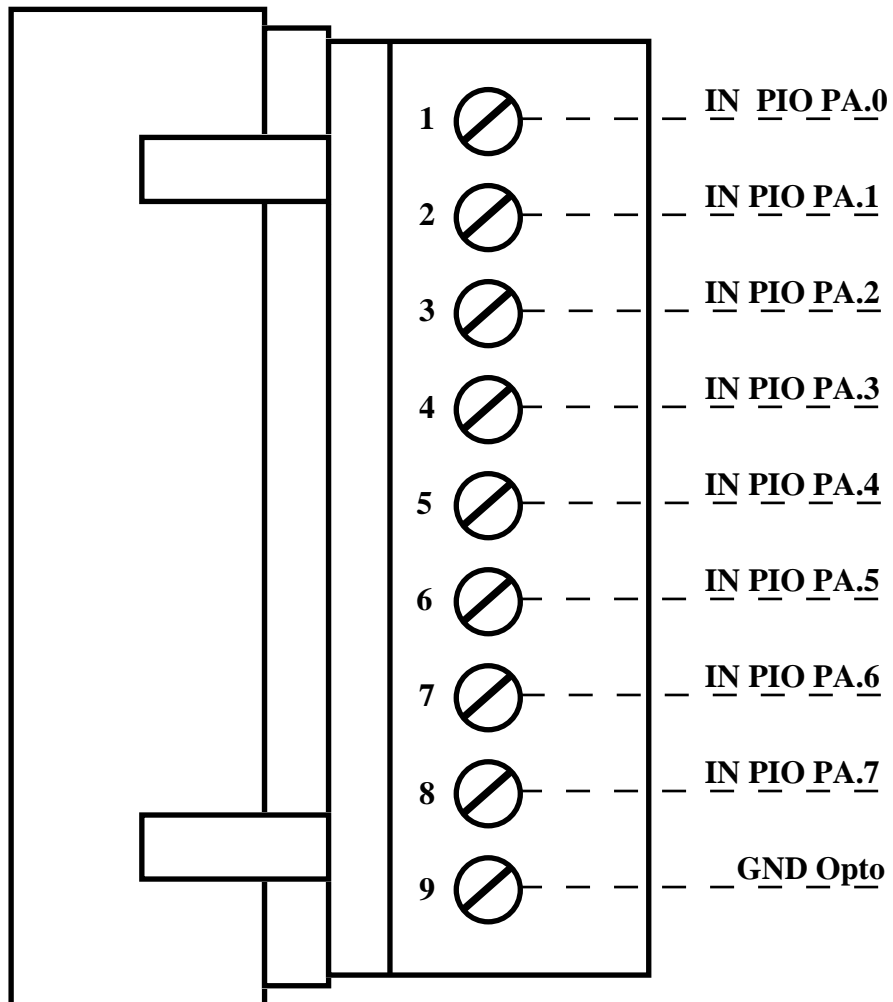


FIGURA 11: CN6 - CONNETTORE PER INGRESSI OPTOISOLATI DEL PORT A DEL PIO

Legenda:

IN PIO PA.n = I - Ingresso in open collector NPN collegato alla linea n del port A.
GND Opto = - Comune di alimentazione degli ingressi optoisolati.

DSW2 - ZOCCOLO PER I/O DEL PPI 82C55 DA PORT B

DSW2 è uno zoccolo con passo 2.54 mm a 16 piedini. Scollegando da DSW2 il dip switch ad 8 vie, è possibile di utilizzare il port B del PPI 82C55 della scheda, per gestire fino ad 8 linee di I/O digitale a livello TTL. Per facilitare l'utilizzo di queste linee è conveniente utilizzare appositi zoccoli a perforazione d'isolante.

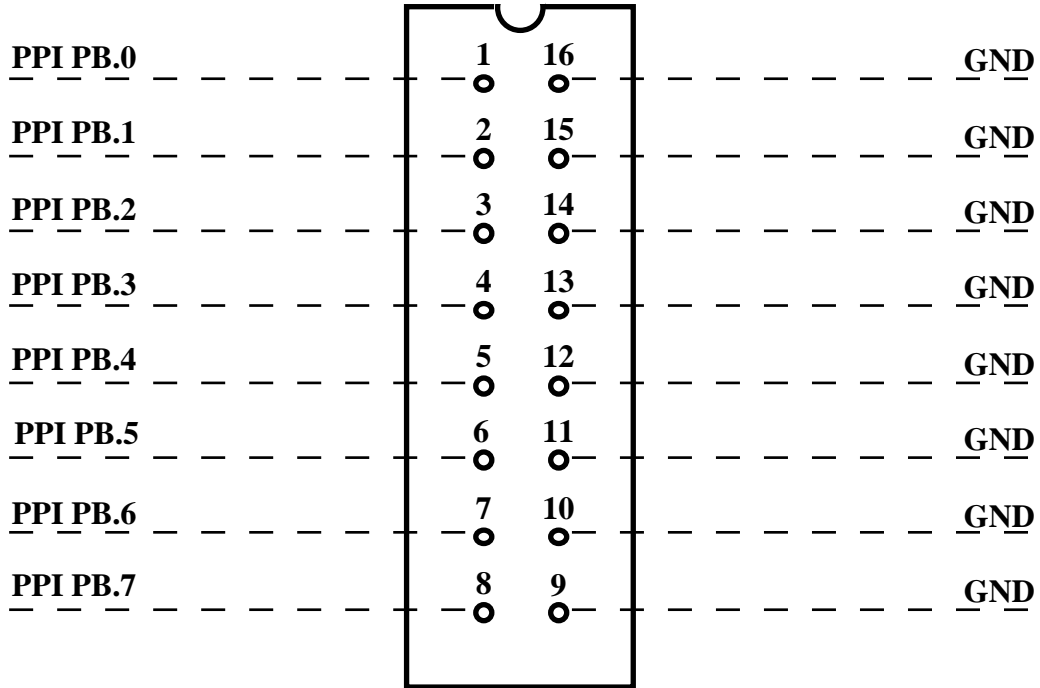


FIGURA 12: DSW2 - ZOCCOLO PER I/O DEL PPI 82C55 DA PORT B

Legenda:

- PPI PB.n** = I/O - Linea digitale n del port B del PPI 82C55.
- GND** = - Linea di massa.

CN9 - CONNETTORE PER I/O DEL PPI 82C55 DA PORT A E C

CN9 è un connettore a scatolino verticale con passo 2.54 mm a 20 piedini. Tramite CN9 si effettua la connessione tra l'interfaccia periferica programmabile PPI 82C55 e l'ambiente esterno, utilizzando due dei tre port paralleli ad 8 bit. I segnali presenti su questo connettore coincidono con segnali logici a livello TTL.

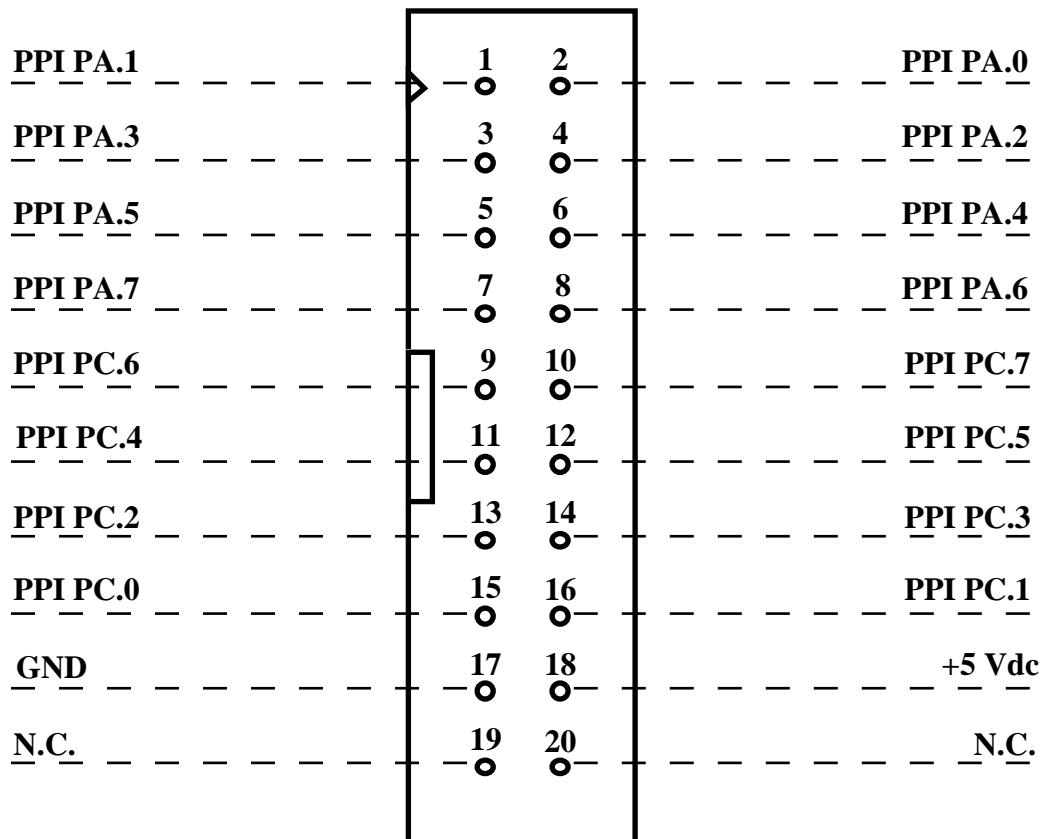


FIGURA 13: CN9 - CONNETTORE PER I/O DEL PPI 82C55 PORT A E C

Legenda:

PPI PA.n	= I/O - Linea digitale n del port A del PPI 82C55.
PPI PC.n	= I/O - Linea digitale n del port C del PPI 82C55.
GND	= - Linea di massa.
+5 Vdc	= O - Linea di alimentazione a +5 Vdc.
N.C.	= - Non Collegato.

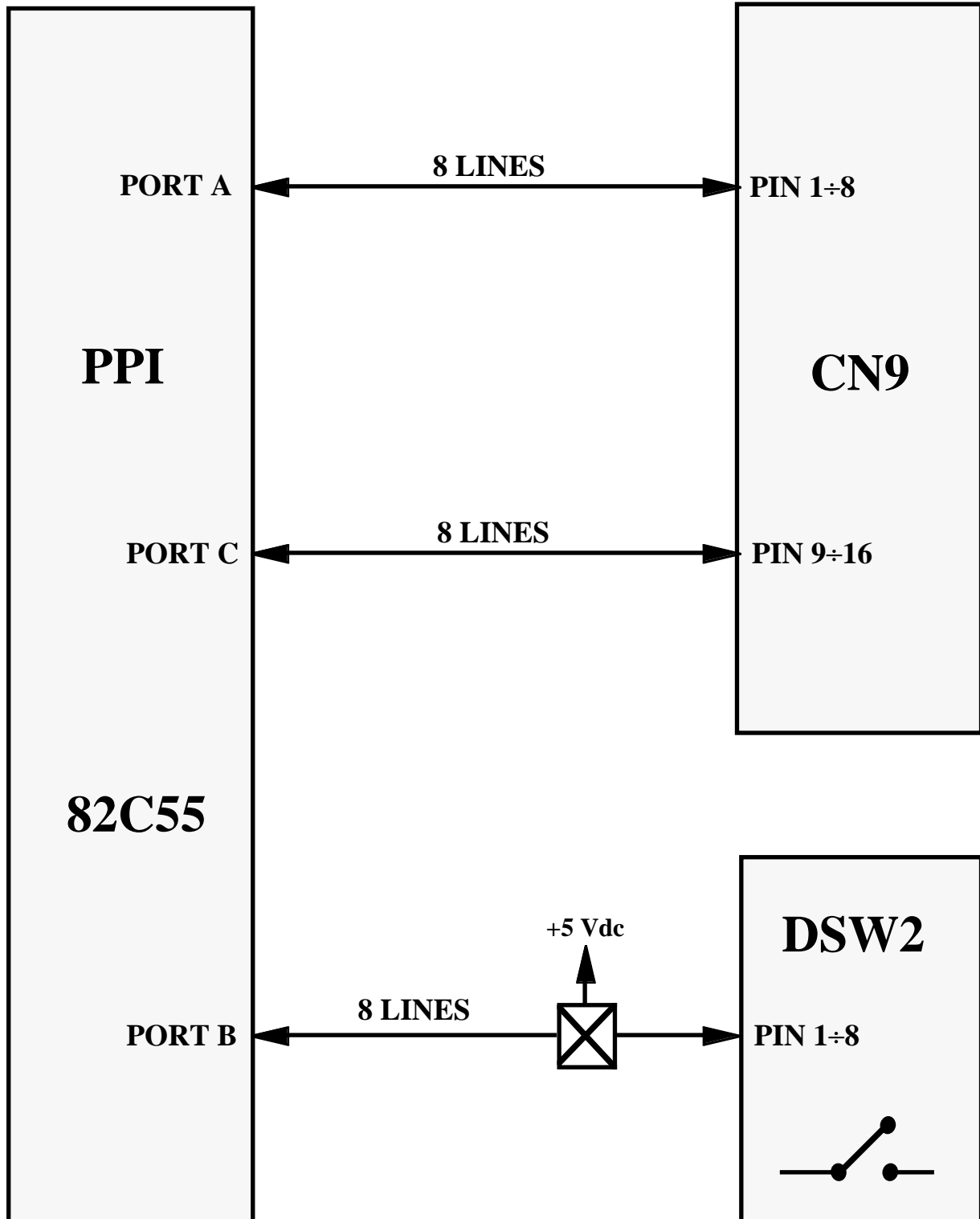


FIGURA 14: SCHEMA DI COLLEGAMENTO PPI

CN2 - CONNETTORE PER USCITE A RELÈ

CN2 é un connettore a morsettiera per rapida estrazione, composto da 11 contatti. Tramite CN2 possono essere collegate le 8 uscite a relè della scheda con il mondo esterno. Sul connettore sono presenti i contatti (normalmente aperti) di ogni uscita e tre comuni relativi ad altrettanti gruppi di uscite; in fase di collegamento si deve ricordare che il carico massimo sopportato da ogni linea è di 3 A e 24 Vac.

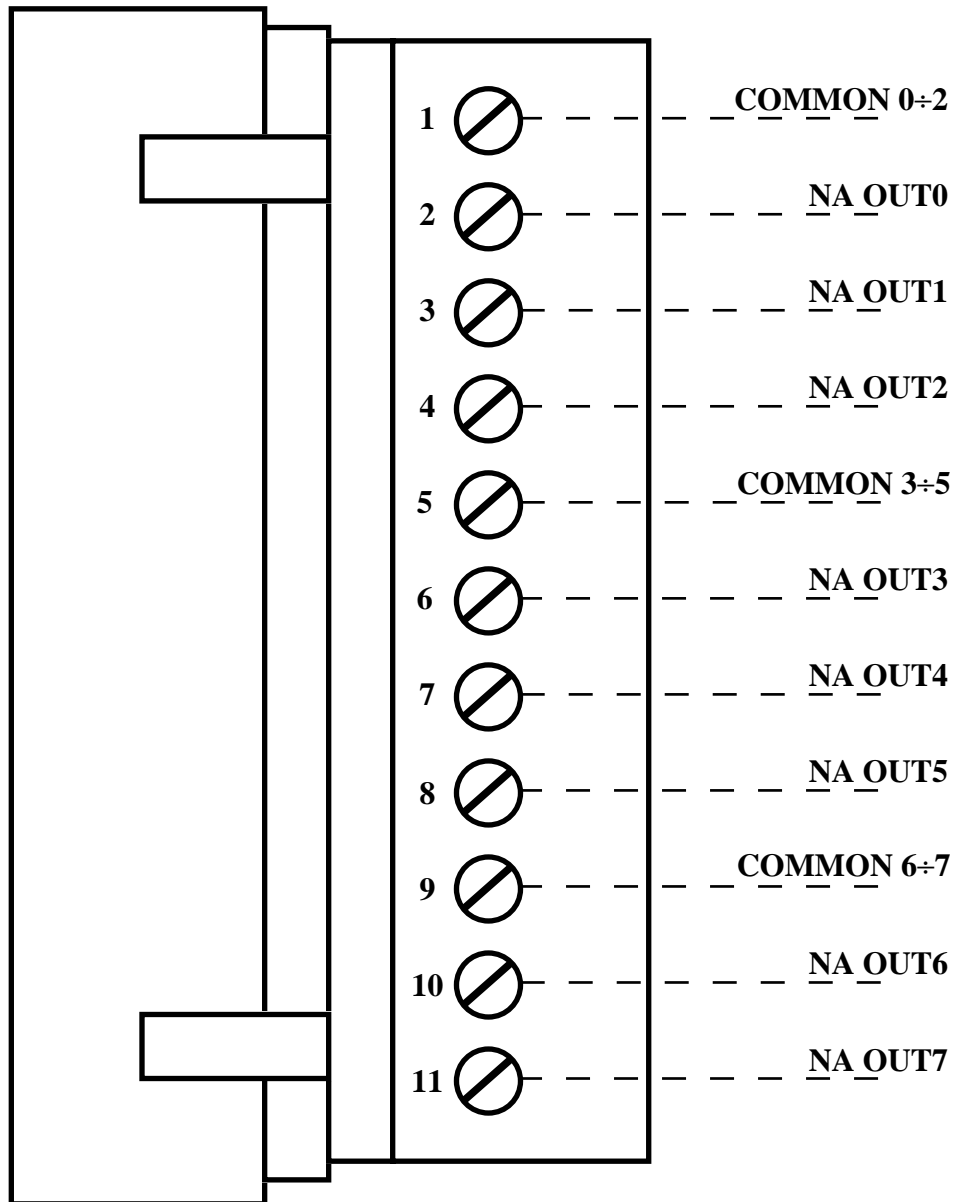


FIGURA 15: CN2 - CONNETTORE PER USCITE A RELÈ

Legenda:

COMMON x÷y = - Contatto comune dei relé da x a y.
NA OUTn = - Contatto normalmente aperto dell'uscita a relé numero n.

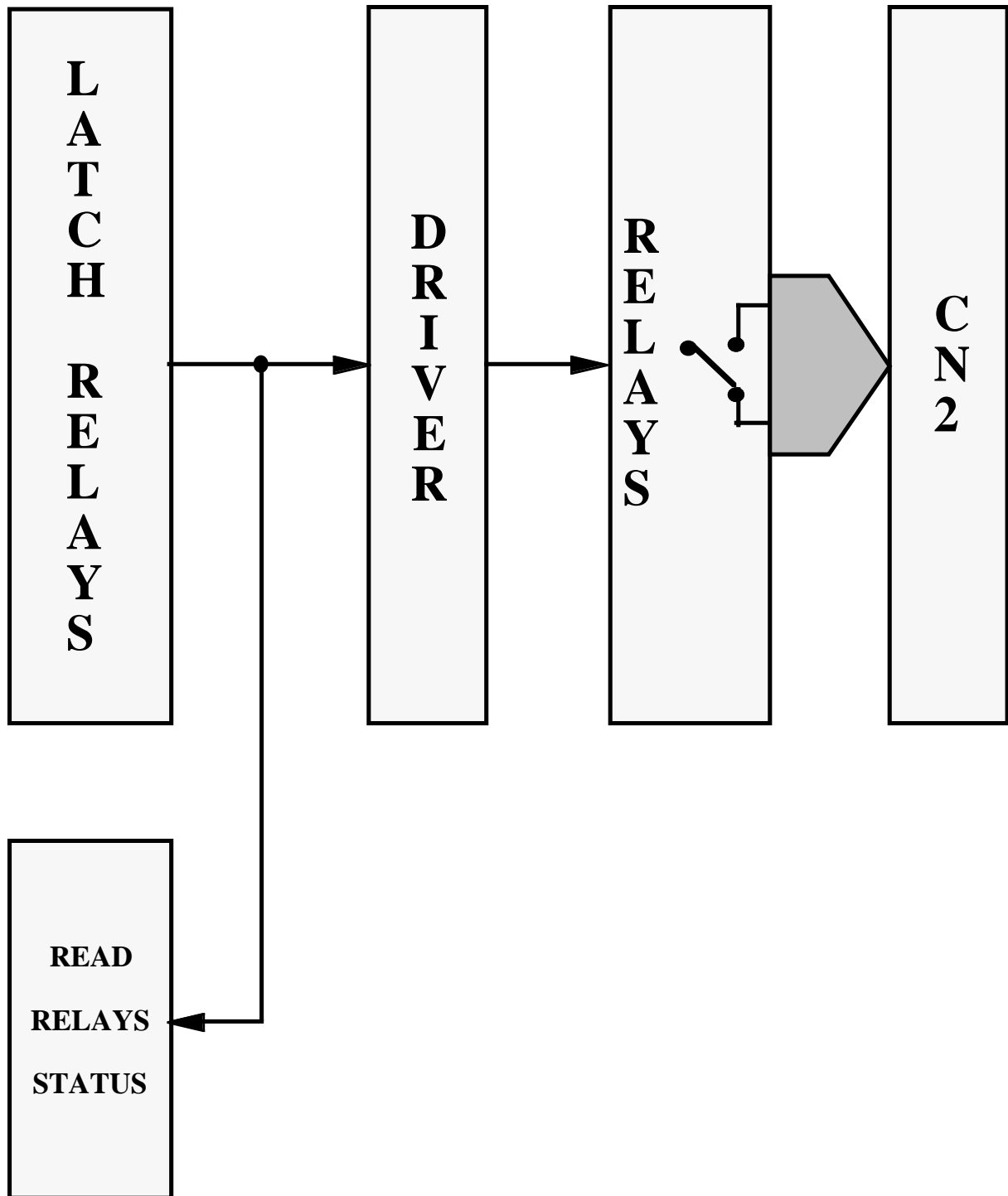


FIGURA 16: SCHEMA USCITE A RELÈ

CN12 - CONNETTORE DI PRELIEVO TENSIONI DI ALIMENTAZIONE

CN12 é un connettore a scatolino, verticale, maschio, con passo 2,54 mm, composto da 5 contatti. Tramite CN12 possono essere prelevate le due tensioni galvanicamente isolate che vengono utilizzate per l'alimentazione della scheda e che a loro volta possono essere utilizzate per alimentare carichi esterni (per maggiori informazioni si veda il paragrafo "SELEZIONE TENSIONI DI ALIMENTAZIONE").

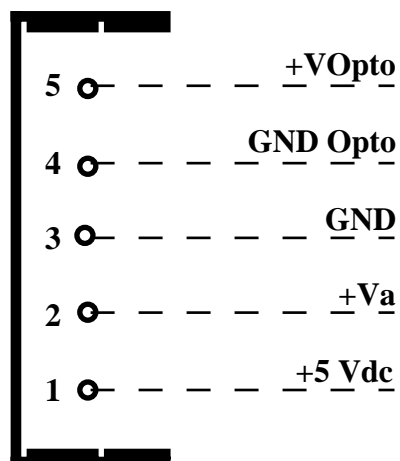


FIGURA 17: CN12 - CONNETTORE DI PRELEVAMENTO TENSIONI DI ALIMENTAZIONE

Legenda:

- +VOpto** = O - Positivo della tensione di alimentazione degli ingressi optoisolati.
- GND Opto** = - Comune di alimentazione degli ingressi optoisolati.
- GND** = - Linea di massa
- +Va** = O - Positivo della tensione continua in ingresso all'alimentatore switching della scheda.
- +5 Vdc** = O - Linea di alimentazione a +5 Vdc.

CN11 - CONNETTORE PER ABACO® I/O BUS

CN11 è un connettore a scatolino verticale con passo 2.54 mm a 26 piedini. Tramite CN11 si effettua la connessione tra la scheda e la serie di moduli esterni di espansione, da utilizzare per l'interfacciamento diretto con il campo. Tale collegamento è effettuato tramite l'ABACO® I/O BUS di cui questo connettore riporta tutti i segnali a livello TTL.

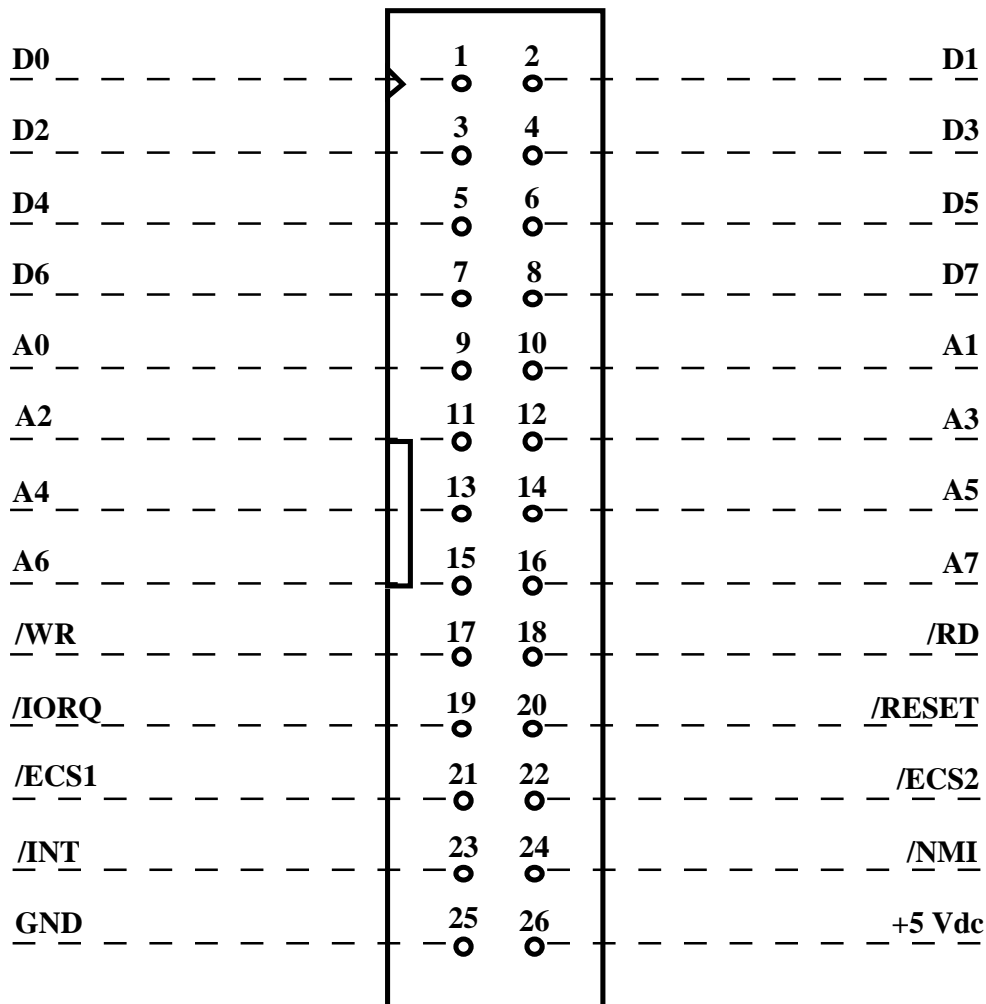


FIGURA 18: CN11 - CONNETTORE PER I/O ABACO® BUS

Legenda:

- A0÷A7** = O - Address BUS: BUS degli indirizzi.
- D0÷D7** = I/O - Data BUS: BUS dei dati.
- /INT** = I - Interrupt request: richiesta d'interrupt. Deve essere in open collector
- /NMI** = I - Non Mascable Interrupt: richiesta d'interrupt non mascherabile.
- /IORQ** = O - Input Output Request: richiesta di operazione in Input Output su I/O BUS.
- /RD** = O - Read cycle status: richiesta di lettura.
- /WR** = O - Write cycle status: richiesta di scrittura.
- /RESET** = O - Reset: azzeramento.
- /ECS1** = O - External Chip Select 1: abilitazione decodificata per 1 periferica esterna.
- /ECS2** = O - External Chip Select 2: abilitazione decodificata per 2 periferica esterna.
- +5 Vdc** = O - Linea di alimentazione a +5 Vcc.
- GND** = - Linea di massa.

CN7 - CONNETTORE PER SERIALE RS 232 SU LINEA SERIALE A

CN7 è un connettore a vaschetta D da 9 vie maschio, su cui sono riportati i segnali per la comunicazione seriale in RS 232 relativi alla linea seriale A della scheda. Il pin out di tale connettore segue le normative CCITT V22 con interfaccia di tipo DTE.

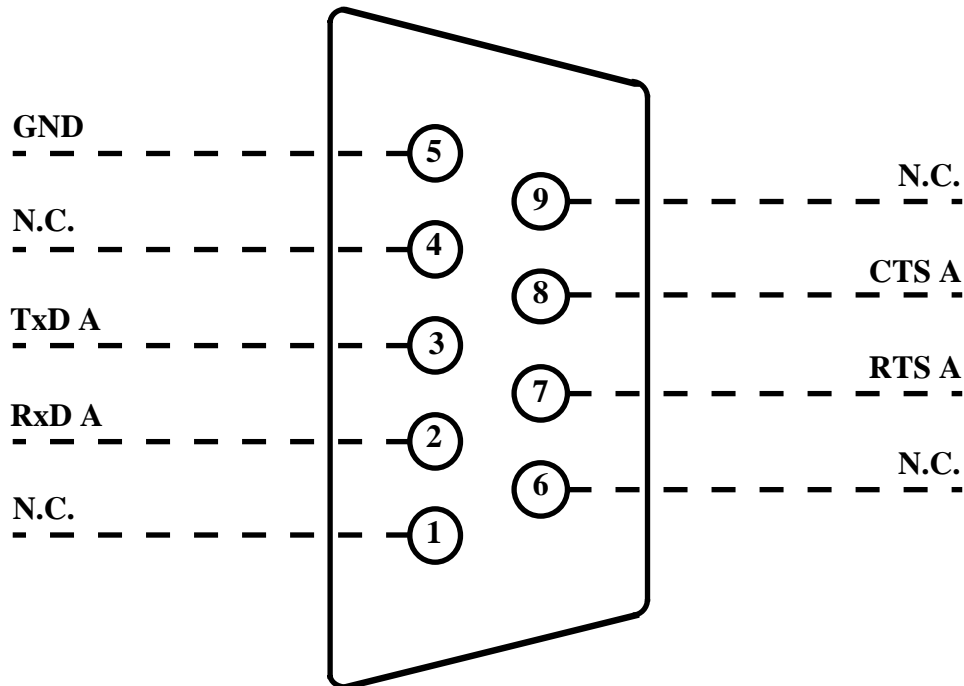


FIGURA 19: CN7 - CONNETTORE PER COMUNICAZIONE RS 232 SU LINEA SERIALE A

Legenda:

RxD A	=	I - Receive Data: linea di ricezione in RS 232 della linea seriale A.
TxD A	=	O - Trasmit Data: linea di trasmissione in RS 232 della linea seriale A.
CTS A	=	I - Clear To Send: linea di abilitazione della trasmissione in RS 232 della linea seriale A.
RTS A	=	O - Request To Send: linea di richiesta di trasmissione in RS 232 della linea seriale A.
GND	=	- Linea di massa.
N.C.	=	- Non Collegato.

CN5 - CONNETTORE PER SERIALE RS 232 SU LINEA SERIALE B

CN5 è un connettore a vaschetta D da 9 vie maschio, su cui sono riportati i segnali per la comunicazione seriale in RS 232 relativi alla linea seriale B della scheda. Il pin out di tale connettore segue le normative CCITT V22 con interfaccia di tipo DTE.

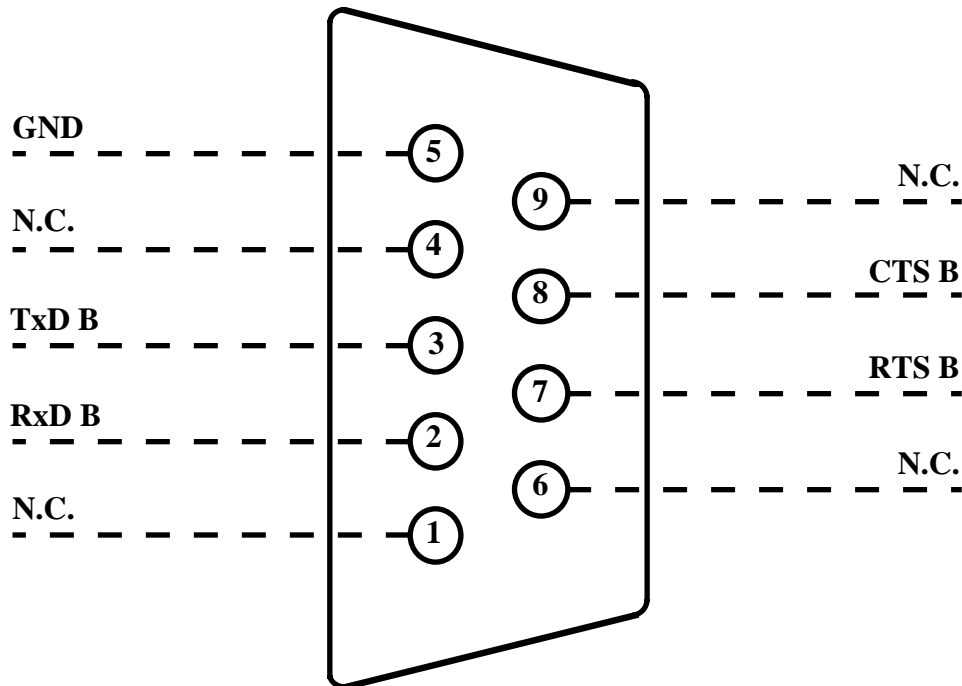


FIGURA 20: CN5 - CONNETTORE PER COMUNICAZIONE RS 232 SU LINEA SERIALE B

Legenda:

RxD B	=	I - Receive Data: linea di ricezione in RS 232 della linea seriale B.
TxD B	=	O - Trasmit Data: linea di trasmissione in RS 232 della linea seriale B.
CTS B	=	I - Clear To Send: linea di abilitazione della trasmissione in RS 232 della linea seriale B.
RTS B	=	O - Request To Send: linea di richiesta di trasmissione in RS 232 della linea seriale B.
GND	=	- Linea di massa.
N.C.	=	- Non Collegato.

CN3 - CONNETTORE PER SERIALE RS 422, RS 485 E CURRENT LOOP

CN3 è un connettore a vaschetta D da 9 vie femmina, su cui sono riportati tutti i segnali per la comunicazione seriale in RS 422, RS 485 e Current Loop. La disposizione di tali segnali è stata studiata in modo da ridurre al minimo le interferenze ed in modo da facilitare le connessioni con il campo.

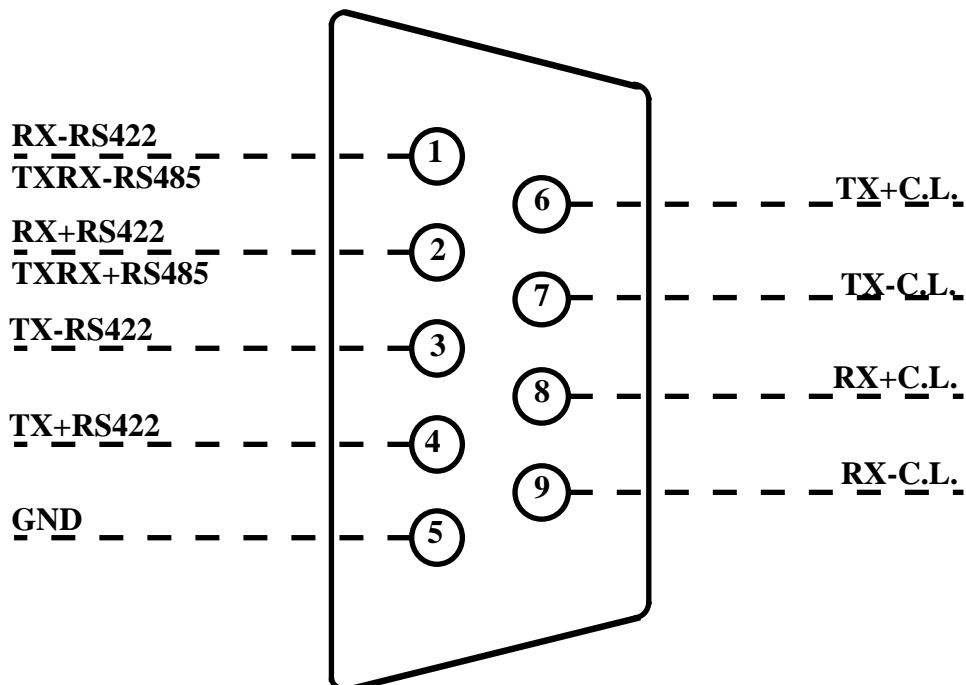


FIGURA 21: CN3 - CONNETTORE PER COMUNICAZIONE RS 422, RS 485 E CURRENT LOOP

Legenda:

- RX-RS422** = I - Receive Data Negative: linea bipolare negativa per ricezione seriale differenziale in RS 422.
- RX+RS422** = I - Receive Data Positive: linea bipolare positiva per ricezione seriale differenziale in RS 422.
- TX-RS422** = O - Trasmit Data Negative: linea bipolare negativa per trasmissione seriale differenziale in RS 422.
- TX+RS422** = O - Trasmit Data Positive: linea bipolare positiva per trasmissione seriale differenziale in RS 422.
- TXRX-RS485** = I - Receive Data Negative: linea bipolare negativa per ricezione o trasmissione seriale differenziale in RS 485.
- TXRX+RS485** = I - Receive Data Positive: linea bipolare positiva per ricezione o trasmissione seriale differenziale in RS 485.
- RX-C.L.** = I - Receive Data Negative: linea bipolare negativa per ricezione seriale in Current Loop.
- RX+C.L.** = I - Receive Data Positive: linea bipolare positiva per ricezione seriale in Current Loop.
- TX-C.L.** = O - Trasmit Data Negative: linea bipolare negativa per trasmissione seriale in Current Loop.
- TX+C.L.** = O - Trasmit Data Positive: linea bipolare positiva per trasmissione seriale in Current Loop.
- GND** = - Linea di massa.

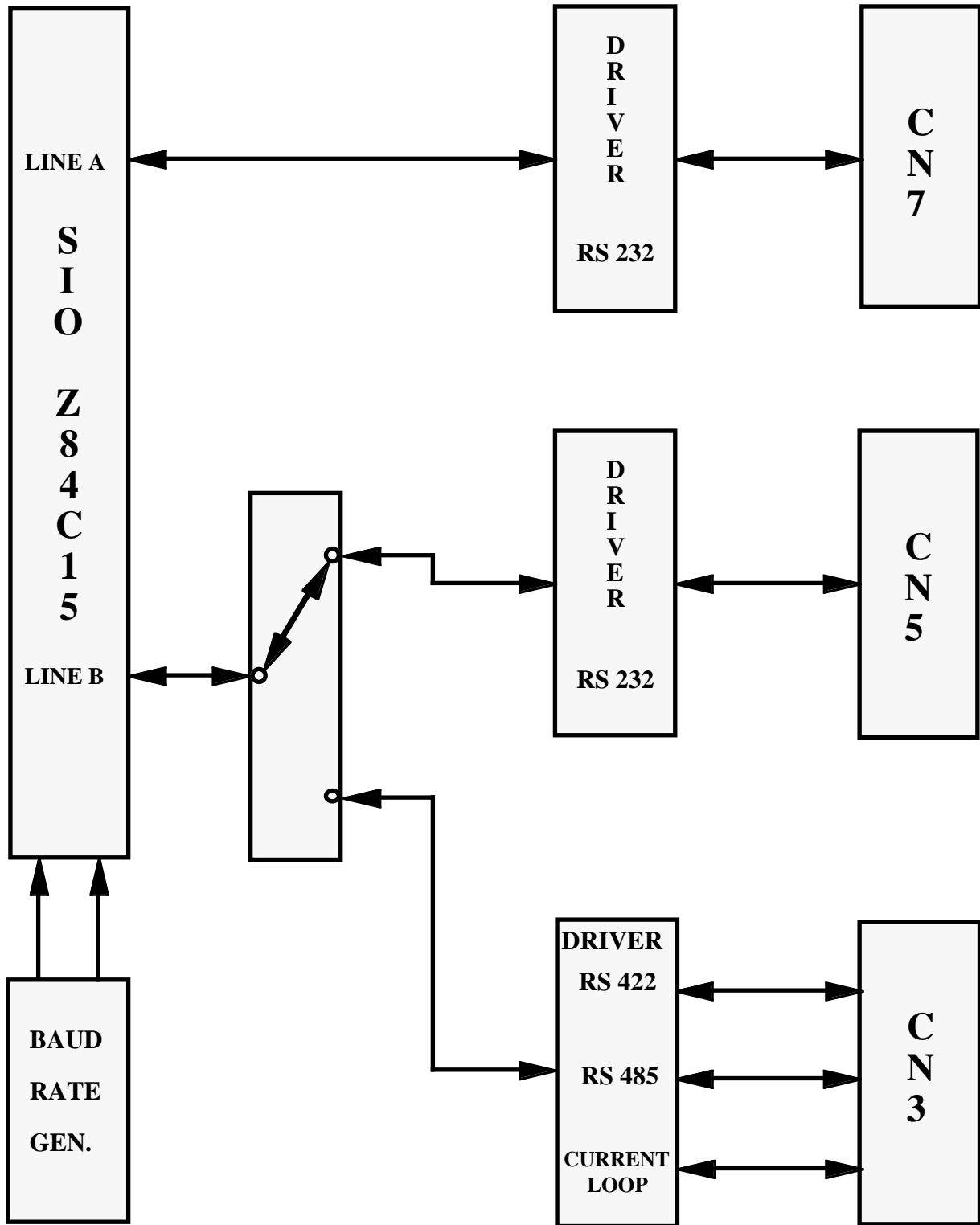


FIGURA 22: SCHEMA DI COMUNICAZIONE SERIALE

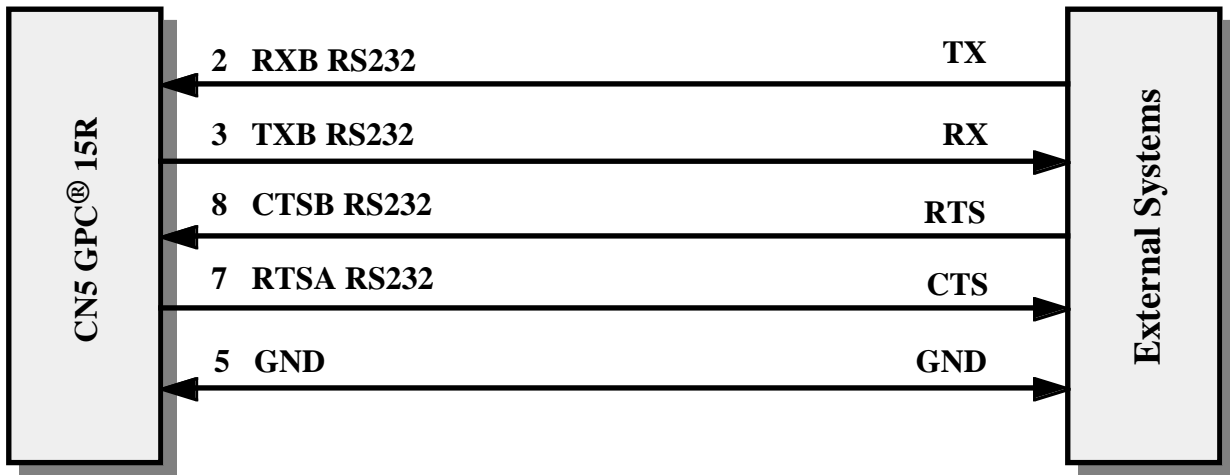


FIGURA 23: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 232

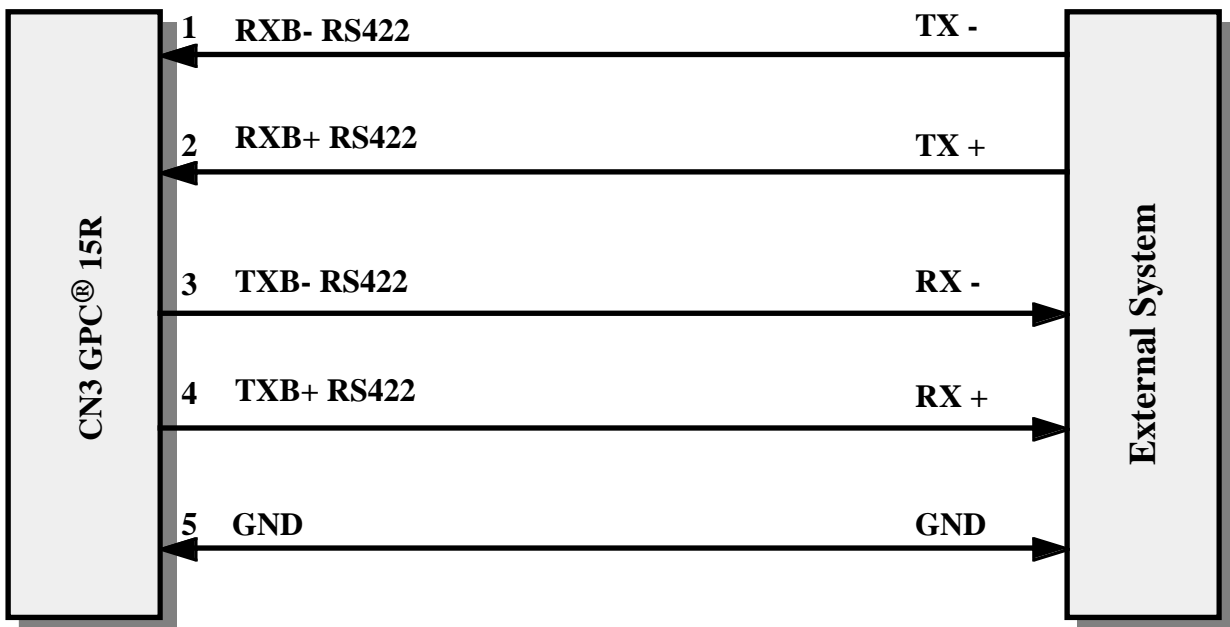


FIGURA 24: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 422

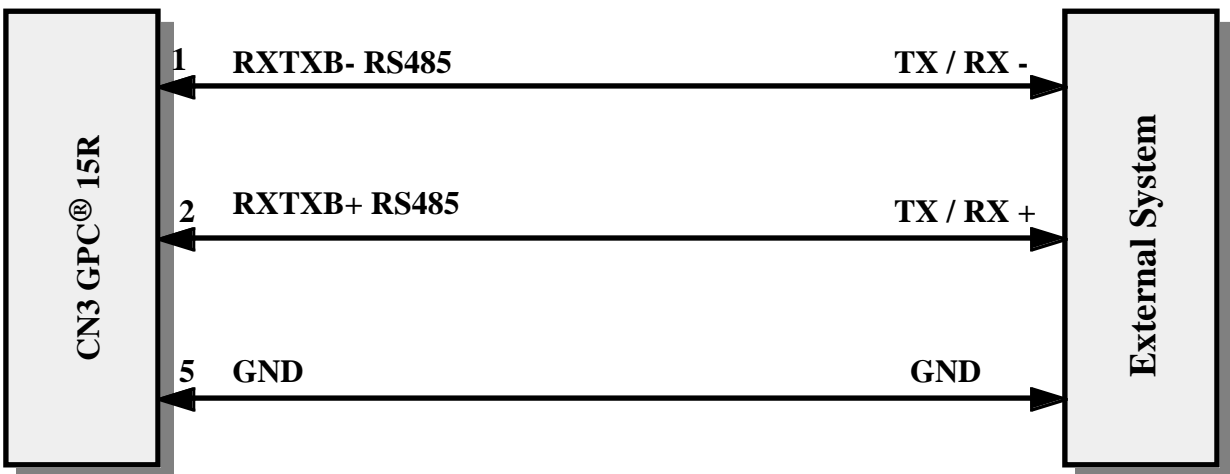


FIGURA 25: ESEMPIO DI COLLEGAMENTO PUNTO PUNTO IN RS 485

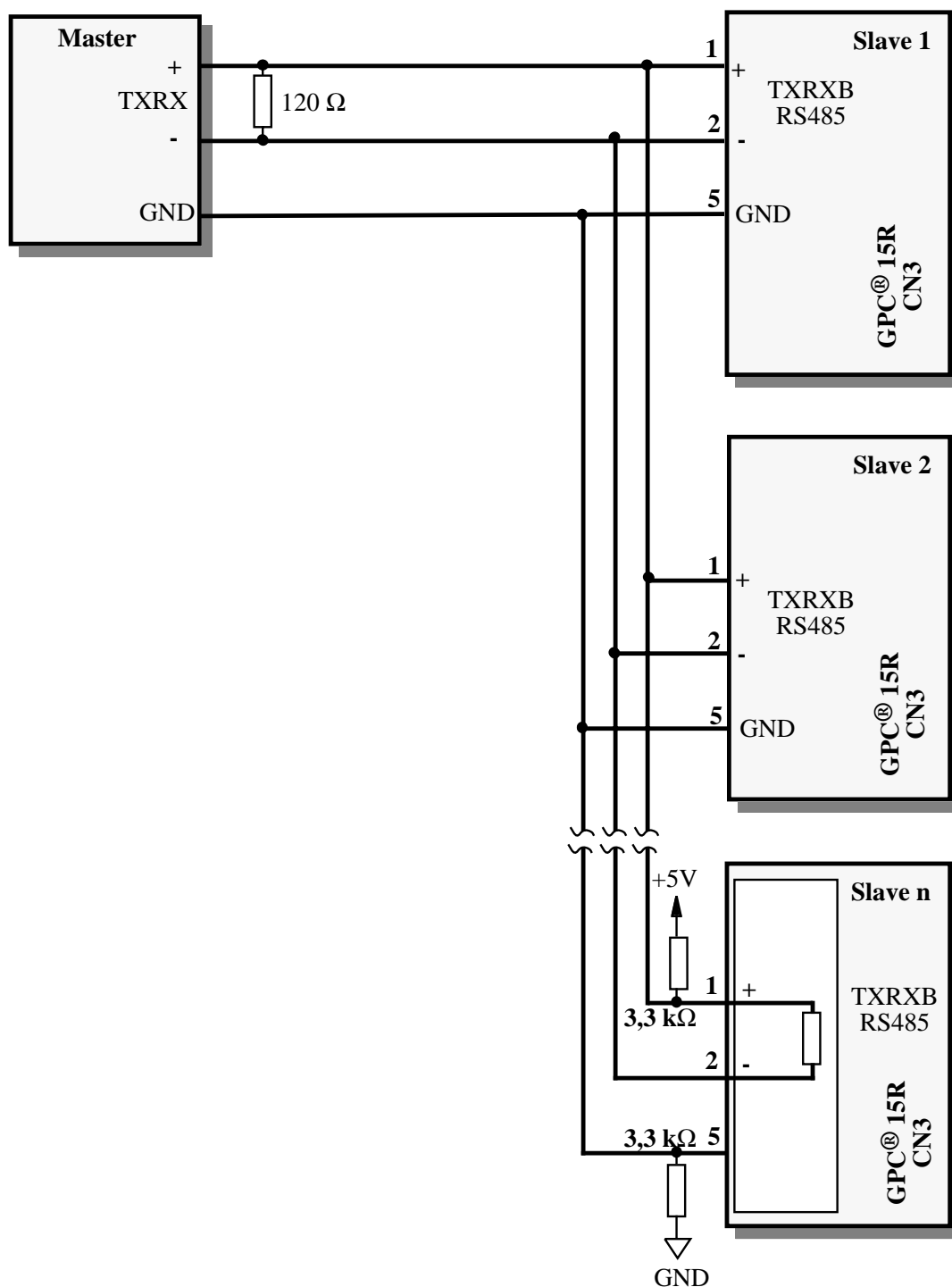


FIGURA 26: ESEMPIO DI COLLEGAMENTO IN RETE IN RS 485

Da notare che in una rete RS 485, devono essere presenti due resistenze di forzatura ($3,3\text{ k}\Omega$) lungo la linea e due resistenze di terminazione ($120\ \Omega$), alle estremità della stessa, rispettivamente vicino all'unità Master ed all'ultima unità Slave.

A bordo della **GPC® 15R** è presente la circuiteria di terminazione, che può essere inserita o disinserita, tramite appositi jumpers, come illustrato in seguito.

In merito alla resistenza di terminazione dell'unità Master, provvedere a collegarla solo se questa non è già presente al suo interno (ad esempio molti convertitori RS232-RS485 ne sono già provvisti). Per maggiori informazioni consultare il Data-Book TEXAS INSTRUMENTS, "RS 422 and RS 485 Interface Circuits", nella parte introduttiva riguardante le reti RS 422-485.

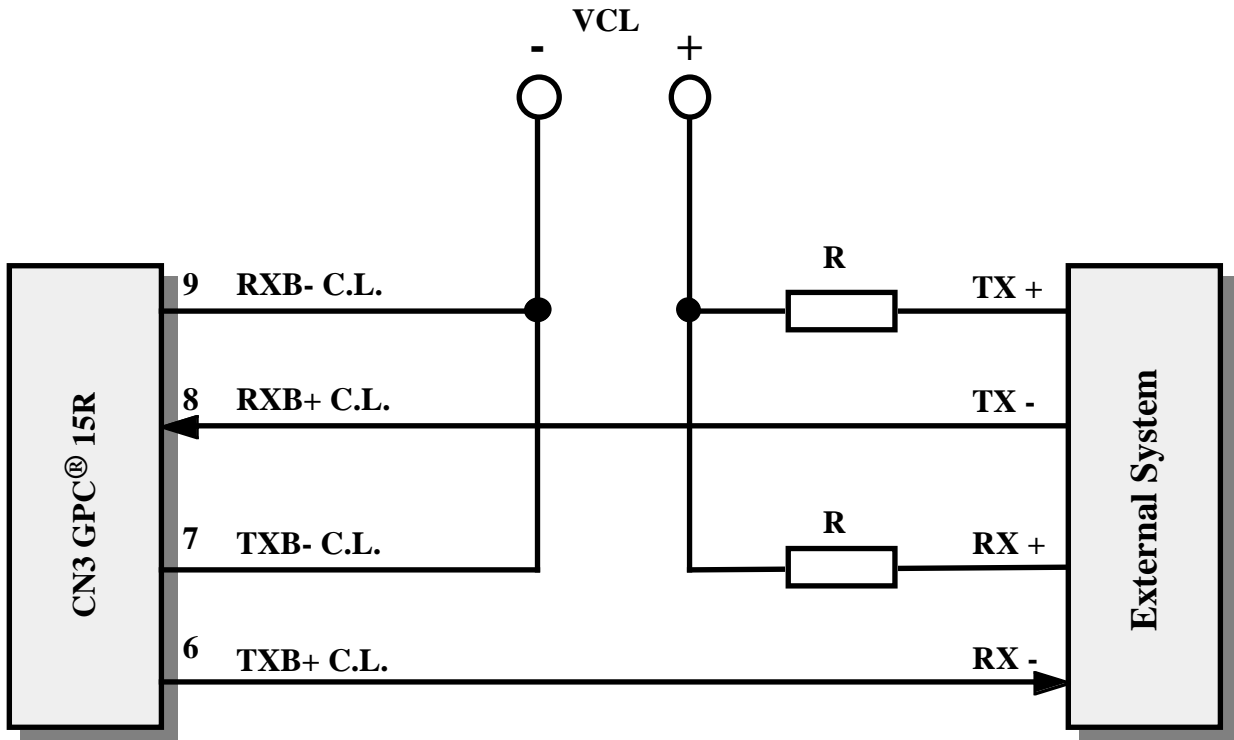


FIGURA 27: ESEMPIO DI COLLEGAMENTO PUNTO-PUNTO IN CURRENT LOOP A 4 FILI

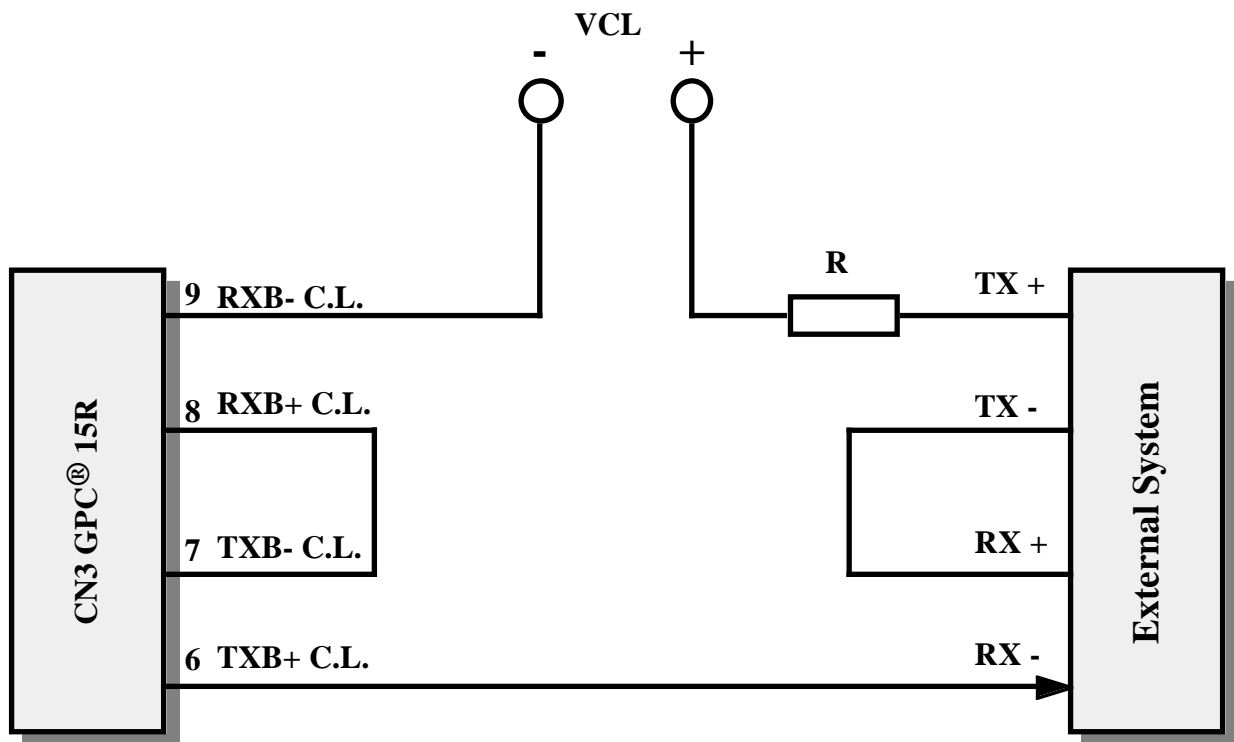


FIGURA 28: ESEMPIO DI COLLEGAMENTO PUNTO-PUNTO IN CURRENT LOOP A 2 FILI

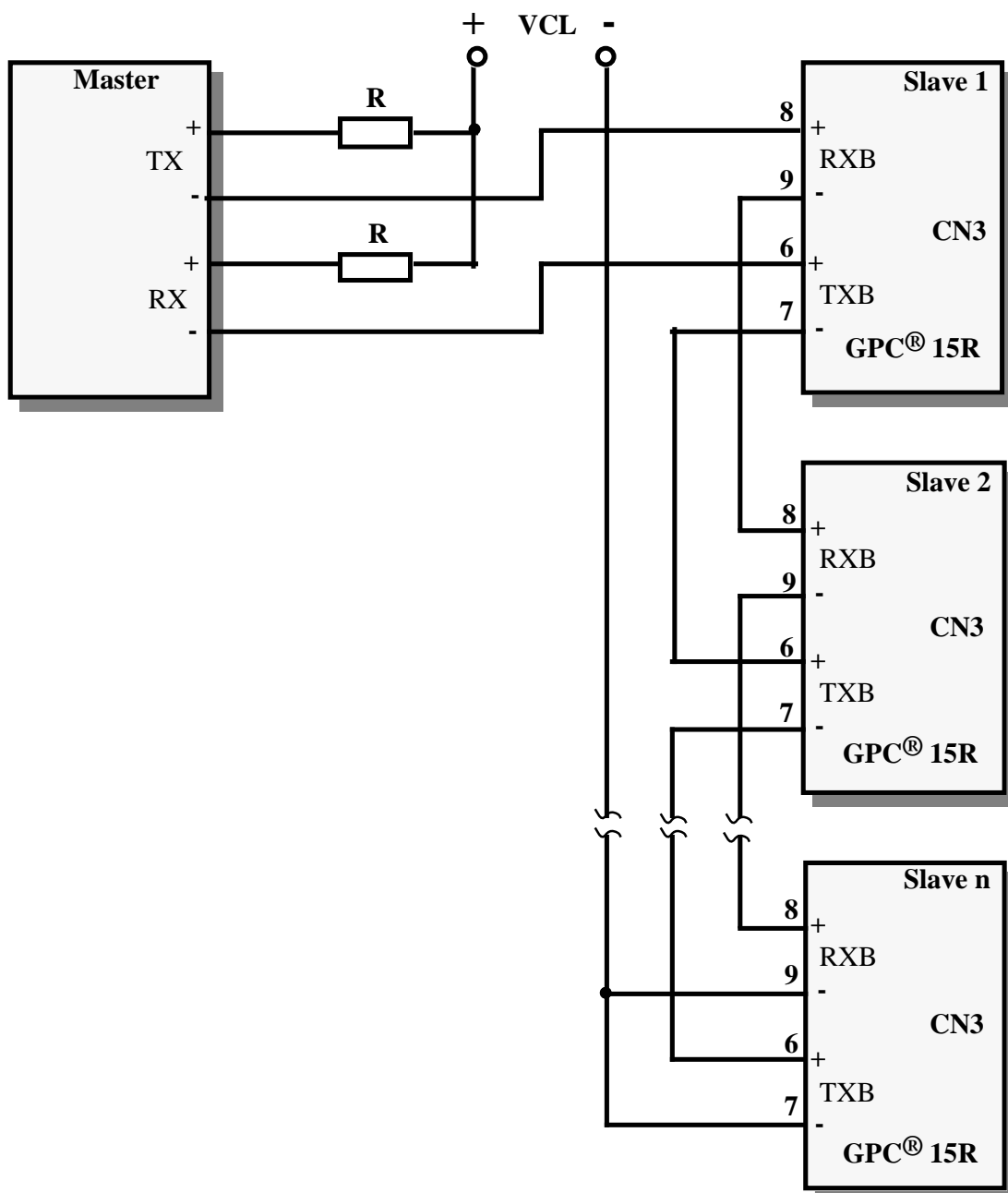


FIGURA 29: ESEMPIO DI COLLEGAMENTO IN RETE IN CURRENT LOOP PASSIVO

Per il collegamento in Current Loop passivo sono possibili due diversi tipi di collegamento: a 2 fili ed a 4 fili. Tali connessioni sono riportate nelle figure 27 e 28; in esse è indicata la tensione per alimentare l'anello (**VCL**) e le resistenze di limitazione della corrente (**R**). I valori di tali componenti variano in funzione del numero di dispositivi collegati e della caduta sul cavo di collegamento; bisogna quindi effettuare la scelta considerando che:

- si deve garantire la circolazione di una corrente di **20 mA**;
- su ogni trasmettitore cadono mediamente **2,35 V** con una corrente di 20 mA;
- su ogni ricevitore cadono mediamente **2,52 V** con una corrente di 20 mA;
- in caso di cortocircuito sulla rete ogni trasmettitore dissipa al massimo **125 mW**;
- in caso di cortocircuito sulla rete ogni ricevitore dissipa al massimo **90 mW**.

Per maggiori informazioni consultare il Data-Book HEWLETT-PACKARD, nella parte che riguarda gli opto-accoppiatori per Current Loop denominati **HCPL 4100** e **HCPL 4200**.

INTERFACCIAMENTO DEGLI I/O CON IL CAMPO

Al fine di evitare eventuali problemi di collegamento della scheda con tutta l'elettronica del campo a cui la **GPC® 15R** si deve interfacciare, si devono seguire le informazioni riportate nei precedenti paragrafi e le relative figure che illustrano le modalità interne di connessione.

- Per tutti i segnali che riguardano la comunicazione seriale con i protocolli RS 232, RS 422, RS 485 o Current Loop, fare riferimento alle specifiche standard di ognuno di questi protocolli.

- Per tutti i segnali a livello TTL possono essere collegati a linee dello stesso tipo riferite alla massa digitale della scheda denominata GND. Il livello 0V corrisponde allo stato logico 0, mentre il livello 5V corrisponde allo stato logico 1.

- Per i segnali optoisolati d'ingresso, all'esterno devono essere collegati i soli contatti da acquisire. Tali contatti (relè, fine corsa, interruttori, ecc.) devono collegare o non collegare il segnale d'ingresso IN xxxx alla GND Opto; l'alimentazione di questi ingressi deve obbligatoriamente essere prelevata dal segnale +V Opto della scheda, che infatti è dotata di un'apposita sezione alimentatrice galvanicamente isolata. Per quanto riguarda la corrispondenza dei segnali logici, il contatto aperto genera un 1 logico mentre il contatto chiuso genera uno 0 logico secondo normativa NPN.

- I segnali d'uscita a relè devono essere collegati direttamente sul carico da pilotare (elettrovalvole, relè di potenza, teleruttori, ecc.). La scheda fornisce il contatto normalmente aperto NA OUTn in grado di sopportare un carico massimo di 3A rispetto al relativo COMUNE. Per fornire la possibilità di pilotare anche carichi diversi, con alimentazioni diverse, sono stati previsti tre diversi COMUNI relativi ad altrettanti gruppi di 3, 3 e 2 relé.

INPUT DI BORDO

La scheda **GPC® 15R** è provvista di due Dip Switch a 4 ed 8 vie (DSW1 e DSW2), tipicamente utilizzabili per la configurazione del sistema, i cui valori sono sempre acquisibili via software. Le applicazioni più immediate possono essere quelle destinate al settaggio delle condizioni di lavoro od alla selezione di parametri relativi al firmware di bordo. La lettura della combinazione fissata sui dip switch avviene in logica negata (0 -> dip in ON ed 1 -> dip in OFF) effettuando un'operazione di input agli indirizzi di I/O dedicatogli dalla logica di controllo della scheda. Visto che il DSW2 può essere sostituito da un connettore per il campo si conclude che solo 4 dei 12 dip sono sempre disponibili sulla scheda. Per ulteriori informazioni si faccia riferimento al paragrafo "MAPPAGGIO DELL'I/O", mentre per una facile individuazione della loro posizione si veda la figura 39.

SEGNALAZIONI VISIVE

La scheda GPC® 15R é dotata di 39 LEDs con cui segnala alcune condizioni di stato:

LEDs	COLORE	FUNZIONE
LD1÷LD8	Rosso	Visualizzano lo stato delle otto uscite a relè NA OUT0÷7. Il LED attivo corrisponde al contatto chiuso
LD9	Rosso	Segnala presenza della tensione di alimentazione a +5 Vcc
LD10	Giallo	Segnala la presenza della tensione di alimentazione degli ingressi optoisolati +VOpto
LD11	Verde	LED di attività gestito via software
LD12	Rosso	Segnala l'attivazione della linea di /RESET della scheda
LD13	Rosso	Segnala l'attivazione della circuiteria di watch dog esterna
LD14	Giallo	Segnala l'attivazione del buzzer di bordo
LD15÷LD22	Giallo	Visualizzano lo stato delle linee d'ingresso optoisolate IN PB7÷IN PB0 del PIO. Il LED attivo corrisponde al contatto d'ingresso chiuso.
LD23	Verde	Segnala la connessione 1-2 di J9, corrispondente allo stato basso del segnale SYNCB, associata allo stato di RUN
LD24	Giallo	Segnala la connessione 2-3 di J9, corrispondente allo stato alto del segnale SYNCB, associata allo stato di DEBUG
LD25	Rosso	Segnala l'attivazione della linea di /HALT della CPU
LD26÷LD33	Verde	Visualizzano lo stato delle linee d'ingresso optoisolate IN PA7÷IN PA0 del PIO. Il LED attivo corrisponde al contatto d'ingresso chiuso.
LD34÷LD37	Verde	Visualizzano lo stato delle linee d'ingresso optoisolate IN C/T3÷0 del CTC. Il LED attivo corrisponde al contatto d'ingresso chiuso.
LD38	Rosso	Segnala l'attivazione della linea di /INT della scheda
LD39	Rosso	Segnala l'esecuzione di una operazione di retrigger della circuiteria di watch dog esterna

FIGURA 30: TABELLA DELLE SEGNALAZIONI VISIVE

La funzione principale di questi LEDs é quella di fornire un'indicazione visiva dello stato della scheda, facilitando quindi le operazioni di debug e di verifica di funzionamento di tutto il sistema. Per una più facile individuazione di tali segnalazioni visive, si faccia riferimento alla figura 39.

INTERFACCE PER I/O DIGITALI

Tramite CN9 (connettori compatibili con standard di I/O ABACO®) si può collegare la GPC® 15R ai numerosi moduli del carteggio grifo® che riportano lo stesso pin out. Dal punto di vista dell'installazione, queste interfacce richiedono solo un flat cable da 20 vie (FLT.20+20) o da 26 vie lato GPC® 15R e 20 vie lato interfaccia (FLT.26+20) con cui è possibile portare anche le alimentazioni, mentre dal punto di vista software la gestione è semplice ed immediata. Di particolare interesse è la possibilità di collegare direttamente serie di moduli come:

- **QTP 16P, QTP 24P, KDL x24, KDF 224, DEB 01**, ecc. con cui risolvere tutti i problemi di interfacciamento operatore locale. Questi moduli sono già dotati delle risorse necessarie per gestire un buon livello di colloquio uomo-macchina (includono infatti display alfanumerici, tastiera a matrice e LEDs di visualizzazione) ad una breve distanza dalla GPC® 15R. Dal punto di vista software i driver disponibili rendono utilizzabili le risorse dell'interfaccia operatore direttamente con le istruzioni ad alto livello per la gestione della console.
- **MCI 64** con cui risolvere tutti i problemi di salvataggio di grosse quantità di dati. Questo modulo è dotato di un connettore per memory card PCMCIA su cui possono essere inserite vari tipi di memory card (RAM, FLASH, ROM, ecc) nei vari size disponibili. Dal punto di vista software i driver disponibili coincidono con un completo file system e rendono utilizzabili le memory card direttamente con le istruzioni ad alto livello per la gestione dei files, oppure con procedure che consentono di leggere e scrivere dati ad indirizzi specifici della memory card.
- **IAC 01, DEB 01** con cui gestire una stampante con interfaccia parallela CENTRONICS. Quest'ultima può essere collegata direttamente all'interfaccia, con un cavo standard, e quindi gestita con le istruzioni relative alla stampante del linguaggio di programmazione utilizzato.
- **RBO xx, TBO xx, XBI xx, OBI xx** con cui bufferare i segnali di I/O TTL nei confronti del campo. Con questi moduli i segnali di input vengono convertiti in ingressi optoisolati di tipo NPN o PNP, mentre i segnali di output vengono convertiti in uscite galvanicamente isolate a transistor o relé.

Per maggiori informazioni relative si veda il capitolo "SCHEDE ESTERNE" e la documentazione del software utilizzato.

TASTO DI RESET

Con il tasto P1 presente sulla GPC® 15R si ha la possibilità di attivare la linea di /RESET della scheda (a seconda del jumper J4). Una volta premuto il tasto P1, la scheda riprende l'esecuzione del programma in EPROM, partendo da una condizione di azzeramento generale. La funzione principale di questo tasto è quella di uscire da condizioni di loop infinito, soprattutto durante la fase di debug. La pressione del tasto P1 è sempre visualizzata dall'accensione del LED LD13; mentre l'attivazione del LED LD12 indica l'attivazione della linea di /RESET della scheda. Per una facile individuazione di tale pulsante a bordo scheda, si faccia riferimento alla figura 39.

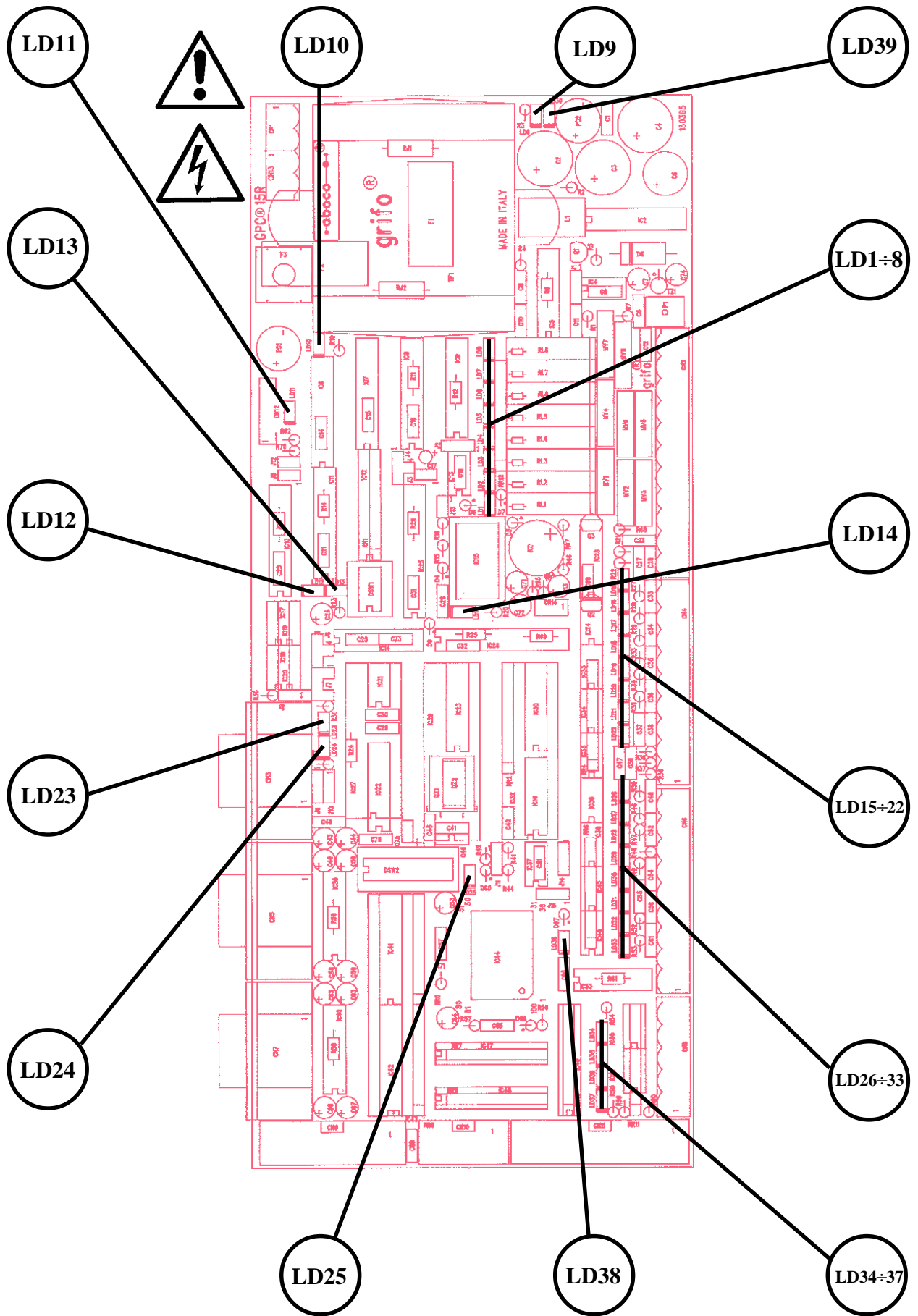


FIGURA 31: DISPOSIZIONE LEDS

SELEZIONE TENSIONI DI ALIMENTAZIONE

La scheda **GPC® 15R** dispone di una efficiente circuiteria di alimentazione che si presta a risolvere in modo comodo ed efficace il problema dell'alimentazione della scheda in qualsiasi condizione di utilizzo. L'alimentazione della scheda é sempre gestita da un alimentatore switching che provvede a fornire una corretta alimentazione in ogni condizione di carico e tensione d'ingresso. Di seguito vengono riportate le due possibili configurazioni della sezione alimentatrice:

- Alimentazione da rete

In questa configurazione la scheda deve essere alimentata dalla tensione di rete a 220 Vac che viene fornita sui pin 1 e 2 di CN1. La scheda genera autonomamente le tensioni necessarie, provvedendo a mantenere galvanicamente isolata la +Vdc e la +Vopto. I carichi esterni sopportati arrivano a 100 mA per la +Vdc e 300 mA per la +Vopto.

- Alimentazione a bassa tensione

In questa configurazione la scheda deve essere alimentata con due tensioni galvanicamente isolate normalmente presenti nei quadri elettrici delle macchine di controllo. In particolare:

	MINIMO	TIPICO	MASSIMO
V1 su CN1&13	8 Vac 12 Vdc	18 Vac 24 Vdc	24 Vac 34 Vdc
V2 su CN1&13	8 Vac 12 Vdc	18 Vac 24 Vdc	24 Vac 34 Vdc

La scheda genera autonomamente le tensioni necessarie, provvedendo a mantenere galvanicamente isolata la +Vdc e la +Vopto. I carichi esterni sopportati arrivano a 900 mA per i +5 Vdc e 12,5 W per la +Vopto, ammesso che le due alimentazioni esterne fornite siano sufficienti.

Si ricorda che con +Vcc s'intende la tensione di alimentazione della scheda e con +V Opto s'intende la tensione di alimentazione degli ingressi optoisolati. La selezione del tipo di sezione alimentatrice della scheda, deve avvenire in fase di ordine della stessa; infatti questa scelta implica una diversa configurazione hardware, che deve essere effettuata dal personale addetto.

JUMPERS

Esistono a bordo della GPC® 15R 15 jumpers a cavaliere, con cui é possibile effettuare alcune selezioni che riguardano il modo di funzionamento della stessa. Di seguito ne é riportato l'elenco, l'ubicazione e la loro funzione nelle varie modalità di connessione.

JUMPERS	N. VIE	UTILIZZO
J1	3	Collega circuiteria di power failure al segnale /NMI.
J2	3	Seleziona modo di funzionamento della circuiteria di Watch Dog esterna.
J3	2	Abilita la disattivazione delle 8 linee di uscita a relé in corrispondenza dell'attivazione del segnale di /RESET.
J4	4	Seleziona connessione della circuiteria di /RESET.
J5	2	Collega resistenza di terminazione alla linea di ricezione in RS 422 o RS 485 del driver IC 20.
J6	4	Seleziona tipo di comunicazione (RS 232, RS 422, RS 485, Current Loop) per la linea seriale B.
J7	5	Seleziona direzionalità e modalità di attivazione della linea seriale B in RS 422 o RS 485.
J8	3	Seleziona driver di ricezione per la linea seriale B in RS 422 o RS 485.
J9	3	Determina stato del segnale di handshake /SYNCB, per la selezione della modalità RUN o DEBUG.
J10	3	Predisporre IC 27 per SRAM tamponata da 2 od 8 KByte.
J11	3	Predisporre IC 32 per EPROM o FLASH EPROM.
J12	2	Collega resistenza di terminazione alla linea di trasmissione in RS 422 del driver IC 19.
J13	2	Determina stato del segnale di handshake DCDB usato come ingresso generico di selezione.
J14	3	Predisporre IC 32 per EPROM o FLASH EPROM.
J15	3	Seleziona dimensioni della SRAM di IC 29.

FIGURA 32: TABELLA RIASSUNTIVA JUMPERS

Nelle successive tabelle é riportata una descrizione tabellare delle possibili connessioni dei 15 jumpers con la loro relativa funzione. Per riconoscere tali connessioni sulla scheda si faccia riferimento alla serigrafia della stessa o alla figura 41 di questo manuale, dove viene riportata la numerazione dei pin dei jumpers, che coincide con quella utilizzata nella seguente descrizione. Per l'individuazione dei jumpers a bordo della scheda, si utilizzi invece la figura 37. In tutte le seguenti tabelle l'* indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

JUMPERS A 2 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J3	non connesso	Non collega il segnale di /RESET della scheda alla circuiteria di gestione dei relè	*
	connesso	Collega il segnale di /RESET della scheda alla circuiteria di gestione dei relè. In corrispondenza di ogni attivazione del /RESET, gli 8 contatti d'uscita dei relè vengono aperti.	
J5	non connesso	Non collega resistenza nominale di terminazione alla linea di ricezione RS 422 o RS 485 collegata al driver di IC 20.	*
	connesso	Collega resistenza nominale di terminazione alla linea di ricezione in RS 422 o RS 485 collegata al driver di IC 20.	
J12	non connesso	Non collega resistenza nominale di terminazione alla linea di trasmissione RS 422 collegata al driver di IC 19.	*
	connesso	Collega resistenza nominale di terminazione alla linea di trasmissione RS 422 collegata al driver di IC 19.	
J13	non connesso	Connette segnale DCDB della SIO a +Vdc, settando uno stato logico 1.	*
	connesso	Connette segnale DCDB della SIO a GND, settando uno stato logico 0.	

FIGURA 33: TABELLA JUMPERS A 2 VIE
JUMPERS A 4 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J4	posizione 1-2	Connette circuiteria di reset al pulsante P1	*
	posizione 2-3	Connette circuiteria di reset alla circuiteria di Watch Dog esterna	
	posizione 2-4	Connette circuiteria di reset alla circuiteria di Watch Dog interna	
J6	posizione 1-2	Predisporre linea seriale B in RS 232	*
	posizione 2-3	Predisporre linea seriale B in Current Loop	
	posizione 2-4	Predisporre linea seriale B in RS 422-485	

FIGURA 34: TABELLA JUMPERS A 4 VIE

JUMPERS A 3 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J1	posizione 1-2	Circuiteria di power failure non collegata al segnale di /NMI	*
	posizione 2-3	Circuiteria di power failure collegata al segnale di /NMI	
J2	posizione 1-2	Seleziona funzionamento astabile per la circuiteria di Watch Dog esterna	*
	posizione 2-3	Seleziona funzionamento monostabile per la circuiteria di Watch Dog esterna	
J8	posizione 1-2	Seleziona driver di IC 20 per la ricezione in RS 422-485	*
	posizione 2-3	Seleziona driver di IC 19 per la ricezione in RS 422-485	
J9	posizione 1-2	Connette segnale SYNCB della SIO a +Vdc, attivando LD23 e selezionando la modalità RUN	*
	posizione 2-3	Connette segnale SYNCB della SIO a massa, attivando LD24 e selezionando la modalità DEBUG	
J10	posizione 1-2	Predisporre IC 27 per SRAM tamponate o EEPROM da 8 KByte	*
	posizione 2-3	Predisporre IC 27 per SRAM tamponate da 2 KByte	
J11	posizione 1-2	Predisporre IC 32 per FLASH EPROM	*
	posizione 2-3	Predisporre IC 32 per EPROM	
J14	posizione 1-2	Predisporre IC 32 per FLASH EPROM	*
	posizione 2-3	Predisporre IC 32 per EPROM	
J15	posizione 1-2	Predisporre IC 29 per SRAM da 128K Byte	*
	posizione 2-3	Predisporre IC 29 per SRAM da 512K Byte	

FIGURA 35: DISPOSIZIONE JUMPERS

In tutte le tabelle l'* indica la connessione di default, ovvero quella impostata in fase di collaudo, con cui la scheda viene fornita.

JUMPER A 5 VIE

JUMPERS	CONNESSIONE	UTILIZZO	DEF.
J7	posizione 1-2 e 3-4	Abilita comunicazione su linea seriale B in RS 485 in half duplex a 2 fili	
	posizione 2-3 e 4-5	Abilita comunicazione su linea seriale B in RS 422 in full duplex o half duplex a 4 fili	*

FIGURA 36: TABELLA JUMPERS A 5 VIE

L' * indica la connessione di default, ovvero la connessione impostata in fase di collaudo, con cui la scheda viene fornita.

NOTE

Vengono di seguito riportate una serie di indicazioni con cui descrivere in modo più dettagliato quali sono le operazioni da eseguire per configurare correttamente la scheda.

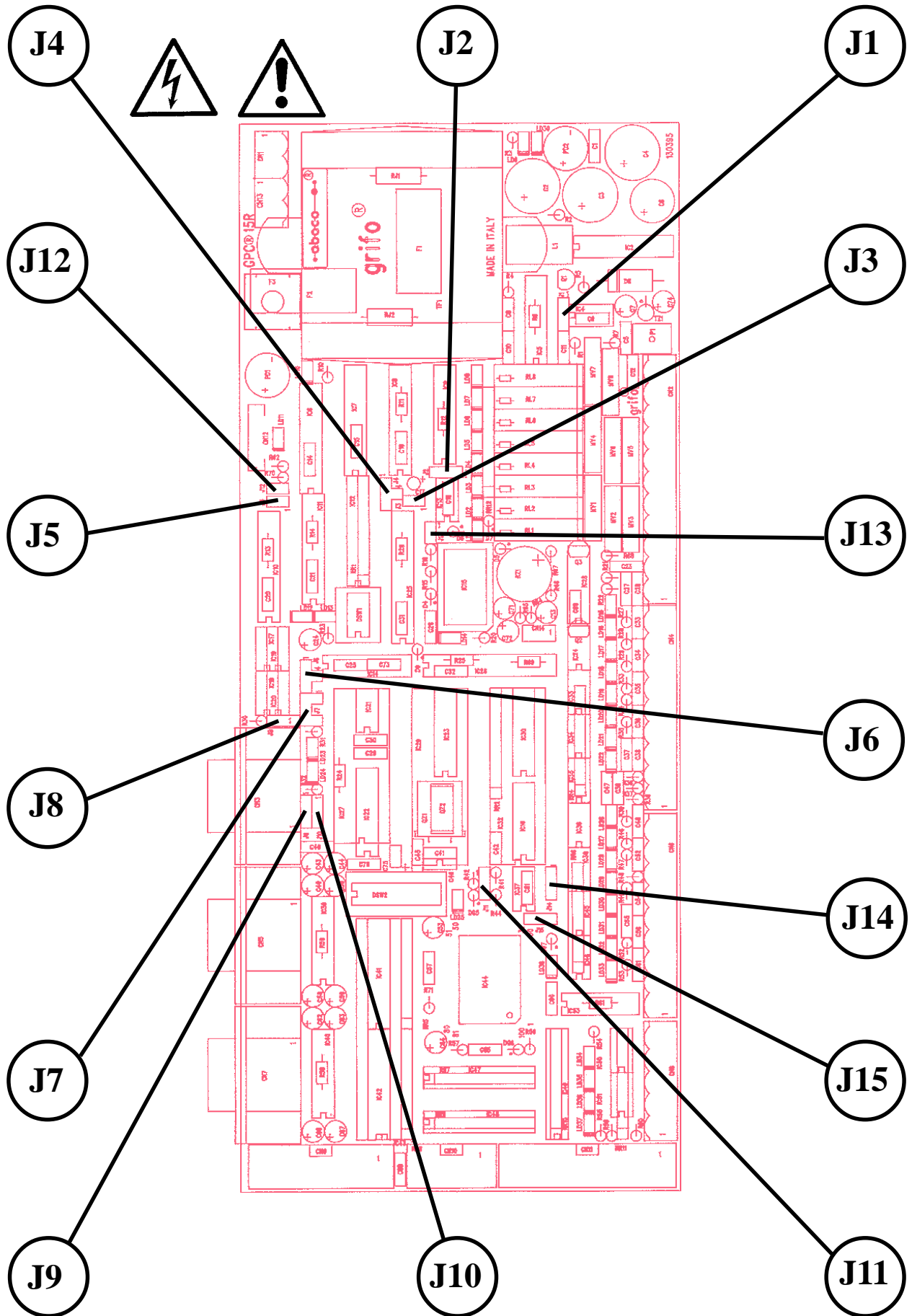


FIGURA 37: DISPOSIZIONE JUMPERS

RESET E WATCH DOG

La scheda **GPC® 15R** è dotata di due circuiterie di Watch Dog, una interna alla CPU ed una esterna, molto efficienti e di facile gestione software. Le caratteristiche della circuiteria esterna sono le seguenti:

- funzionamento monostabile ed astabile;
- tempo d'intervento di circa 700 msec;
- attivazione via hardware;
- retrigger via software;

Con il jumper J4 si seleziona il modo di funzionamento della circuiteria esterna di Watch Dog (monostabile: una volta scaduto il tempo d'intervento la circuiteria si attiva rimanendo attiva fino ad un power on o reset; astabile: una volta scaduto il tempo d'intervento la circuiteria si attiva, rimane attiva per il tempo di reset e quindi si disattiva nuovamente). L'intervento del Watch Dog esterno è segnalato dall'accensione del LED LD13.

Le caratteristiche della circuiteria interna sono le seguenti:

- funzionamento monostabile;
- tempo d'intervento programmabile via software;
- attivazione via software e via hardware;
- retrigger via software;

Con il jumper J4 si seleziona la sorgente di /RESET e quindi l'attivazione delle circuiterie di Watch Dog; viste le possibilità di connessione si conclude che le due sezioni di Watch Dog non possono essere contemporaneamente abilitate.

Si ricorda che nel funzionamento monostabile, una volta scaduto il tempo d'intervento, la circuiteria di Watch Dog si attiva rimanendo attiva fino ad un power on o reset.

In corrispondenza dell'attivazione e successiva disattivazione del segnale di /RESET la scheda riprende l'esecuzione del programma salvato su IC32 (all'indirizzo 0000H), partendo da una condizione di azzeramento generale.

Per quanto riguarda l'operazione di retrigger della circuiteria di Watch Dog esterna, si faccia riferimento al paragrafo "WATCH DOG" del capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO".

SELEZIONE DISATTIVAZIONE DELLE USCITE A RELÉ

Con il jumper J3 si seleziona se connettere o meno il segnale di /RESET della scheda alla circuiteria di abilitazione delle uscite a relé: se tale jumper è connesso in corrispondenza dell'attivazione del /RESET le 8 uscite a relé vengono disabilitate aprendo i contatti riportati su CN2. Viceversa se J3 non è connesso il segnale /RESET non modifica lo stato delle uscite, che sono comunque disabilitate in corrispondenza di un power on. Questa caratteristica è di fondamentale importanza quando ad esempio si utilizza una circuiteria di Watch Dog e lo stato delle uscite a relé, non deve essere modificato dall'eventuale intervento di questa circuiteria.

INGRESSI DI CONFIGURAZIONE

La scheda **GPC® 15R** è provvista di un Dip Switch a 4 vie (DSW1), di un Dip Switch ad 8 vie (DSW2) e di 2 jumper (J9 e J13). J9 svolge la funzione di RUN/DEBUG, tipicamente utilizzabili per la configurazione del sistema, i cui valori sono acquisibili via software. Le applicazioni più immediate possono essere quelle destinate al settaggio delle condizioni di lavoro od alla selezione di parametri relativi al firmware di bordo, come ad esempio: selezione della lingua di rappresentazione, identificazione del sistema all'interno di una rete di comunicazione seriale, selezione della modalità di test o di configurazione, ecc. Si ricorda che il Dip Switch DSW2 é montato su zoccole e che occupa le linee del port B del PPI 82C55 alle quali si può accedere semplicemente rimuovendo lo stesso Dip Switch. Le modalità di acquisizione degli ingressi di configurazione sono riportate nel capitolo "DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO", mentre per una facile individuazione della loro posizione si vedano le figure 39 e 37

GESTIONE INTERRUPTS

Una caratteristica peculiare della **GPC® 15R** è la notevole potenza nella gestione delle interruzioni. Di seguito viene riportata una breve descrizione di quali sono i dispositivi che possono generare interrupt e con quale modalità; per quanto riguarda la gestione di tali interrupts si faccia riferimento ai data sheets del microprocessore od all'appendice B di questo manuale.

- Power Failure -> genera un /NMI se J1 è in posizione 2-3
- **ABACO®** I/O BUS -> genera un /NMI ed un /INT normale senza rispettare la catena di priorità daisy chain
- SIO -> genera un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain
- PIO -> genera un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain
- CTC -> genera un /INT normale o vettorizzato, tenendo conto della catena di priorità daisy chain

La catena di priorità daisy chain presente sulla scheda è composta dalle tre periferiche SIO, PIO e CTC e può essere programmata via software tramite uno dei registri interni al microprocessore. In questo modo l'utente ha sempre la possibilità di rispondere in maniera efficace e veloce a qualsiasi evento esterno, stabilendo anche la priorità delle varie sorgenti.

COMUNICAZIONE SERIALE

La linea di comunicazione seriale A della scheda **GPC® 15R** può essere bufferata solo in RS 232, mentre la linea seriale B può essere bufferata in RS 232, RS 422, RS 485 o Current Loop. La selezione del tipo d'interfacciamento avviene via hardware e viene effettuata tramite un opportuno strippaggio dei jumpers di bordo, come può essere desunto dalla lettura delle precedenti tabelle. Dal punto di vista software sono invece definibili tutti i parametri del protocollo fisico di comunicazione tramite la programmazione dei registri interni della CPU.

Alcuni componenti necessari per le configurazioni RS 422, RS 485 e Current Loop non sono montati e collaudati sulla scheda in configurazione di default; per questo la prima configurazione della seriale B non in RS 232 deve essere sempre effettuata dai tecnici **grifo®**. A questo punto l'utente può cambiare autonomamente la configurazione seguendo le informazioni sotto riportate:

- LINEA SERIALE B SETTATA IN RS 232 (configurazione default)

J6	=	posizione 1-2	IC17	=	indifferente
J7	=	indifferente	IC18	=	indifferente
J8	=	indifferente	IC19	=	indifferente
J5, J12	=	indifferente	IC20	=	indifferente
			IC39	=	driver MAX 202

- LINEA SERIALE B SETTATA IN CURRENT LOOP (opzione .CLOOP)

J6	=	posizione 2-3	IC17	=	HCPL 4100
J7	=	indifferente	IC18	=	HCPL 4200
J8	=	posizione 1-2	IC19	=	nessun componente
J5, J12	=	indifferente	IC20	=	nessun componente
			IC39	=	nessun componente

Da ricordare che l'interfaccia seriale in Current Loop é di tipo passivo e si deve quindi collegare una linea current loop attiva, ovvero provvista di un proprio alimentatore. L'interfaccia Current Loop può essere utilizzata per realizzare sia connessioni punto punto che multipunto con un collegamento a 4 o 2 fili.

- LINEA SERIALE B SETTATA IN RS 422 (opzione .RS 422)

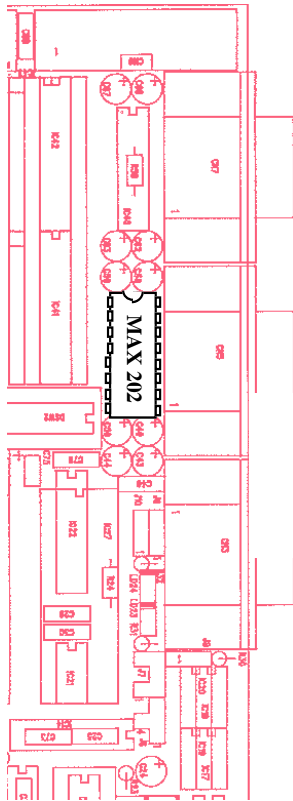
J6	=	posizione 2-4	IC17	=	nessun componente
J7	=	posizione 1-2	IC18	=	nessun componente
J8	=	posizione 2-3 e 4-5	IC19	=	SN 75176 o MAX 483
J5, J12	=	(*1)	IC20	=	SN 75176 o MAX 483
			IC39	=	nessun componente

Lo stato del segnale /RTSB, gestito via software, consente di abilitare o disabilitare il trasmettitore come segue:

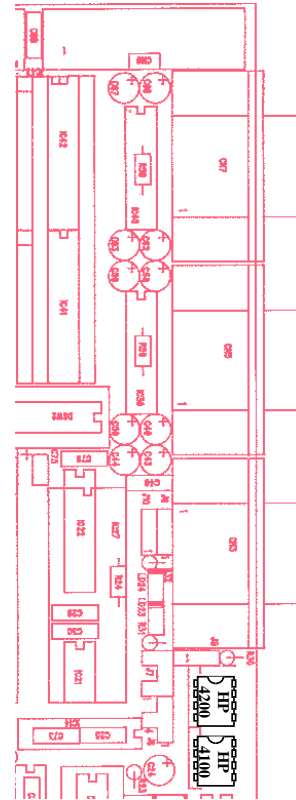
/RTSB = livello basso = stato logico 0 -> trasmettitore attivo

/RTSB = livello alto = stato logico 1 -> trasmettitore disattivo

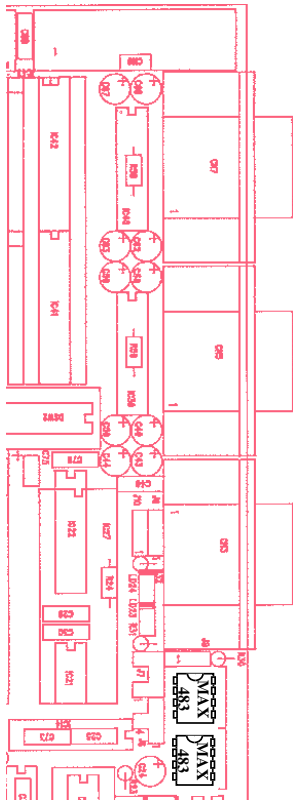
Per sistemi punto punto, la linea /RTSB può essere mantenuta sempre bassa (trasmettitore sempre attivo), mentre per sistemi multipunto si deve attivare il trasmettitore solo in corrispondenza della trasmissione.



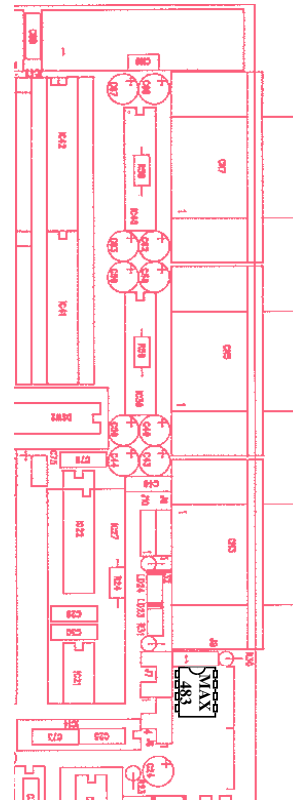
Seriale B in RS 232



Seriale B in Current Loop



Seriale B in RS 422



Seriale B in RS 485

FIGURA 38: DISPOSIZIONE DRIVER PER COMUNICAZIONE SERIALE

- LINEA SERIALE B SETTATA IN RS 485 (opzione .RS 485)

J6	=	posizione 2-4	IC17	=	nessun componente
J7	=	posizione 1-2	IC18	=	nessun componente
J8	=	posizione 1-2 e 3-4	IC19	=	SN 75176 o MAX 483
J5, J12	=	(*1)	IC20	=	nessun componente
			IC39	=	nessun componente

In questa modalità le linee da utilizzare sono i pin 1 e 2 di CN3, che quindi diventano le linee di trasmissione o ricezione a seconda dello stato del segnale /RTSB, gestito via software, come segue:

/RTSB = livello basso = stato logico 0 -> linea in trasmissione

/RTSB = livello alto = stato logico 1 -> linea in ricezione

Questa comunicazione la si utilizza sia per connessioni punto punto che multipunto con un collegamento a 2 fili. Sempre in questa modalità è possibile ricevere quanto trasmesso, in modo da fornire al sistema la possibilità di verificare autonomamente la riuscita della trasmissione; infatti in caso di conflitti sulla linea, quanto trasmesso non viene ricevuto correttamente e viceversa.

- (*1) Nel caso si utilizzi la linea seriale in RS 422 o RS 485, con i jumpers J5 e J12 è possibile connettere la circuiteria di terminazione sulla linea. Tale circuiteria deve essere sempre presente nel caso di sistemi punto punto, mentre nel caso di sistemi multipunto, deve essere collegata solo sulle schede che risultano essere alla maggior distanza, ovvero ai capi della linea di comunicazione.

In fase di reset o power on, il segnale /RTSB è mantenuto a livello logico alto di conseguenza in seguito ad una di queste fasi il driver RS 485 è in ricezione o il driver di trasmissione RS 422 è disattivo, in modo da eliminare eventuali conflittualità sulla linea di comunicazione.

Per ulteriori informazioni relative alla comunicazione seriale fare riferimento agli esempi di collegamento delle figure 23÷29 ed all'appendice B di questo manuale.

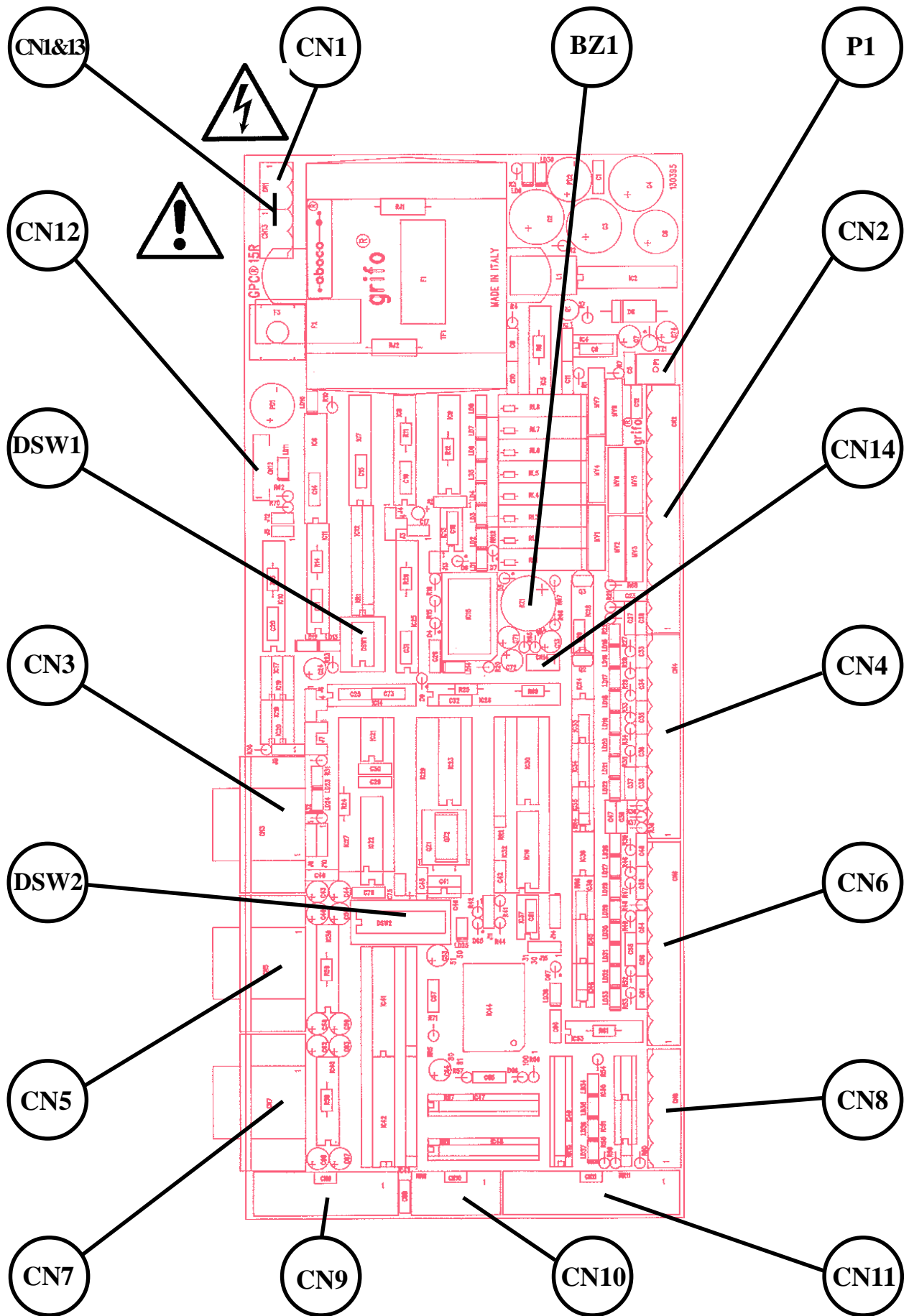


FIGURA 39: DISPOSIZIONE CONNETTORI, MEMORIE, BUZZER, ETC.

SELEZIONE MEMORIE

La **GPC® 15R** può montare fino ad un massimo di 1040K bytes di memoria variamente suddivisa tra EPROM, FLASH EPROM, SRAM e EEPROM seriale. In particolare per la configurazione seguire le informazioni riportate nella seguente tabella:

IC	DISPOSITIVO	DIMENSIONE	STRIPPAGGIO
32	EPROM	128K Byte	J11 e J14 in posizione 2-3
	EPROM	256K Byte	J11 e J14 in posizione 2-3
	EPROM	512K Byte	J11 e J14 in posizione 2-3
	FLASH EPROM	128K Byte	J11 e J14 in posizione 1-2
	FLASH EPROM	256K Byte	J11 e J14 in posizione 1-2
	FLASH EPROM	512K Byte	J11 e J14 in posizione 1-2
29	SRAM	128K Byte	J15 in posizione 1-2
	SRAM	512K Byte	J15 in posizione 2-3
27	SRAM+RTC	2K Byte	J10 in posizione 2-3
	SRAM+RTC	8K Byte	J10 in posizione 1-2
37	EEPROM	256÷8K Byte	-

FIGURA 40: TABELLA DI SELEZIONE MEMORIE

Tutti i dispositivi sopra descritti devono essere con pin out di tipo JEDEC a parte l'EEPROM seriale di IC37 che deve essere richiesta alla **grifo®** in fase di ordine della scheda. Per quanto riguarda le sigle dei vari dispositivi che possono essere montati, fare riferimento alla documentazione della casa costruttrice.

Normalmente la **GPC® 15R** é fornita nella sua configurazione di default con solamente 128K SRAM su IC29 e 512 bytes di EEPROM su IC37; ogni configurazione diversa può essere autonomamente montata dall'utente oppure richiesta nella fase di ordine. Sotto sono riportate i codici delle opzioni di memoria disponibili:

.EE-08	->	1K EEPROM seriale
.EE-16	->	2K EEPROM seriale
.EE-64	->	8K EEPROM seriale
.512K	->	512K SRAM di lavoro
.2KMOD	->	2K SRAM tamponata
.8KMOD	->	8K SRAM tamponata
.2KRTC	->	2K SRAM tamponata con RTC
.8KRTC	->	8K SRAM tamponata con RTC

Per ulteriori informazioni e costi delle opzioni, contattare direttamente la **grifo®**, mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 39.

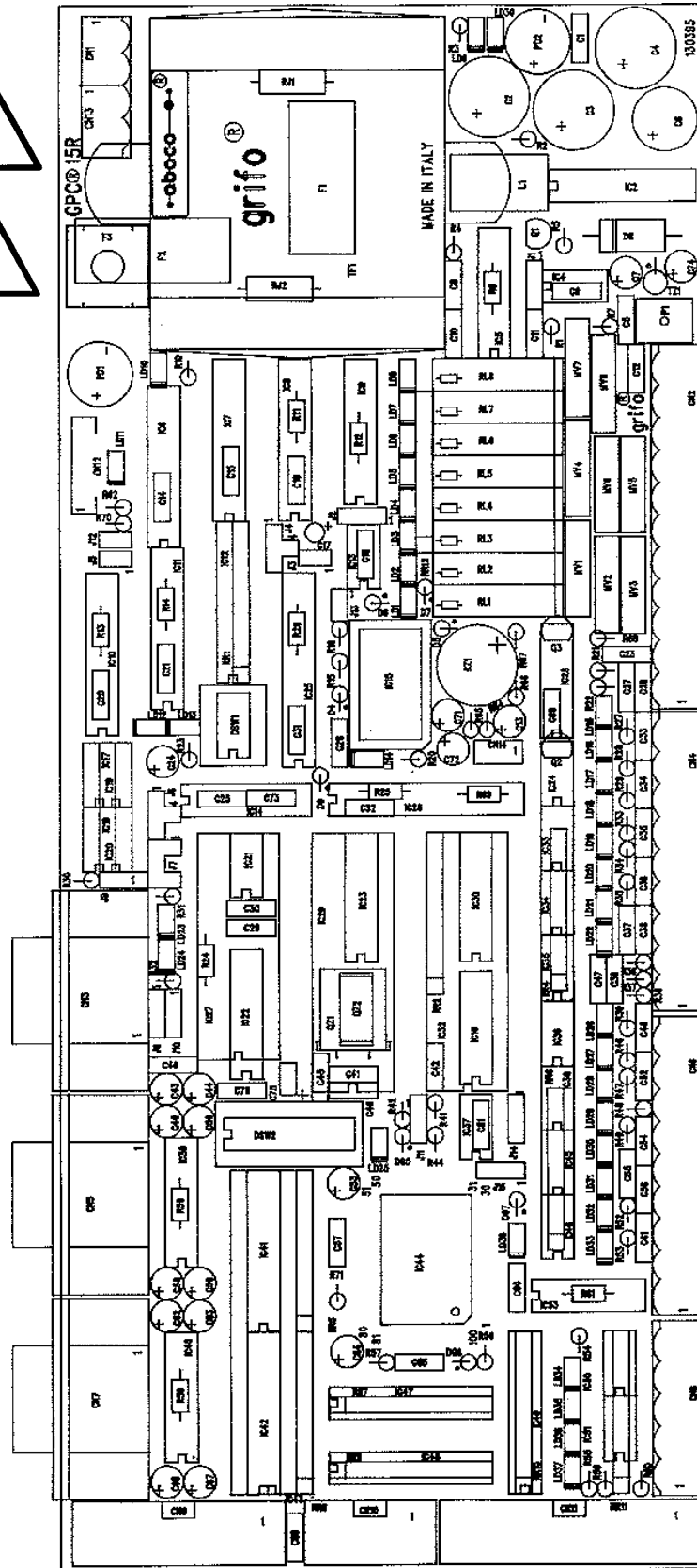
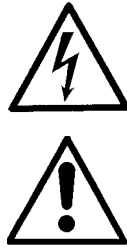


FIGURA 41: PIANTA COMPONENTI



DESCRIZIONE SOFTWARE

Questa scheda ha la possibilità di usufruire di una ricca serie di strutture software che consentono di utilizzarne al meglio le caratteristiche. In generale la scheda può utilizzare tutte le risorse software disponibili per il processore montato, ovvero i numerosi pacchetti ideati per lo Z80. Tra questi ricordiamo:

GET80

Completo programma di EDITOR, Comunicazione e gestione delle Memorie di Massa per le schede della famiglia 80. Questo programma, sviluppato dalla **grifo**[®], consente di operare in condizioni ottimali, tutte le volte che si deve usare il **GDOS** o la versione per FLASH EPROM **FGDOS**. Viene fornito in abbinamento all'acquisto di uno dei pacchetti citati e viene personalizzato con il nome ed i dati dell'acquirente. Una serie di comodi menù a tendina facilita l'uso del programma, il quale può funzionare anche in abbinamento ad un mouse. Il programma, oltre che girare in ambiente MS-DOS, gira tranquillamente anche sulle macchine MACINTOSH in abbinamento al programma SOFT-PC. Viene fornito su dischetti MS-DOS da 3"1/2 con relativa documentazione sul manuale **GDOS 80**.

GDOS 15R

Tools di sviluppo completo per le schede della fam. 80. Viene fornito in abbinamento al programma **GET80**, per consentire un immediato e pieno utilizzo di questo potente strumento di sviluppo. Il **GDOS** può essere concettualmente diviso in due distinte strutture. Una struttura lavora essenzialmente su PC, mantenendo il collegamento con la seconda tramite la linea seriale. La seconda risiede in EPROM ed opera a bordo scheda. La parte a bordo scheda è essenzialmente un potente Sistema Operativo che si preoccupa di eseguire tutte quelle funzioni a più basso livello e nello stesso tempo consente di poter operare con linguaggi ad Alto Livello direttamente a bordo scheda. L'abbinamento delle due strutture fa sì che la scheda ed il PC si comportino come un'unica macchina. Infatti la scheda usa, come se fossero le proprie, le risorse del PC come la Memoria di Massa quali i Floppy-Disk, l'Hard-Disk; la Stampante ecc. Il tutto avviene in modo completamente trasparente per l'utente il quale usa questo tipo di Macchina Virtuale esattamente come è abituato ad adoperare il suo PC. Molto interessante è la compatibilità del **GDOS** con tutti i linguaggi ed i programmi CP/M. Questo significa che se l'utente ha dei programmi o dei linguaggi a cui sono legate delle applicazioni o delle sue specifiche conoscenze o altro, può utilizzare tutto quanto ha, virtualmente senza cambiamenti, in modo immediato sotto **GDOS**.

Il **GDOS**, oltre ai tipici drivers del PC, gestisce come RAM-Disk e ROM-Disk tutte le risorse di memoria della scheda, eccedenti i 64KBytes, là dove queste siano presenti. Questo significa che i dispositivi di RAM a bordo scheda, che spesso sono Backed tramite batterie, possono essere gestite in modo diretto dai linguaggi ad alto livello, trattando comodamente come Files, le informazioni da archiviare o ricercare.

Il Tools viene fornito in EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

FGDOS 15R

Caratteristiche analoghe al **GDOS**, con la differenza che è in grado di programmare e cancellare le FLASH-EPROM a bordo scheda, con i programmi generati dall'utente. In questo modo non è necessario un programmatore di EPROM esterno per congelare il programma. E' inoltre possibile, tramite un PC Portatile, intervenire direttamente a bordo macchina per cambiare il programma di gestione.

Il Tools viene fornito in FLASH-EPROM, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

xGDOS MCI 15R

Versione del **GDOS**, o del **FGDOS**, in grado di gestire, ad alto livello, le schede di Memory-Card tipo PCMCIA. In abbinamento alla scheda **MCI 64**, il Sistema Operativo di bordo gestisce come RAM-Disk o ROM-Disk le Memory-Card. Questo consente di risolvere rapidamente, e senza crearsi problemi di gestione software, tutte quelle problematiche di raccolta dati che spesso si incontrano nella realizzazione di strutture di Data-Logging, gestendo questi dispositivi sempre con linguaggi ad alto livello.

Il Tools viene fornito in EPROM od in FLASH-EPROM, a secondo le necessità dell'utente, in abbinamento al disco in formato MS-DOS del **GET80**, alcuni esempi di uso e la relativa manualistica sul Sistema Operativo.

CBZ-80

Completo **Compilatore BASIC**, per la fam. di CPU Z80 compatibili, in grado di generare un codice molto compatto e molto veloce. Per poter funzionare ha bisogno di essere usato in abbinamento ad una qualsiasi delle versioni del **GDOS**. Lo **CBZ-80** consente di superare la limitazione dei 64 KBytes indirizzabili dalle CPU della famiglia 80. A questo scopo si utilizza la tecnica del CHAIN, offerta dal Sistema Operativo **GDOS** in abbinamento alle possibilità di RAM-Disk e ROM-Disk offerte dalle varie schede del carteggio **Abaco**®. Usato con il potente Editor incorporato nel programma **GET80**, si dispone di un potente strumento di lavoro per generare, con estrema efficienza e comodità, qualsiasi programma applicativo.

Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS e con il relativo manuale tecnico ed una serie di esempi.

PASCAL-80

Completo e molto efficiente Compilatore PASCAL per la famiglia 80 di CPU. Ha delle caratteristiche operative analoghe a quelle del **Turbo PASCAL Ver.3** della **Borland**, a cui si fa riferimento per quanto riguarda sia le caratteristiche che la manualistica. Il **PASCAL-80** lavora in abbinamento ad una delle varie versioni di Sistema Operativo **GDOS**. Le modalità di Emulazione Terminale offerta dal programma **GET80**, supportano pienamente il tipico Editor a pieno schermo del PASCAL, compresa la gestione degli attributi. Sfruttando la possibilità di gestione di RAM-Disk e ROM-Disk, offerta dal **GDOS**, si possono sfruttare appieno le possibilità di OVERLAY del PASCAL per superare il limite dei 64KBytes di indirizzamento delle CPU della famiglia 80.

Il programma viene fornito in EPROM, assieme al sistema operativo della serie **GDOS**, e su dischetto MS-DOS in abbinamento alle note tecniche e ad una serie di esempi.

RSD 15R

Questo Tools è un **Remote Symbolic Debugger** che ha due modalità operative. La prima è una modalità di debugger in simulazione. La seconda è una modalità di debugger in remoto. In questo ultimo caso si riesce ad effettuare il debugger del codice direttamente sulla scheda target. Tramite la linea seriale, si effettua il Down-Load del programma in HEX e della relativa tabella dei simboli. Fatto il caricamento, è possibile debuggare il codice in modo simbolico, in modalità Step-To-Step, mettere break-point, ecc. con delle caratteristiche di comodità simili a quelle di un In Circuit Emulator. Il programma **RSD** è in grado di supportare sia il codice **Z80** che i codici aggiuntivi dello **Z180**. Le possibilità di debugger del Tools **RSD** possono espletarsi sia in abbinamento ad un **Macro Assembler** come lo **ZASM 80**, che in abbinamento al **C Compiler CC-80**. Molto importante è la possibilità di gestire dei Break-Point software, legati ad una molteplicità di possibilità ed un Break-Point hardware che fa capo al segnale di NMI.

Il Tools viene fornito in EPROM e su un dischetto MS-DOS con il relativo manuale tecnico.

ZASM 80

Macro Cross-Assembler in grado di lavorare su un qualsiasi PC in ambiente MS-DOS. E' in grado di supportare sia il mnemonico dello Z80 che i codici aggiuntivi presenti nello Z180. Il codice generato può essere debuggato sia in simulazione sul PC che direttamente sul target, in modalità remota, utilizzando il comodo tools **RSD**. Lo **ZASM** è compatibile con il C Compiler **CC-80**, di cui assembla il risultato della compilazione.

Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

CC 80

Compilatore C, ANSI/ISO Standard, completo di Floating-Point, in grado di generare codice per le CPU della famiglia Z80 e Z180. Si abbina al Cross-Assembler **ZASM-80** ed al Tools di Remote Simbolico Debugger, **RSD**.

Il programma viene fornito su dischetto MS-DOS e con il relativo manuale tecnico.

HI TECH 80

Cross Compilatore C professionale della Hi-Tech Software. Questo compilatore è estremamente veloce e genera pochissimo codice. Questo risultato è ottenuto grazie a delle avanzate tecniche di ottimizzazione del codice generato, basato su tecniche di Intelligenza Artificiale che gli consentono di ottenere un codice compatto ed estremamente veloce. Il pacchetto comprende IDE, Compiler, Ottimizzatore del codice, Assembler, Linker, Remote debugger, ecc. Questo tools è Full ANSI/ISO Standard C ed è Full Library Source Code. Una volta fatto il porting del modulo di Remote-Debugger, consente di debuggare il software direttamente nell'hardware in sperimentazione. Questo tipo di specializzazione del **Remote-Debugger** è già disponibile, e viene fornito, per tutte le schede di CPU della **grifo**®. Il pacchetto software viene fornito su dischetti da 3"1/2 nel formato MS-DOS, completo di un esauriente manuale.

Questa versione supporta le CPU Z80, Z180, 84C011, 84C11, 84C013, 80C13, 80C015, 84C15, 64180, NCS800, Z181, Z182.

DDS MICRO C

E' un comodo pacchetto software, a basso costo, che tramite un completo I.D.E. permette di utilizzare un editor, un compilatore "C" (integer), un assembler, un linker e un remote debugger abbinato ad un monitor. Sono inclusi i sorgenti delle librerie, una serie di utility ed una ricca documentazione su dischetto da 3"1/2 nel formato MS-DOS.

MAPPAGGI ED INDIRIZZAMENTI

In questo capitolo ci occuperemo di fornire tutte le informazioni relative all'utilizzo della scheda, dal punto di vista della programmazione via software. Tra queste si trovano le informazioni riguardanti il mappaggio delle memorie, delle periferiche e di tutte le altre sezioni componenti.

MAPPAGGIO DELLE RISORSE DI BORDO

La gestione delle risorse della scheda è affidata ad una logica di controllo completamente realizzata con logiche programmabili. Essa si occupa del mappaggio delle zone di SRAM ed EPROM e di tutte le periferiche di bordo.

La logica di controllo è realizzata in modo da gestire separatamente il mappaggio delle memorie di bordo ed il mappaggio delle periferiche viste in Input/Output. Complessivamente la CPU Z84C15 indirizza direttamente 64K Byte di memoria e 256 indirizzi di I/O, quindi alla logica di controllo è assegnato il compito di allocare lo spazio logico d'indirizzamento delle memorie nello spazio fisico massimo di 1032K Byte. Questa gestione è effettuata via software tramite la programmazione della circuiteria di MMU con cui si può definire quali memorie utilizzare con una suddivisione in pagine da 32K Byte. Per quanto riguarda il mappaggio dell'I/O si deve invece ricordare che la logica di controllo provvede naturalmente a non utilizzare le locazioni riservate per le periferiche interne della CPU, in modo da evitare ogni problema di conflittualità.

Riassumendo i dispositivi mappati sulla scheda sono essenzialmente:

- **ABACO® BUS**
- Fino a 512K Byte di EPROM o 512K Byte FLASH EPROM su IC29
- Fino a 8K Byte di SRAM su IC27
- Fino a 8K Byte di EEPROM seriale su IC32
- SIO
- CTC
- PIO
- RTC
- Baud rate generator
- Circuiteria di Memory Management Unit (MMU)
- Dip Switch di configurazione DSW1 e DSW2
- LEDs di attività
- Buzzer
- Circuiterie di Watch Dog

Questi occupano gli indirizzi riportati nei paragrafi seguenti e non possono essere riallocati in nessun altro indirizzo. In caso di specifiche esigenze in termini di mappaggio, contattare direttamente la **grifo®**.

MAPPAGGIO DELL'I/O

Il mappaggio delle periferiche di bordo allocate nello spazio di I/O, è gestito dalla logica di controllo della scheda che provvede ad indirizzare tali dispositivi all'interno dello spazio di I/O del microprocessore, che ha una dimensione di 256 indirizzi. Viene di seguito riportato l'indirizzamento delle periferiche di bordo, comprese quelle interne alla CPU. Per maggior chiarezza si riporta il nome del registro, il suo indirizzo, il tipo di accesso ed una breve descrizione del loro significato:

DISP.	REG.	IND.	R/W	SIGNIFICATO
SRAM+ RTC IC 27	B0	00H	R/W	Primo byte del blocco dati
	B1	01H	R/W	Secondo byte del blocco dati
	:	:	:	:
	:	:	:	:
	B15	0FH	R/W	Sedicesimo byte del blocco dati
CTC	RC0	10H	R/W	Registro stato dati del contatore 0
	RC1	11H	R/W	Registro stato dati del contatore 1
	RC2	12H	R/W	Registro stato dati del contatore 2
	RC3	13H	R/W	Registro stato dati del contatore 3
PPI 82C55	PDA	14H	R/W	Registro dati del port A
	PDB	15H	R/W	Registro dati del port B
	PDC	16H	R/W	Registro dati del port C
	CNT	17H	R/W	Registro di controllo e comando
SIO	RDA	18H	R/W	Registro dati della linea seriale A
	RSA	19H	R/W	Registro di stato della linea seriale A
	RDB	1AH	R/W	Registro dati della linea seriale B
	RSB	1BH	R/W	Registro di stato della linea seriale B
PIO	PAD	1CH	R/W	Registro dati del port A
	PAS	1DH	W	Registro di controllo del port A
	PBD	1EH	R/W	Registro dati del port B
	PBS	1FH	W	Registro di controllo del port B

FIGURA 42: TABELLA INDIRIZZAMENTO I/O - PARTE 1

DISP.	REG.	IND.	R/W	SIGNIFICATO
RELE'	RELE'	24H	R/W	Registro di settaggio ed acquisizione delle uscite a relè
B.R.G.	BAUD	25H	R/W	Registro di settaggio ed acquisizione del baud rate delle due linee seriali
WD. EXT	RWD	25H	R	Registro retrigger watch dog esterno
RAM I/O	MEMIO	26H	R/W	Registro di settaggio ed acquisizione indirizzi del modulo di IC 27
IND.MEM	MEM	27H	R/W	Registro di settaggio ed acquisizione indirizzi dell'area di memoria (IC 27, IC 29, IC 32)
LED ATT.	LD11	27H	W	Registro di gestione LED di attività
BUZZER	BUZ	27H	W	Registro di gestione buzzer
DSW1	DSW1	27H	R	Registro di acquisizione DSW1
ABACO® I/O BUS	/ECS1	30H÷3FH	R/W	Indirizzi I/O BUS con abilitazione del segnale /ECS1
	/ECS2	40H÷4FH	R/W	Indirizzi I/O BUS con abilitazione del segnale /ECS2
	I/O BUS	30H÷DFH	R/W	Indirizzi I/O BUS
REG. INTERNI	SCRP	EEH	R/W	Registro di indirizzamento registri interni al microprocessore
	SCDP	EFH	R/W	Registro dati per i registri interni al microprocessore
W.D. INTERNO	WDTMR	F0H	R/W	Registro di programmazione watch dog interno
	WDTCR	F1H	W	Registro di accesso watch dog interno
INTER.	INTPR	F4H	W	Registro di settaggio priorità interrupt

FIGURA 43: TABELLA INDIRIZZAMENTO I/O - PARTE 2

Per quanto riguarda la descrizione del significato dei registri qui sopra riportati, si faccia riferimento al capitolo successivo “DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO”.

MAPPAGGIO ABACO® I/O BUS

La logica di controllo della **GPC® 15R** provvede anche alla gestione dell'**ABACO® I/O BUS**, definendo gli indirizzi in cui tale BUS viene allocato. In particolare, come si può notare dalla tabella in figura 43, tale BUS è indirizzato in corrispondenza degli indirizzi 30H÷DFH; inoltre i sottoinsiemi di questo spazio d'indirizzamento 30H÷3FH e 40H÷4FH, vengono gestiti in modo da generare automaticamente due rispettivi segnali di abilitazione, denominati /ECS1 ed /ECS2. Riassumendo un accesso in I/O in un qualsiasi indirizzo da 30H a DFH abilita il segnale /IORQ e tutti gli altri segnali di controllo di CN11, un accesso in I/O agli indirizzi 30H÷3FH e 40H÷4FH abilita rispettivamente anche le linee /ECS1 ed /ECS2 sempre di CN11.

MAPPAGGIO MEMORIE

Sulla scheda i 1040K Byte di memoria che possono essere montati sono così allocati:

Fino a 512K Byte di EPROM o 512K Byte di FLASH EPROM allocati nello spazio di memoria
Fino a 512K Byte di SRAM allocati nello spazio di memoria
Fino a 8K Byte di EEPROM seriale allocati nello spazio di I/O
Fino ad 8K Byte di SRAM tamponata allocata nello spazio di I/O

La **GPC® 15R** può indirizzare direttamente un massimo di 64K Byte di memoria che coincide con lo spazio d'indirizzamento logico del microprocessore. Questa capacità di memoria è stata suddivisa in due pagine da 32K Byte cadauna: sulla prima può essere allocata sia SRAM che EPROM, mentre sulla seconda solo SRAM. La circuiteria di MMU si occupa tramite una semplice gestione software, di dividere lo spazio dei dispositivi fisici allocati in memoria, sempre in pagine da 32K Byte e di allocarle nello spazio direttamente indirizzato dalla CPU. Programmando la circuiteria di MMU tramite l'apposito registro, è quindi possibile indirizzare indirettamente, un'area notevolmente superiore a quella supportata direttamente dal microprocessore. Vengono di seguito riportate due figure che illustrano le possibili configurazioni dei dispositivi allocati nello spazio di memoria, per maggiori informazioni fare riferimento al paragrafo "MEMORY MANAGEMENT UNIT", mentre per una facile individuazione dei dispositivi di memoria fare riferimento alla figura 22.

Alcuni pacchetti software, come il **GDOS** o l'**FGDOS**, si occupano autonomamente della gestione della circuiteria di MMU per allocare tutta la memoria fisicamente presente a bordo scheda nello spazio d'indirizzamento del microprocessore, senza interessare direttamente l'utente.

All'atto del power on o del reset, il segnale R/E è settato a 0, quindi la scheda parte con l'esecuzione del codice posto all'indirizzo logico 0000H della pagina 0 di EPROM o FLASH EPROM di IC13.

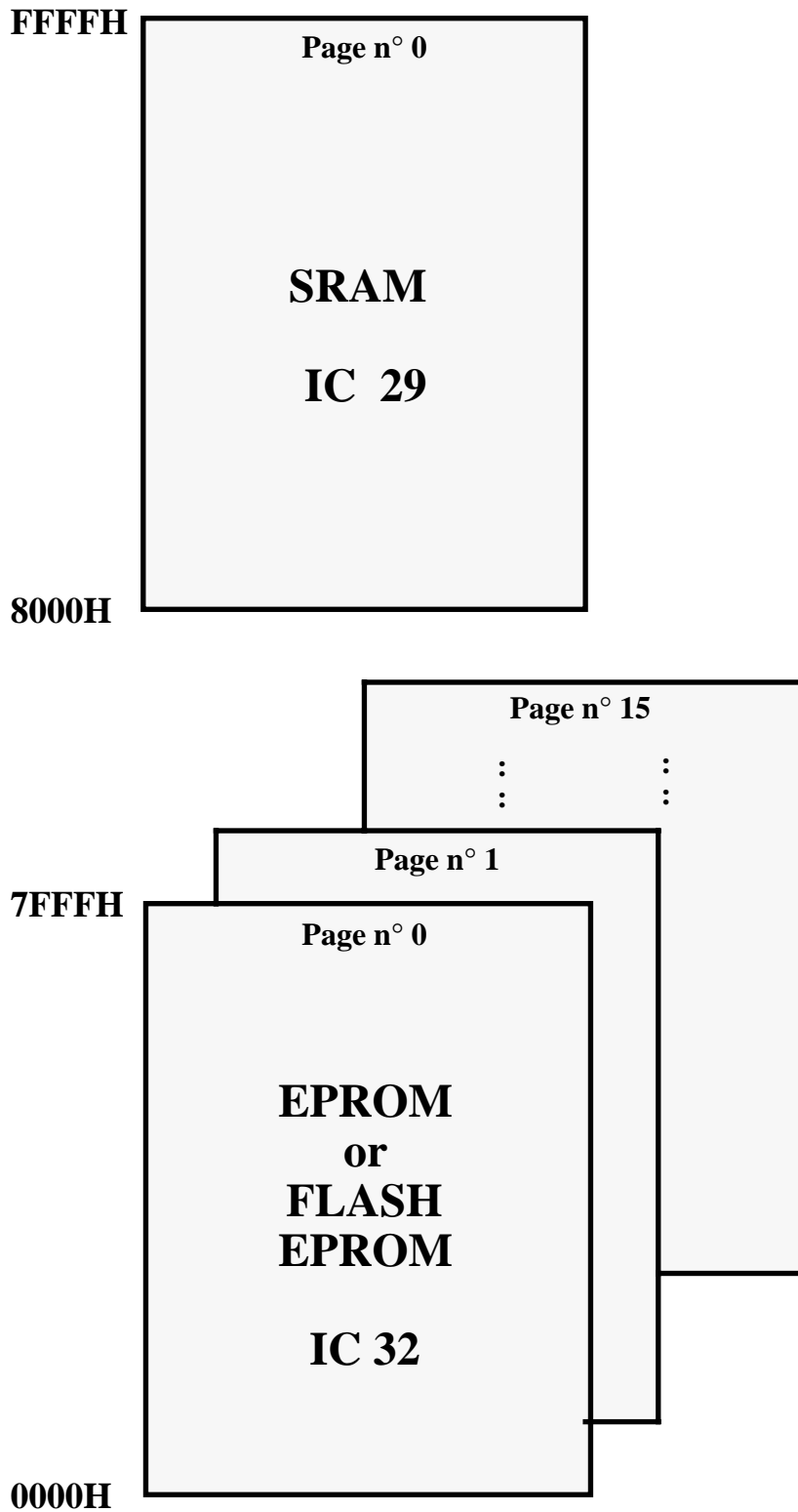


FIGURA 44: MAPPAGGIO DELLE MEMORIE CON R/E=0

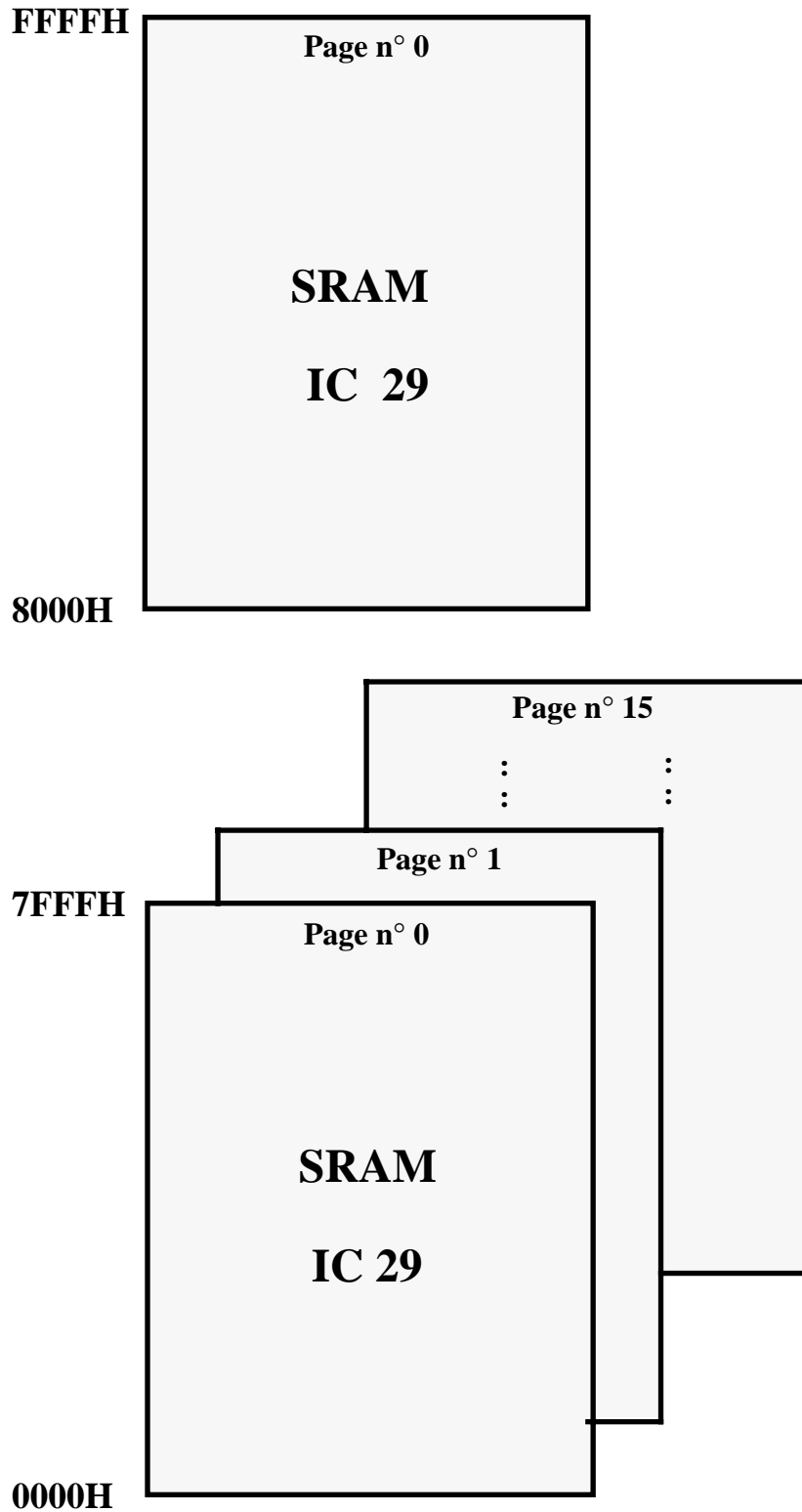


FIGURA 45: MAPPAGGIO DELLE MEMORIE CON R/E=1

DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO

Nel paragrafo precedente sono stati riportati gli indirizzi di allocazione di tutte le periferiche e di seguito viene riportata una descrizione dettagliata della funzione e del significato dei relativi registri (al fine di comprendere le successive informazioni, fare sempre riferimento alle tabelle di indirizzamento I/O). Qualora la documentazione riportata fosse insufficiente fare riferimento direttamente alla documentazione tecnica della casa costruttrice del componente. In questo paragrafo inoltre non vengono descritte le sezioni che fanno parte del microprocessore; per quanto riguarda la programmazione di quest'ultime si faccia riferimento all'appendice B di questo manuale. Nei paragrafi successivi si usano le indicazioni **D0÷D7** e **.0÷7** per fare riferimento ai bits della combinazione utilizzata nelle operazioni di I/O ad 8 bits.

WATCH DOG ESTERNO

Il retrigger della circuiteria di Watch Dog esterna presente sulla **GPC® 15R**, avviene tramite una semplice operazione di input al registro RWD. Tale registro condivide lo stesso indirizzo della circuiteria di gestione del baud rate generator, ma questo non crea conflitti, infatti l'operazione di retrigger è di sola lettura ed il dato che viene letto durante l'accesso, è privo di significato. Affinchè la circuiteria di watch dog esterna non intervenga, è indispensabile retriggerarla ad intervalli regolari di durata inferiore al tempo d'intervento. Se ciò non avviene e tramite il jumper J4 la circuiteria è connessa alla sezione di Reset, una volta scaduto il tempo d'intervento la scheda viene resettata. Il tempo d'intervento nella condizione di default è di circa 700 ms.

EEPROM SERIALE

Per quanto riguarda la gestione del modulo di EEPROM seriale (IC37), si faccia riferimento alla documentazione specifica del componente. In questo manuale tecnico non viene riportata alcuna informazione software in quanto la modalità di gestione è articolata e prevede una conoscenza approfondita del componente e comunque l'utente può usare le apposite procedure ad alto livello fornite nel pacchetto di programmazione. Si ricorda solo che i primi 32 bytes (0÷31) sono riservati e perciò si deve evitare la modifica dei medesimi. La logica di controllo consente la gestione software della EEPROM tramite i segnali /SYNCA, DTRA e DTRB dello SIO incorporata nella CPU con le seguenti corrispondenze:

/SYNCA	->	linea DATA input	(SDA)
DTRB	->	linea DATA output	(SDA)
DTRA	->	linea CLOCK	(SCL)

Data l'implementazione hardware della circuiteria di gestione del modulo di EEPROM seriale, si ricorda che di tale dispositivo i segnali **A0,A1,A2** dello slave address sono tutti posti a **0** logico. Lo stato logico 0 dei bit corrisponde allo stato logico basso (=0 V) del relativo segnale, mentre lo stato logico 1 dei bit corrisponde allo stato logico alto (=5 V) del segnale.

LED DI ATTIVITÀ

Considerando che la corrispondenza tra il LED di attività LD11 ed il registri di I/O è la seguente:

LED11.7 -> comando LD11
DSW1.3 -> lettura stato LD11

L'attivazione del LED avviene effettuando una operazione di output con il relativo Bit a 1 all'indirizzo di allocazione del registro relativo. Logicamente la disattivazione avviene tramite un'analogica operazione di output ma con il bit resettato a 0. I rimanenti bit dei registri devono essere settati tenendo conto della programmazione fornita alla circuiteria su cui interviene lo stesso registro. Infatti il registro LED11 condivide lo stesso indirizzo di I/O dei registri BUZ e MEM. Lo stato del LED può essere acquisito effettuando un'operazione di lettura all'indirizzo del registro DSW1 ed esaminando il bit 3. Il registro è azzerato in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi il LED di attività è disattivo.

INGRESSI DI CONFIGURAZIONE

La **GPC® 15R** dispone di 14 ingressi di configurazione settabili dall'utente ed acquisibili via software con le modalità di seguito riportate.

Il dip switch **DSW1** montato a bordo della **GPC® 15R** può essere acquisito effettuando una semplice operazione di input all'indirizzo di allocazione del registro DSW1. La corrispondenza tra i bit del registro e le linee del dip switch è la seguente:

D7 -> **DSW1.4**
D6 -> **DSW1.3**
D5 -> **DSW1.2**
D4 -> **DSW1.1**
D3 -> stato LEDLD11 (s veda paragrafo "LED DI ATTIVITÀ")
D2 -> stato buzzer (si veda paragrafo "BUZZER")
D1 -> /A15 x IC 29 (si veda paragrafo "MMU")
D0 -> A12 x IC 27 (si veda "RAM TAMPONATA+RTC")

Come si nota dalla combinazione letta solo il nibble più significativo riguarda l'acquisizione del Dip Switch. La combinazione è in logica negata, ovvero il dip in **ON** fornisce lo stato logico **0** al corrispondente bit, mentre il dip in **OFF** fornisce lo stato logico **1**.

Il **jumper J13** è collegato all'ingresso **DCCB** del SIO incorporato nella CPU.

Il **jumper J9** è collegato all'ingresso **/SYNCB** del SIO incorporato nella CPU e viene usato per selezionare lo stato di RUN/DEBUG. La connessione in posizione **1-2** (RUN) fornisce un livello logico **0** mentre la connessione in posizione **2-3** (DEBUG) fornisce il livello logico **1**. Per informazioni su come acquisire lo stato del segnale /SYNCB si faccia riferimento all'appendice B di questo manuale.

Per informazioni su come acquisire lo stato del Dip Switch DSW2, che occupa le linee digitali del port B del PPI 82C55, si faccia riferimento al paragrafo che descrive lo stesso.

BUZZER

Il buzzer BZ1, si attiva effettuando una operazione di output con D6=1, all'indirizzo di allocazione del registro BUZ. Logicamente la disattivazione avviene tramite un'analogica operazione di output a con il bit D6 resettato a 0. I rimanenti sette bit del registro BUZ devono essere settati tenendo conto della programmazione fornita alla circuiteria di MMU e al LED di attività. Lo stato del buzzer può essere acquisito effettuando un'operazione di lettura all'indirizzo del registro DSW1 ed esaminando il bit 2. Il registro BUZ è azzerato (tutti i bits a 0) in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi il buzzer è disattivo.

MEMORY MANAGEMENT UNIT

L'allocazione dello spazio d'indirizzamento fisico delle memorie che possono essere montate sulla **GPC® 15R** all'interno dello spazio d'indirizzamento logico del microprocessore, è affidato ad una efficiente circuiteria di MMU. Tale sezione viene programmata tramite gli appositi registri MEM e BAUD allocati nello spazio di I/O. Il significato di tali registri è riportato di seguito:

BAUD: Il bit D7 di tale registro, denominato R/E, effettua la selezione del dispositivo di memoria da allocare nella pagina bassa (0000H÷7FFFH) dello spazio logico per la memoria del microprocessore:

R/E = 0 -> EPROM di IC 32

R/E = 1 -> RAM di IC 29

I rimanenti bit di questo registro sono utilizzati per la programmazione del baud rate sulle due linee di comunicazione seriale della scheda.

MEM: I bits di tale registro hanno il seguente significato

D7 -> LD11 (si veda paragrafo "LED DI ATTIVITÀ")

D6 -> BUZ (si veda paragrafo "BUZZER")

D5 -> A18 x IC 32 ed /A18 x IC 29

D4 -> A17 x IC 32 ed /A17 x IC 29

D3 -> A16 x IC 32 ed /A16 x IC 29

D2 -> A15 x IC 32

D1 -> /A15 x IC 29

D0 -> A12 x IC 27 (si veda paragrafo "RAM TAMPONATA+RTC")

Dove quindi il bit D1÷D5 definiscono la pagina di SRAM di IC 29 od EPROM di IC 32 che deve essere indirizzata ed il bit D0 definisce l'indirizzo della RAM tamponata + RTC vista in I/O. Utilizzando il registro MEM in una operazione di input, è possibile acquisire parte dello stato della circuiteria di MMU. In particolare del dato letto, solo i bit D0 e D1 riportano lo stato dei corrispondenti segnali. Il nibble più significativo riporta invece lo stato del dip switch DSW1.

All'atto del power on o del reset entrambi i registri MEM e BAUD sono azzerati (tutti i bits a 0); questo equivale ad una programmazione della sezione di MMU in cui i primi 32K indirizzati dalla CPU coincidono con la pagina 0 di EPROM di IC 32 ed i secondi 32K coincidono con la pagina 0 di SRAM di IC 29.

Facendo riferimento alle figure 36 e 37 di mappaggio delle memorie, viene di seguito riportata una tabella che descrive tutte le possibili configurazioni della sezione MMU:

PAGINA 32K LOW	PAGINA 32K HIGH	MMU	R/E
0: IC 32	0: IC 29	XX0000XXB	0
1: IC 32	0: IC 29	XX0001XXB	0
2: IC 32	0: IC 29	XX0010XXB	0
3: IC 32	0: IC 29	XX0011XXB	0
4: IC 32	0: IC 29	XX0100XXB	0
5: IC 32	0: IC 29	XX0101XXB	0
6: IC 32	0: IC 29	XX0110XXB	0
7: IC 32	0: IC 29	XX0111XXB	0
8: IC 32	0: IC 29	XX1000XXB	0
9: IC 32	0: IC 29	XX1001XXB	0
10: IC 32	0: IC 29	XX1010XXB	0
11: IC 32	0: IC 29	XX1011XXB	0
12: IC 32	0: IC 29	XX1100XXB	0
13: IC 32	0: IC 29	XX1101XXB	0
14: IC 32	0: IC 29	XX1110XXB	0
15: IC 32	0: IC 29	XX1111XXB	0
0: IC 29	0: IC 29	XX111X1XB	1
1: IC 29	0:IC 29	XX111X0XB	1
2: IC 29	0:IC 29	XX110X1XB	1
3: IC 29	0:IC 29	XX110X0XB	1
4: IC 29	0:IC 29	XX101X1XB	1
5: IC 29	0:IC 29	XX101X0XB	1
6: IC 29	0:IC 29	XX100X1XB	1
7: IC 29	0:IC 29	XX100X0XB	1
8: IC 29	0:IC 29	XX011X1XB	1
9: IC29	0:IC 29	XX011X0XB	1
10: IC 29	0:IC 29	XX010X1XB	1
11: IC 29	0:IC 29	XX010X0XB	1
12: IC 29	0:IC 29	XX001X1XB	1
13: IC 29	0:IC 29	XX001X0XB	1
14: IC 29	0:IC 29	XX000X1XB	1
15: IC 29	0:IC 29	XX000X0XB	1

FIGURA 46: TABELLA POSSIBILI PROGRAMMAZIONI SEZIONE DI MMU

La X indica che lo stato del bit é indifferente per il settaggio che si deve realizzare e può quindi assumere sia lo stato di 0 che di 1, a seconda delle esigenze della circuiteria che gestisce.

SIO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

PIO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

CTC

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

WATCH DOG INTERNO

Fare riferimento all'apposita documentazione tecnica dell'appendice B.

SRAM TAMPONATA + RTC

La scheda **GPC® 15R** è provvista di uno zoccolo (IC27) per la gestione di un modulo di SRAM tamponata da 2 o da 8K Byte, che può inoltre comprendere un Real Time Clock. Di seguito viene riportata una descrizione di come utilizzare questo dispositivo dal punto di vista software.

Lo spazio d'indirizzamento della SRAM tamponata può variare da un minimo di 2K fino ad un massimo di 8K; comunque il modulo non è allocato nello spazio d'indirizzamento memorie, bensì in quello di I/O. Per questo il dispositivo viene suddiviso in tanti blocchi (o pagine) con una estensione di 16 Byte cadauna. La scrittura/lettura di un dato la si ottiene andando ad utilizzare direttamente i Byte dello stesso blocco che deve essere precedentemente selezionato. Il numero di blocchi varia a seconda del tipo di SRAM montata ed in particolare:

SRAM 2K -> 128 blocchi
SRAM 8K -> 512 blocchi

La selezione del blocco avviene tramite un apposito registro allocato nello spazio di I/O. Tale registro, definito MEMIO, ha il seguente significato:

D7 -> A11 x IC 7
D6 -> A10 x IC 7
D5 -> A9 x IC 7
D4 -> A8 x IC 7
D3 -> A7 x IC 7
D2 -> A6 x IC 7
D1 -> A5 x IC 7
D0 -> A4 x IC 7

Dove:

Axx = Selezionano la pagina in uso per la SRAM tamponata (indirizzi del dispositivo).

Tale registro è utilizzabile sia per operazioni di output (settaggio della pagina) che di input (acquisizione della pagina) e viene azzerato (tutti i bit a 0) in fase di Reset o power on.

Da notare che il segnale A12 x IC 7 è sempre gestibile da software tramite il registro MEM (si veda paragrafo "MEMORY ANAGEMENT UNIT").

Dovendo ad esempio scrivere il byte AAH all'indirizzo 0700H della SRAM tamponata, si devono effettuare le seguenti operazioni:

- 1) Resettare il bit D0 di MEM, effettuando una operazione di out all'indirizzo di allocazione di tale registro. Esempio: OUT 27H,00H
- 2) Scrivere il Byte 70H su MEMIO, effettuando una operazione di out all'indirizzo di allocazione di tale registro. Esempio: OUT 26H,70H
- 3) Scrivere il byte AAH sul primo Byte del blocco di 16 indirizzato. Esempio: OUT 00H,AAH

Nel caso in cui il componente montato su IC 7 sia un modulo di SRAM tamponata provvisto della sezione di Real Time Clock, si devono utilizzare 8 registri interni il cui significato viene di seguito riportato. Tali registri coincidono sempre con gli ultimi indirizzi dello spazio occupato dal dispositivo, in particolare:

REGISTRO	INDIRIZZO 2K	INDIRIZZO 8K
CNT	07F8H	1FF8H
SEC	07F9H	1FF9H
MIN	07FAH	1FFAH
ORE	07FBH	1FFBH
SETT	07FCH	1FFCH
GIO	07FDH	1FFDH
MES	07FEH	1FFEH
ANN	07FFH	1FFFH

FIGURA 47: TABELLA INDIRIZZAMENTO REGISTRI DEL MODULO SRAM+RTC

Con questi registri è possibile effettuare operazioni di prelevamento dell'orario e data attuale e di inizializzazione dello stesso orologio.

ANN = A7 A6 A5 A4 A3 A2 A1 A0

dove: A7-A0 = Valore dell'anno (00-99) in BCD.

MES = 0 0 0 M4 M3 M2 M1 M0

dove: M4-M0 = Valore del mese (01-12) in BCD.

GIO = 0 0 D5 D4 D3 D2 D1 D0

dove: D5-D0 = Valore del giorno del mese (01-31) in BCD.

SETT= 0 FT 0 0 0 S2 S1 S0

dove: S2 S1 S0 = Valore del giorno della settimana:

0 0 1 = Domenica

0 1 0 = Lunedì

0 1 1 = Martedì

1 0 0 = Mercoledì

1 0 1 = Giovedì

1 1 0 = Venerdì

1 1 1 = Sabato

FT = Test della frequenza di conteggio.

ORE = KS 0 O5 O4 O3 O2 O1 O0

dove: KS = Bit di start conteggio orologio.

O5-O0 = Valore delle ore (00-23) in BCD.

MIN = 0 M6 M5 M4 M3 M2 M1 M0

dove: M6-M0 = Valore dei minuti (00-59) in BCD.

SEC = ST S6 S5 S4 S3 S2 S1 S0

dove: S6-S0 = Valore dei secondi (00-59) in BCD.

ST = Bit di stop conteggio orologio.

CNT = W R S C4 C3 C2 C1 C0

dove: W = Bit di selezione operazione di scrittura.

R = Bit di selezione operazione di lettura.

S = Bit di segno per la combinazione di compensazione.

C4-C0 = Combinazione di compensazione.

Il significato dei bits é il seguente:

Bit R - Bit di selezione operazione di lettura

Per evitare che una operazione di lettura legga i dati mentre è in corso il loro aggiornamento, e quindi possa generare risultati erranei, è sufficiente porre ad "1" il bit R prima della lettura stessa. Infatti finché il bit R è ad "1" l'aggiornamento dei registri del Real Time Clock viene bloccato, e riprenderà solo dopo che il registro R sarà posto a "0". Porre ad "1" il registro R durante un aggiornamento dei registri RTC non interrompe lo stesso.

Bit W - Bit di selezione operazione di scrittura

Analogamente al Bit R, settando a "1" il bit W viene bloccato l'aggiornamento dei registri del Real Time Clock, permettendo all'utente di scrivervi il nuovo valore. Quando il bit W viene riportato a "0" i contatori interni vengono aggiornati coi nuovi valori inseriti dall'utente e le normali operazioni vengono ripristinate.

I bit KS, FT e tutti gli altri segnati con uno "0" nelle righe precedenti devono essere lasciati a "0".

Bit S e bits C4-C0 - Compensazione con segno del conteggio dell'orologio

Il conteggio dell'orologio può essere compensato fino a $\pm 63,07$ ppm (Parti per Million) su un ciclo di 64 minuti caricando valori opportuni nei bits S e C4-C0.

S è il bit di segno, impostandolo a "1" si ha un allungamento del conteggio mentre impostandolo a "0" si ha un accorciamento del conteggio.

I bits C4-C0 danno l'entità della compensazione in passi di 2,034 ppm, C0 è il bit meno significativo. Si possono quindi inserire valori da 0 a 31 nei bits C4-C0 e dotarli di segno usando il bit S, in modo da avere una compensazione massima di $31 * 2,034 = 63,07$ ppm in più o in meno. Questo dovrebbe equilibrare qualunque variazione nella frequenza di oscillazione del quarzo interno.

Ad esempio, se il quarzo interno oscillasse esattamente a 32768 Hz, porre C4-C0 ad "1" rappresenterebbe 5,35 secondi al mese.

Bit FT - Test della frequenza di conteggio

Impostando ad "1" tale bit si avrà che il bit meno significativo del registro SEC commuterà 512 volte al secondo se il quarzo interno oscilla esattamente a 32758 Hz. Qualunque deviazione della frequenza di toggle dell'MSB di SEC riflette direttamente una deviazione nella frequenza di oscillazione del quarzo interno. Se ad esempio si rilevasse una deviazione di +10 ppm nella suddetta frequenza di toggle, allora sarà necessario compensarla inserendo -5 nei bits di compensazione del conteggio dell'orologio, ovvero porre C4-C0 a "00101" ed S a "0".

Durante tale test il chip select e gli indirizzi per il modulo RAM+RTC devono essere ben stabili.

Bits ST e KS - Bit di stop e di riattivazione dell'orologio

Per fermare l'oscillatore, e quindi risparmiare la batteria interna, è sufficiente porre a "1" il bit ST. Per sicurezza, riattivare l'oscillatore richiede l'impegno di un ulteriore bit detto di Kick Start (KS). La procedura di inizializzazione dell'orologio deve essere composta dai seguenti passi:

- 1) Settare il bit W a 1
- 2) Resettare il bit ST a 0
- 3) Settare il bit KS a 1
- 4) Resettare il bit W a 0
- 5) Attendere 2 secondi
- 6) Settare il bit W a 1
- 7) Resettare il bit KS a 0 - Questo passo è indispensabile per ottimizzare la durata della batteria
- 8) Settare la data e l'ora desiderate
- 9) Resettare il bit W a 0

BAUD RATE GENERATOR

La sezione di generazione delle frequenze utilizzate dal SIO per la comunicazione seriale della scheda è in grado di generare due baud rate completamente separati variabili da un minimo di 300 Baud ad un massimo di 115,2K Baud con otto valori intermedi. La **GPC® 15R** consente di settare ed acquisire queste velocità di comunicazione tramite semplici operazioni di input output all'indirizzo di allocazione del registro BAUD. I bit che compongono quest'ultimo registro hanno il seguente significato:

BAUD = R/E BB2 BB1 BB0 HS BA2 BA1 BA0

dove

R/E = Bit di selezione RAM/EPROM (si veda paragrafo "MMU")

BB2 BB1 BB0 = Definiscono il Baud Rate della linea seriale B

0 0 0 = seleziona Baud Rate di 300 Baud (HS=0) o 57600 Baud (HS=1)

0 0 1 = seleziona Baud Rate di 600 Baud (HS=0) o 115200 Baud (HS=1)

0 1 0 = seleziona Baud Rate di 1200 Baud

0 1 1 = seleziona Baud Rate di 2400 Baud

1 0 0 = seleziona Baud Rate di 4800 Baud

1 0 1 = seleziona Baud Rate di 9600 Baud

1 1 0 = seleziona Baud Rate di 19200 Baud

1 1 1 = seleziona Baud Rate di 38400 Baud

HS = Seleziona i Baud Rate alti (High Speed) per entrambe le linee seriali

BA2 BA1 BA0 = Definiscono il Baud Rate della linea seriale A

0 0 0 = seleziona Baud Rate di 300 Baud (HS=0) o 57600 Baud (HS=1)

0 0 1 = seleziona Baud Rate di 600 Baud (HS=0) o 115200 Baud (HS=1)

0 1 0 = seleziona Baud Rate di 1200 Baud

0 1 1 = seleziona Baud Rate di 2400 Baud

1 0 0 = seleziona Baud Rate di 4800 Baud

1 0 1 = seleziona Baud Rate di 9600 Baud

1 1 0 = seleziona Baud Rate di 19200 Baud

1 1 1 = seleziona Baud Rate di 38400 Baud

La possibilità di poter acquisire il Baud Rate programmato sulle due linee seriali, tramite un'operazione di input all'indirizzo di allocazione del registro BAUD, è molto interessante quando procedure completamente separate fanno uso delle linee di comunicazione seriale, in modo da fornire la possibilità di lasciare inalterato il Baud Rate precedentemente programmato. Il registro BAUD è azzerato (tutti i bit a 0) in fase di Reset o power on, di conseguenza in seguito ad una di queste fasi viene settato un baud rate di 300 Baud su entrambe le linee seriali.

PPI 82C55

Questa periferica è vista in 4 registri: uno di stato (RC) e tre dei dati (PA, PB, PC) con cui si effettua la programmazione ed il comando della stessa. I registri dati sono utilizzati sia per operazioni di input (acquisizione linee dei port) che per quelle di output (settaggio linee dei port) ed ognuno di tali registri riporta i dati di I/O del corrispondente port. La periferica può operare in tre modi diversi:

MODO 0 = Prevede due port bidirezionali da 8 bit (A,B) e due port bidirezionali da 4 bit (C LOW, C HIGH); gli ingressi non sono latched, mentre le uscite lo sono; nessun segnale di handshaking.

MODO 1 = Prevede due port da 12 bit (A+C LOW, B+C HIGH) dove gli 8 bit dei port A e B costituiscono le linee di I/O, mentre i 4 bit del port C costituiscono le linee di handshaking. Gli ingressi e le uscite sono latched.

MODO 2 = Prevede un port da 13 bit (A+C3-7) dove gli 8 bit del port A costituiscono le linee di I/O, mentre i rimanenti 5 bit del port C costituiscono le linee di controllo. Un port da 11 bit (B+ C0-2) dove gli 8 bit del port B costituiscono le linee di I/O ed i rimanenti 3 bit del port C costituiscono le linee di controllo. Sia gli ingressi che le uscite sono latched.

La programmazione della periferica avviene scrivendo un byte nel registro di controllo RC, settando gli 8 bits del dato scritto con la seguente corrispondenza:

	D7	D6	D5	D4	D3	D2	D1	D0
RC =	SF	M1	M2	A	CH	M3	B	CL

dove:

SF = Se attivo (1) abilita il comando della periferica

M1 M2 = Selezionano il modo di funzionamento

0 0 = Selezione del modo 0

0 1 = Selezione del modo 1

1 X = Selezione del modo 2

A = Se attivo (1) setta il port A in input e viceversa

CH = Se attivo setta il nibble più significativo del port C in input e viceversa

M3 = Se attivo (1) seleziona modo 1, viceversa seleziona modo 0

B = Se attivo setta il port B in input e viceversa

CL = Se attivo setta il nibble meno significativo del port C in input e viceversa.

Dopo una fase di reset o di power on il PPI 82C55 viene settato in modo 0 con tutti i port settati in input.

USCITE A RELÈ

La gestione delle 8 uscite a relè presenti sulla **GPC® 15R** è effettuata tramite un registro di input/output denominato RELE'. Gli 8 bit che compongono tale registro hanno la seguente corrispondenza con le uscite di CN2:

D7	->	OUT 7
D6	->	OUT 6
D5	->	OUT 5
D4	->	OUT 4
D3	->	OUT 3
D2	->	OUT 2
D1	->	OUT 1
D0	->	OUT 0

Effettuando una operazione di output all'indirizzo di allocazione del registro RELE' vengono settate le 8 uscite nello stato fissato dal dato fornito in uscita, mentre effettuando una operazione di input allo stesso indirizzo viene prelevato lo stato delle 8 uscite e restituito nel dato acquisito. La corrispondenza tra lo stato logico dei bit e quello delle uscite è la seguente:

Bit a 0 logico	->	Uscita disattiva = contatto aperto
Bit a 1 logico	->	Uscita attiva = contatto chiuso

La possibilità di poter leggere lo stato delle uscite è molto interessante soprattutto se si considera l'utilizzo della scheda con J3 non collegato; infatti in ogni momento ed in ogni condizione il programma in esecuzione sulla scheda è in grado di verificare lo stato delle uscite e modificarlo di conseguenza. Il registro RELE' è azzerato (tutti i bits a 0) in fase di power on e di Reset se J3 è collegato, di conseguenza in seguito ad una di queste fasi tutte le uscite a relé sono disattive con tutti i contatti dei relé aperti.

SCHEDE ESTERNE

La scheda **GPC® 15R** si interfaccia a buona parte dei moduli della serie BLOCK e di interfaccia utente. Le risorse di bordo possono essere facilmente aumentate collegando la **GPC® 15R** alle numerose schede periferiche del carteggio **grifo®** tramite l'**ABACO® I/O BUS**. Anche schede in formato block con **ABACO® BUS** possono essere collegate, sfruttando gli appositi mother boards. A titolo di esempio ne riportiamo un elenco con una breve descrizione delle caratteristiche di massima, per maggiori informazioni, richiedere la documentazione specifica:

KDL X24 - KDF 224

Keyboard Display LCD 2,4 righe 24 tasti - Keyboard Display Fluorescent 2 righe 24 tasti
Interfaccia tra 16 I/O TTL su connettore normalizzato I/O **ABACO®** a 20 vie e tastiera a matrice esterna da 24 tasti; display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs. Predisposizione per collegamento a tastiera telefonica.

QTP 24P

Quick Terminal Panel 24 tasti con interfaccia Parallela

Interfaccia operatore provvista di display alfanumerico fluorescente 20x 2 o LCD 20x2, 20x4 retroilluminato a LEDs; tastiera a membrana da 24 tasti di cui 12 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda in grado di pilotare anche carichi esterni; interdaccia parallela basata su 16 I/O TTL di un connettore normalizzato I/O **ABACO®** a 20 vie. Tasti ed etichette personalizzabili tramite serigrafie da inserire in apposite tasche; opzione di contenitore metallico.

QTP G28

Quick Terminal Panel 28 tasti con LCD grafico

Interfaccia operatore provvista di display LCD grafico da 240x128 pixel retroilluminato con lampada a catodo freddo; tastiera a membrana da 28 tasti di cui 6 configurabili dall'utente; 16 LEDs di stato; alimentatore a bordo scheda; interdaccia seriale in RS 232, RS 422-485 o current loop; linea seriale ausiliaria in RS 232. Tasti ed etichette personalizzabili dall'utente tramite serigrafie da inserire in apposite tasche; contenitore metallico e plastico; EEPROM di set up; 256K EPROM o FLASH; Real Time Clock; 128K RAM; buzzer. Firmware di gestione che svolge funzione di terminale con primitive grafiche.

MCI 64

Memory Cards Interfaces 64 MBytes

Interfaccia per la gestione di Memory cards PCMCIA a 68 pins tramite un connettore normalizzato I/O **ABACO®**; sono disponibili driver per linguaggi ad alto livello.

IBC 01

Interface Block Communication

Scheda di conversioni per comunicazioni seriali. 2 linee RS 232; 1 linea RS 422-485; 1 linea in fibra ottica; interfaccia DTE/DCE selezionabile; attacco rapido per guide tipo DIN 46277-1 e 3.

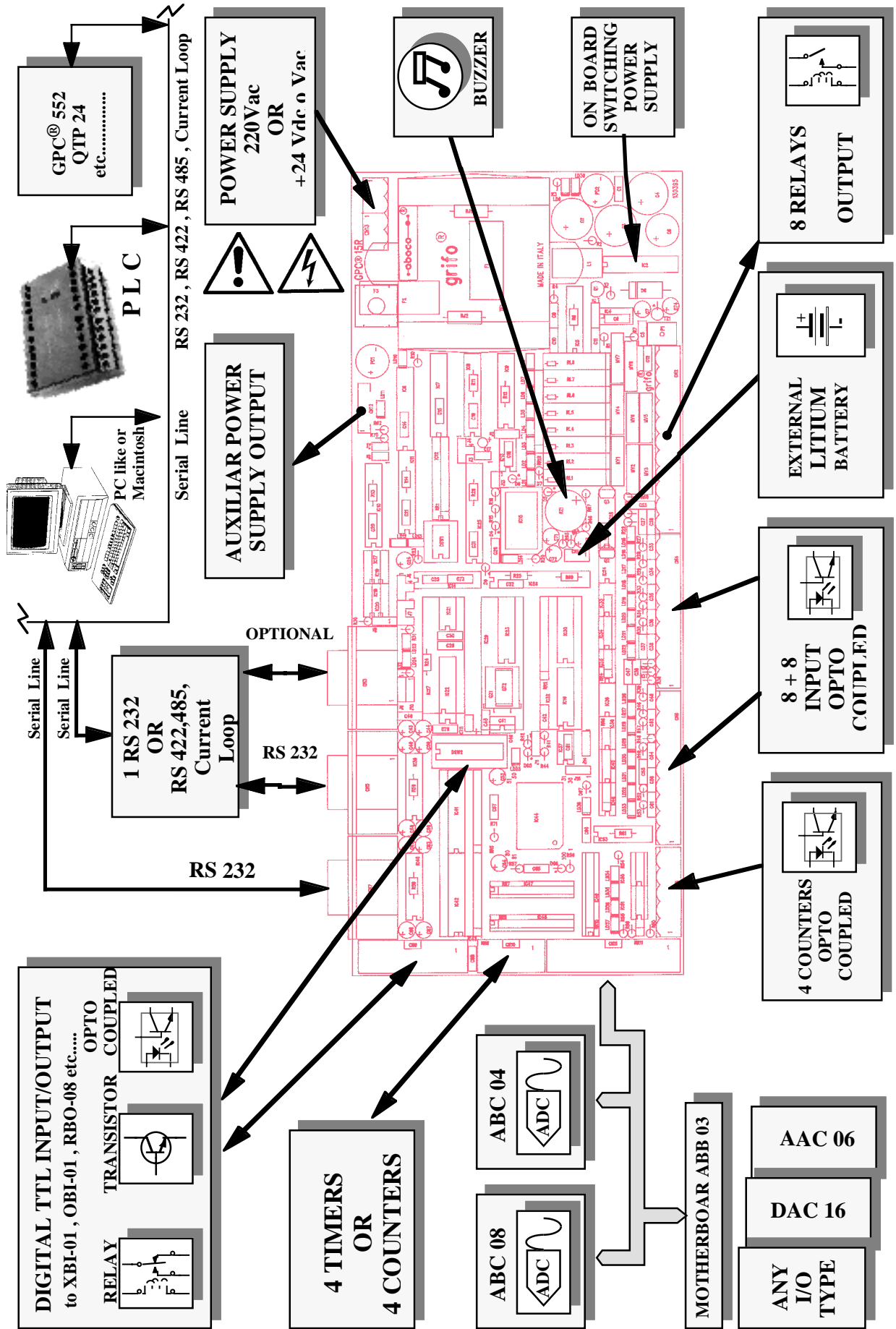


FIGURA 48: SCHEMA DELLE POSSIBILI CONNESSIONI

OBI N8 - OBI P8

Opto BLOCK Input NPN-PNP

Interfaccia per 8 input optoisolati e visualizzati tipo NPN, PNP, connettore a morsettiera, connettore normalizzato I/O **ABACO**[®] a 20 vie; sezione alimentatrice; attacco rapido per guide DIN 46277-1 e 3.

TBO 01 - TBO 08

Transistor BLOCK Output

Interfaccia per 16 connettore normalizzato I/O **ABACO**[®] a 20 vie; 16 o 8 output a transistor in Open Collector da 45 Vcc 3 A su connettore a morsettiera. Uscite optoisolate e visualizzate; attacco rapido per guide DIN 6277-1 e 3.

RBO 08 - RBO 16

Relé BLOCK Output

Interfaccia per connettore normalizzato I/O **ABACO**[®] a 20 vie; 8 o 16 output visualizzati con relé da 3 A con MOV; connettore a morsettiera; attacco rapido per guide DIN 46277-1 e 3.

FBC 20 - FBC 120

Flat Block Contact 20 vie

Interfaccia tra 2 o 1 connettori a perforazione di isolante (scatolino da 20 vie maschi) e la filatura da campo (morsettiere a rapida estrazione). Attacco rapido per guide tipo DIN 46277-1 e 3.

DEB 01

Didactis Experimental Board

Scheda di supporto per l'utilizzo di 16 linee di I/O TTL. Comprende: 16 tasti; 16 LED; 4 digits; tastiera a matrice da 16 tasti; interfaccia per stampante Centronics, display LCD, display Fluorescente, connettore I/O **GPC**[®] **68**; collegamento con il campo.

XBI 01

miXed BLOCK Input-Output

Interfaccia tra 8 input + 8 output TTL (connettore normalizzato I/O **ABACO**[®] a 20 vie), con 8 output a transistor in Open Collector da 45 Vcc 3 A + 8 input con filtro a Pi-Greco (connettore a morsettiera). I/O optoisolati e visualizzati; attacco rapido per guide DIN 46277-1 e 3.

XBI R4 - XBI T4

miXed BLOCK Input-Output

Interfaccia per connettore normalizzato I/O **ABACO**[®] a 20 vie; 4 relé da 3 A con MOV o 4 transistor open collectors da 3 A optoisolati; 4 linee di input optoisolate; linee di I/O visualizzate; connettore a morsettiera; attacco rapido per guide DIN tipo C e guide Ω .

ZBT xxx

Zipped BLOCK Transistors xx Input + xx Output

Periferica per xy Input optoisolati e visualizzati tipo NPN; yz darlington da 3A con diodo di ricircolo; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO**[®] I/O BUS; 61 LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapido per guide Ω . Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

ABB 05**Abaco® Block BUS 5 slots**

Mother board **ABACO®** da 5 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS; sezione alimentatrice per +5 Vdc; sezione alimentatrice per +V Opto; sezioni alimentatrici galvanicamente isolate; tre tipi di alimentazione: da rete, bassa tensione o stabilizzata. Attacco rapido per guide Ω .

ABB 03**Abaco® Block BUS 3 slots**

Mother board **ABACO®** da 3 slots; passo 4 TE; guidaschede; connettori normalizzati di alimentazione; tasto di reset; LEDs per alimentazioni; interfaccia **ABACO®** I/O BUS. Attacco rapido per guide Ω .

ABC 04 - ABC 08**Analog BLOCK Converter - 4 or 8 lines**

Modulo BLOCK per **ABACO®** I/O BUS; 4 o 8 linee di ingresso analogico (tensione o corrente); Valori tensioni di ingresso: 0÷2.5 Vdc o 0÷5 Vdc; Valori correnti di ingresso: 0÷20 mA; 8, 11 o 10 bits di risoluzione A/D; tempo di conversione 5 ms o 100 μ s; LEDs di stato; Connessioni per DIN 46277-1 e 3.

ZBR xxx**Zipped BLOCK Relays xx Input + xx Output**

Periferica per xx Input optoisolati e visualizzati tipo NPN; xx relé da 3A con MOV; connettori a morsettiera per ingressi optoisolati e uscite; connettore normalizzato **ABACO®** I/O BUS; LEDs di visualizzazione; sezione alimentatrice a bordo; attacco rapido per guide Ω . Le possibili configurazioni in termini di numero di I/O sono: xxx=324 con 32 In e 24 Out; xxx=246 con 24 In e 16 Out; xxx=168 con 16 In e 8 Out; xxx=84 con 8 In e 4 Out.

BIBLIOGRAFIA

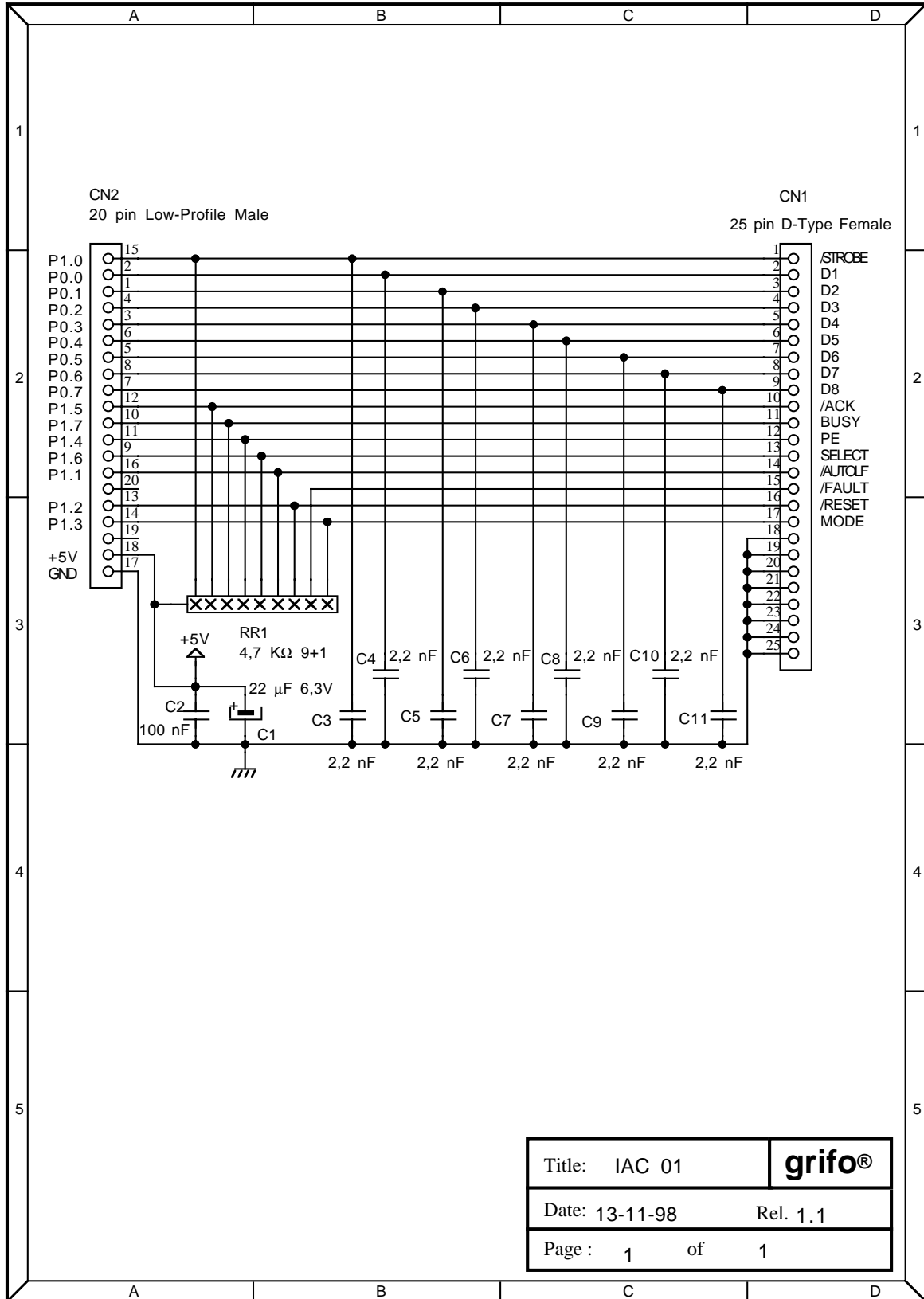
E' riportato di seguito, un elenco di manuali e note tecniche, a cui l'utente può fare riferimento per avere maggiori chiarimenti, sui vari componenti montati a bordo della scheda **GPC® 15R**.

Manuale TEXAS INSTRUMENTS:	<i>The TTL Data Book - SN54/74 Families</i>
Manuale TEXAS INSTRUMENTS:	<i>RS-422 and RS-485 Interface Circuits</i>
Manuale TEXAS INSTRUMENTS:	<i>Linear Circuits Data Book - Volume 1 and 3</i>
Data Book SGS-THOMSON:	<i>MEMORIES - Data Book</i>
Data Book SGS-THOMSON:	<i>INDUSTRY STANDARD LINEAR ICs - Data Book</i>
Manuale SGS-THOMSON:	<i>Motion Control Application Manual</i>
Manuale NEC:	<i>Microprocessors and Peripherals - Volume 3</i>
Manuale NEC:	<i>Memory Products</i>
TOSHIBA Manual:	<i>Photo Couplers - Data Book</i>
Manuale AMD	<i>Flash Memory Products</i>
Manuale MAXIM:	<i>New Releases Data Book - Volume IV</i>
Manuale MAXIM:	<i>New Releases Data Book - Volume V</i>
Manuale XICOR:	<i>Data Book</i>
Manuale ZILOG:	<i>Z80 Microprocessor Family User's Manual</i>

Per avere tutti gli aggiornamenti di tali manuali e di tutti i data-sheet fare riferimento anche ai siti INTERNET delle case madri costruttrici.

APPENDICE A: SCHEMI ELETTRICI

In questa appendice sono disponibili gli schemi elettrici delle interfacce per la GPC® 15A più frequentemente utilizzate. Tutte queste interfacce possono essere prodotte autonomamente dall'utente mentre solo alcune di esse sono schede grifo® standard e possono quindi essere ordinate.



Title: IAC 01	grifo®
Date: 13-11-98	Rel. 1.1
Page : 1	of 1

FIGURA A1: SCHEMA ELETTRICO IAC 01



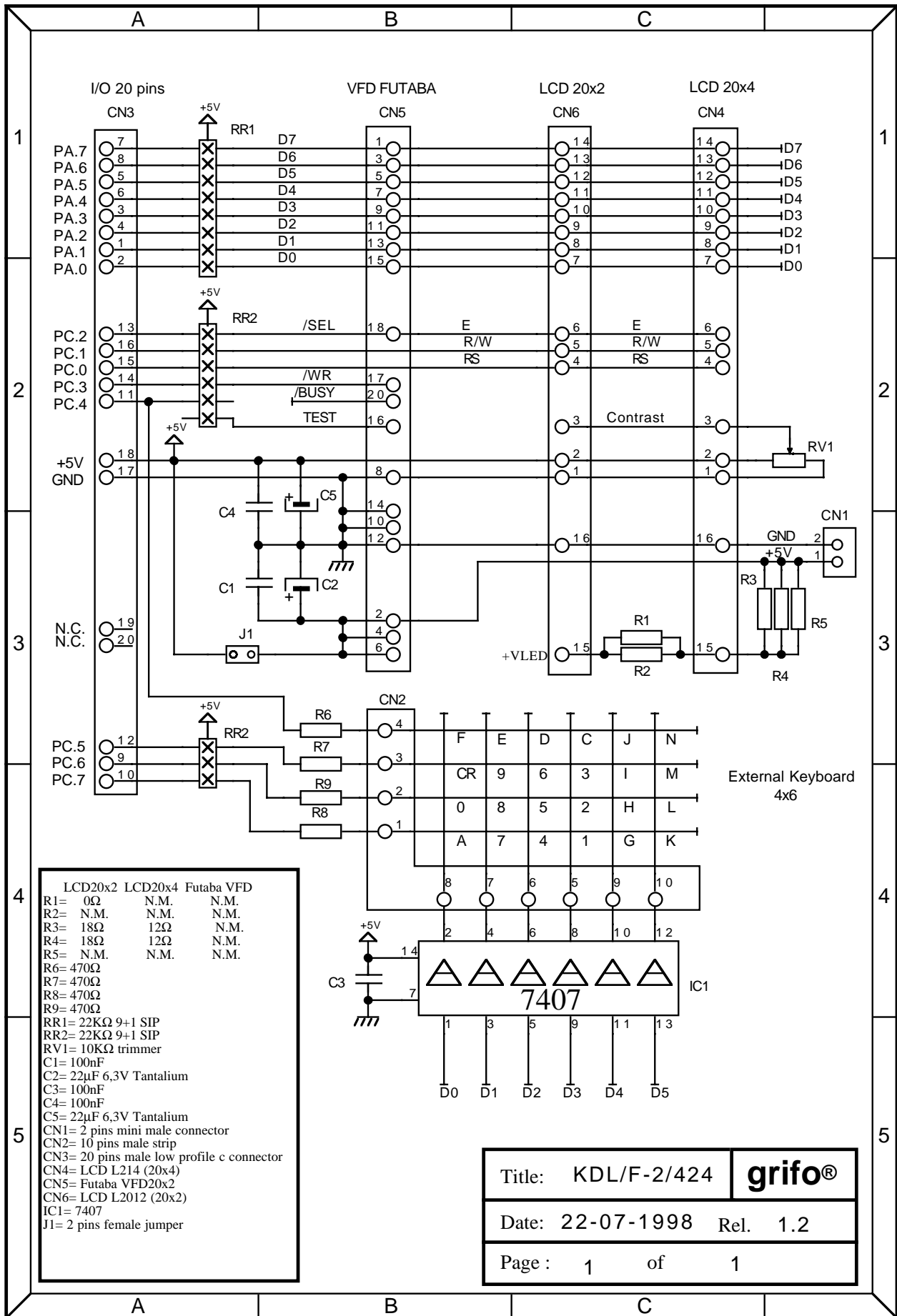
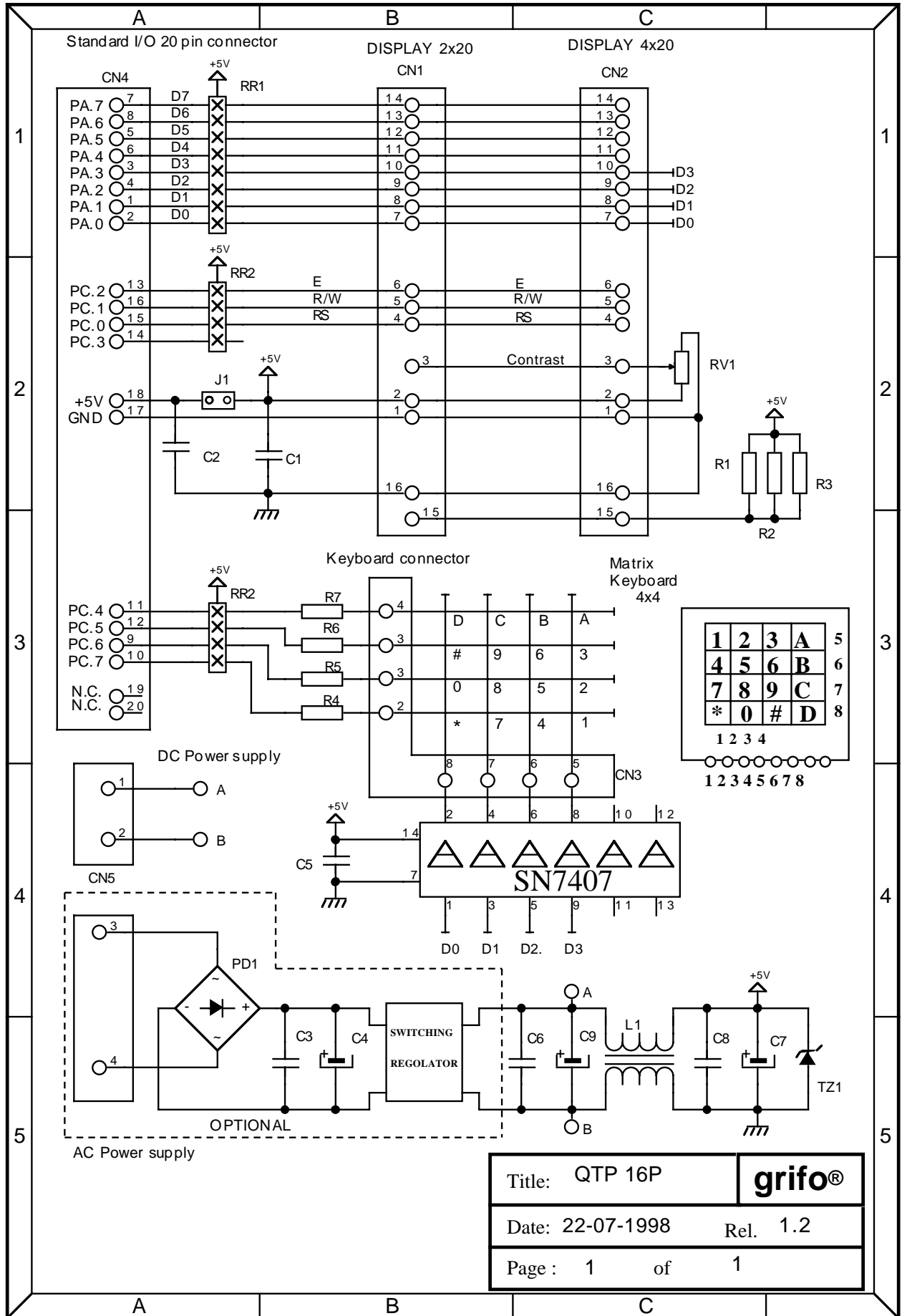


FIGURA A2: SCHEMA ELETTRICO KDX x24





Title: QTP 16P	grifo®
Date: 22-07-1998	Rel. 1.2
Page : 1	of 1

FIGURA A3: SCHEMA ELETTRICO QTP 16P

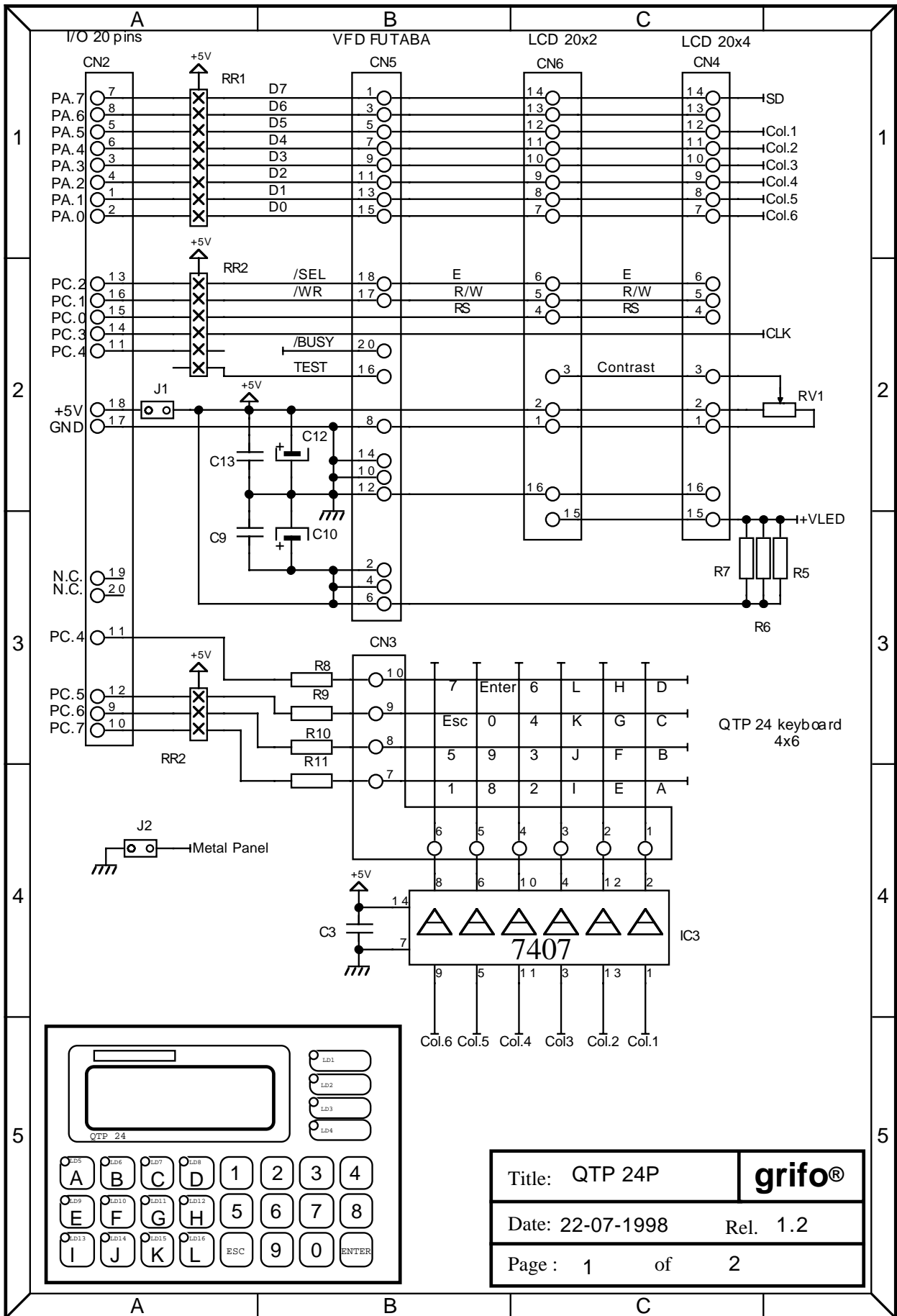
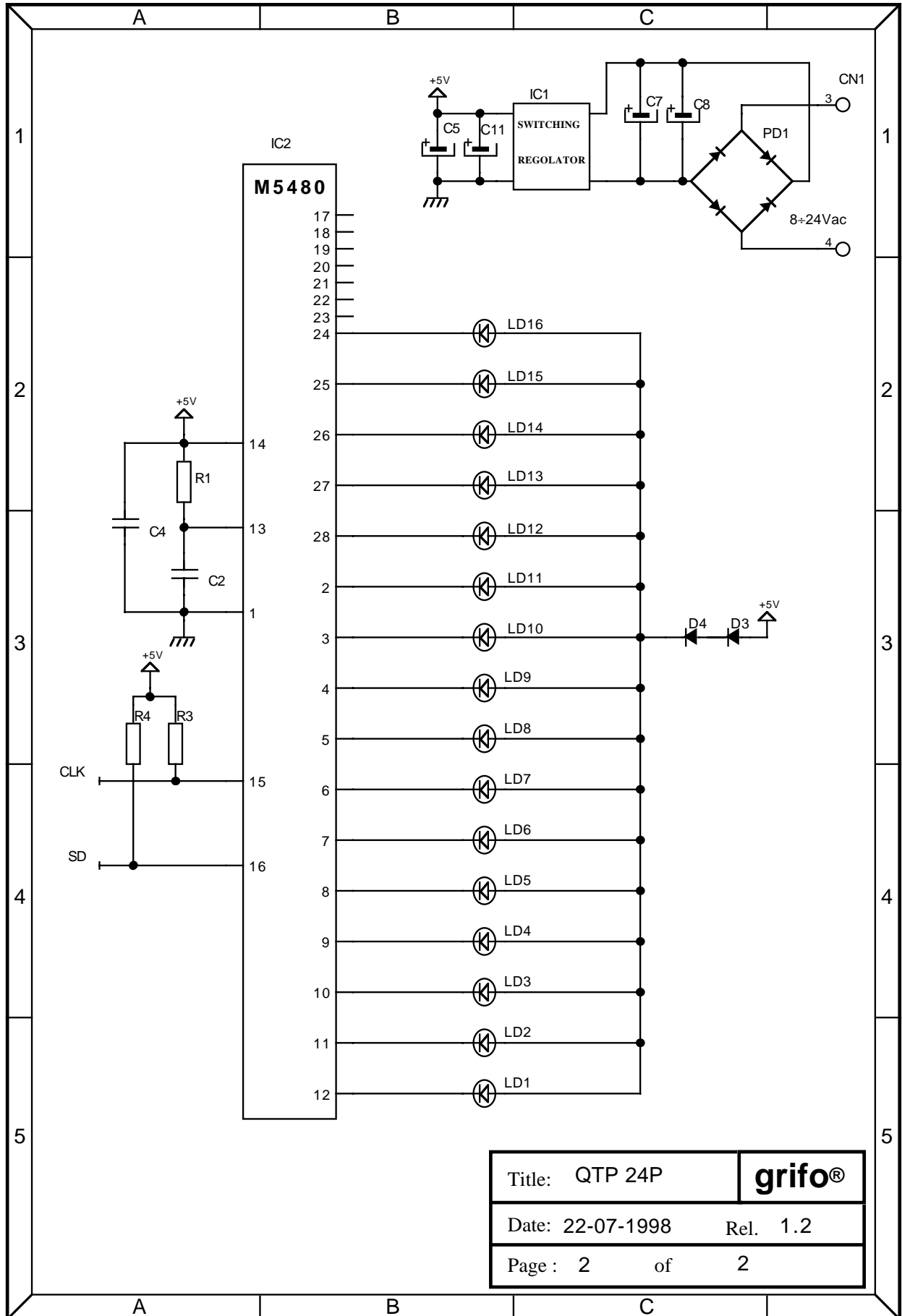


FIGURA A4: SCHEMA ELETTRICO QTP 24P - PARTE 1



Title: QTP 24P	grifo®
Date: 22-07-1998	Rel. 1.2
Page : 2	of 2

FIGURA A5: SCHEMA ELETTRICO QTP 24P - PARTE 2

APPENDICE B: DESCRIZIONE COMPONENTI DI BORDO

CPU Z84C15

PRODUCT SPECIFICATION

Z84013/015

Z84C13/Z84C15

IPC INTELLIGENT PERIPHERAL CONTROLLER

FEATURES

- Z84C00 Z80 CPU with Z84C30 CTC, Z84C4X SIO, CGC, Watch Dog Timer(WDT). In addition, Z84C15 and Z84015 have Z84C20 PIO.
 - Built-in Watch Dog Timer (WDT).
 - Noise filter to CLK/TRG inputs of the CTC.
 - 84-pin PLCC package.
- High speed operation 6, 10 MHz
- 16 MHz operation for Z84C15 only.
- Low power consumption in four operation modes:
 - 41 mA Typ. (Run mode)
 - 6 mA Typ. (Idle1 mode)
 - 60 µA Typ. (Idle2 mode)
 - 0.5 µA Typ. (Stop mode)
- Wide operational voltage range (5V ± 10%).
- TTL/CMOS compatible.
- Z84013 features:
 - Z84C00 Z80 CPU
 - On-chip two channel SIO (Z80 SIO).
 - On-chip four channel Counter Timer Controller (Z80 CTC).
 - Built-in Clock Generator Controller (CGC).
- Z84015 features:
 - All Z84013 features, plus on-chip two 8-bit ports (Z80 PIO) and 100-pin QFP package.
- Z84C13/Z84C15 enhancements to Z84013/Z84015:
 - Power-on reset.
 - Addition of two chip select pins.
 - 32-bit CRC for Channel A of SIO.
 - Wait state generator.
 - Simplified EV mode selection.
 - Schmitt-trigger inputs to transmit and receive clocks of the SIO.
 - Crystal divide-by-one mode.
 - 100-pin VQFP (Z84C15 only)

2

GENERAL DESCRIPTION

The Intelligent Peripheral Controller (IPC) is a series of highly superintegrated devices with four versions. The Z84C13 and the Z84C15 are upward compatible versions of the Z84013 and the Z84015. The Z84015 is a CMOS 8-bit microprocessor integrated with the CTC, SIO, CGC, WDT and the PIO into a single 100-pin Quad Flat Pack (QFP) package. The Z84013 is the Z84015 without PIO, and is housed in a 84-pin PLCC package. The Z84C13 is the Z84013 with enhancements and the Z84C15 is the Z84015 with enhancements. These high-end superintegrated intelligent peripheral controllers are targeted for a broad

range of applications ranging from error correcting modems to enhancement/cost reductions of existing hardware using Z80-based discrete peripherals. Figures 1 and 2 show the difference between the Z84013/015 and the Z84C13/Z84C15.

Hereinafter, use the word IPC on the description covering all versions (Z84C13/Z84C15 and Z84013/Z84015). Use Z84C13/C15 on the description that applies only to the Z84C13 and Z84C15, and use Z84013/015 on the description that applies only to the Z84013 and Z84015.

2-69



CPU SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
A0-A15	16-1(x13), 6-1, 100-91(x15)	I/O	16-bit address bus. Specifies I/O and memory addresses to be accessed. During the refresh period, addresses for refreshing are output. The bus is an input when the external master is accessing the on-chip peripherals.
D0-D7	83-76(x13), 89-82(x15)	I/O	8-bit bidirectional data bus. When the on-chip CPU is accessing on-chip peripherals, these lines are set to output and hold the data to/from on-chip peripherals.
/RD	30(x13), 14(x15)	I/O	Read signal. CPU read signal for accepting data from memory or I/O devices. When an external master is accessing the on-chip peripherals, it is an input signal.
/WR	20(x13), 13(x15)	I/O	Write Signal. This signal is output when data, to be stored in a specified memory or peripheral LSI, is on the MPU data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/MREQ	23(x13), 17(x15)	I/O, 3-State	Memory request signal. When an effective address for memory access is on the address bus, "0" is output. When an external master is accessing the on-chip peripherals, it is a tri-state signal.
/IORQ	21(x13), 15(x15)	I/O	I/O request signal. When addresses for I/O are on the lower 8 bits (A7-A0) of the address bus in the I/O operation, "0" is output. In addition, the /IORQ signal is output with the /M1 signal at the time of interrupt acknowledge cycle to inform peripheral LSI of the state of the interrupt response vector is when put on the data bus. When an external master is accessing the on-chip peripherals, it is an input signal.
/M1	17(x13), 8(x15)	I/O	Machine cycle "1". /MREQ and "0" are output together in the operation code fetch cycle. /M1 is output for every opcode fetch when a two byte opcode is executed. In the maskable interrupt acknowledge cycle, this signal is output together with /IORQ. It is 3-stated in EV mode.

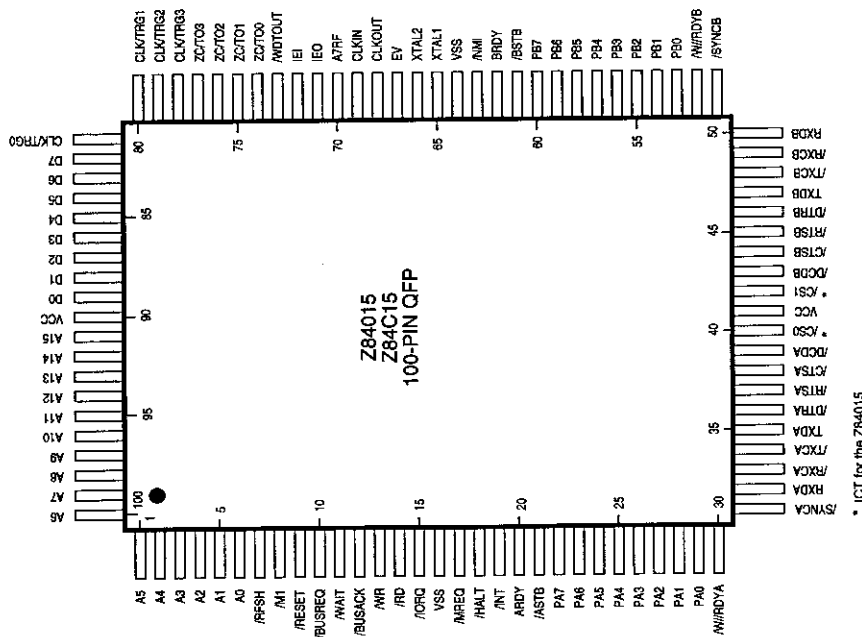


Figure 4. Z84015/Z84C15 Pin-out Assignments

* ICT for the Z84015

PIN DEFINITIONS

The pin assignment for each device is shown in Figures 3 and 4. Following is the description on each pin. For the Z84013 and Z84C13, C15 for Z84C15, 013 for Z84013 and 015 for Z84015.



CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
A7RF	55(x13), 70(x15)	Out	1-bit auxiliary address bus. Output is the same as bit-7 (A7) of the address bus. However, during a refresh cycle, this pin outputs the address which is the most significant bit of the 8-bit refresh address signal linked to the low order 7 bits of the address bus.

CTC SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
CLK/TRG0 - CLK/TRG3	75-72(x13), 81-78(x15)	In	External clock/trigger input. These four CLK/TRG pins correspond to four Counter/Timer Channels. In the counter mode, each active edge will cause the downcounter to decrement by one. In timer mode, an active edge will start the timer. It is program selectable whether the active edge is rising or falling.
ZC/T00 - ZC/T03	68-71(x13), 74-77(x15)	Out	Zero count/timer out signal. In either timer or counter mode, pulses are output when the down-counter has reached zero.

SIO SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
/M/RDYA, /M/RDYB	32,54(x13), 30,52(x15)	Out	Wait/Ready signal A and Wait/Ready signal B. Used as /WAIT or /READY depending upon SIO programming. When programmed as /WAIT they go active at "0", alerting the CPU that addressed memory or I/O devices are not ready by requesting the CPU to wait. When programmed as /READY, they are active at "0" which determines when a peripheral device associated with a DMA port is for read/write data.
/SYNCA, /SYNCB	33,53(x13), 31,51(x15)	I/O	Synchronous signals. In asynchronous receive mode, they act as /CTS and /CDC. In external sync mode, these signals act as inputs. In internal sync mode, they act as outputs.
RxDA, RxDDB	34,52(x13), 32,50(x15)	In	Serial receive data signal.

CPU SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RFSH	26(x13), 7(x15)	Out, 3-State	The refresh signal. When the dynamic memory refresh address is on the low order byte of the address bus, /RFSH is active along with /MREQ signal. This pin is 3-stated in EV mode.
/INT	25(x13), 19(x15)	Open drain	Maskable interrupt request signal. Interrupt is generated by peripheral LSI. This signal is accepted if the interrupt enable Flip-Flop (IFF) is set to "1". The /INT signal of on-chip peripherals is internally wired - OR without pull-up resistors and requires external pull-up. Also, interrupts from on-chip peripherals go out from this pin.
/NMI	56(x13), 63(x15)	In	Non-maskable interrupt request signal. This interrupt request has a higher priority than the maskable interrupt request and does not rely upon the state of the interrupt enable Flip-Flop (IFF).
/HALT	31(x13), 81(x15)	Out, 3-State	Halt signal. Indicates that the CPU has executed a HALT instruction. This signal is 3-stated in EV mode.
/BUSREQ	18(x13), 10(x15)	In	BUS request signal. /BUSREQ requests placement of the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals into the high impedance state. /BUSREQ is normally wired-OR and a pull-up resistor is externally connected.
/BUSACK	29(x13), 12(x15)	Out (013/015), Out/3-State (C13/C15)	Bus Acknowledge signal. In response to /BUSREQ signal, /BUSACK informs a peripheral LSI that the address bus, data bus, /MREQ, /IORQ, /RD and /WR signals have been placed in the high impedance state.

Note: For the Z84C13/C15 the /BUSACK signal will not be 3-stated during EV mode. For the Z84C13/C15 the /BUSACK will be 3-stated during EV mode.

/WAIT 19(x13), 11(x15) In(013/015), I/O(C13/C15) Wait signal. /WAIT informs the CPU that specified memory or peripheral is not ready for data transfer. As long as /WAIT signal is active, MPU is continuously kept in the wait state.

Note: For the Z84C13/C15, the /WAIT pin becomes an output to bring out on-chip wait state generator during the EV mode.



2

SYSTEM CONTROL SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/CS1 (C13/C15 only)	40(x13), 42(x15)	Out	Chip Select 1. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.
/MDTOUT	61(x13), 73(x15)	Out(013/015), Open Drain(C13/C15)	Watch Dog Timer Output signal. Output pulse width depends on the externally connected pin.
/RESET	28(x13), 9(x15)	Input(013/015), I/O (Open Drain) (C13/C15)	Reset signal. /RESET signal is used for initializing MPU and other devices in the system. Also used to return from the steady state in the STOP or IDLE modes.

Note: For the Z84013/Z84015 the /RESET must be kept in active state for a period of at least three system clock cycles.

Note: For the Z84C13/Z84C15, during the power-up sequence, the /RESET becomes an Open drain output and the Z84C13/C15 will drive this pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V and then reverts to input. If it receives the /RESET signal after power-on sequence, it will drive /RESET pin for 16-processor clock cycles depending on the status of Reset Output Disable bit in Misc. Control Register. If this Reset output is disabled, it must be kept in active state for a period of at least three system clock cycles. Note that if using Z84C13/C15 in a Z84013/015 socket, modification may be required on the reset circuit since this pin is "pure input pin" on the Z84013/015. Also, the /RESET pin doesn't have internal pull-up resistors and therefore requires external pull-ups. For more details on the device, please refer to "Functional Description."

XTAL1	63(x13), 65(x15)	In	Crystal oscillator connecting terminal. A parallel resonant crystal is recommended. If external clock source is used as an input to the CGC unit, supply clock goes into this terminal. If external clock is supply to CLKIN pin (without CGC unit), this terminal must be connected to "0" or "1".
XTAL2	63(x13), 66(x15)	Out	Crystal oscillator connecting terminal.
CLKIN	67(x13), 69(x15)	In	Single-phase System Clock Input.
CLKOUT	66(x13), 68(x15)	Out	Single-phase clock output from on-chip Clock Generator/Controller.
EV	58(x13), 67(x15)	In	Evaluator signal. When "1" is applied to this pin, IPC is put in Evaluation mode.

Note: For the Z84013/015, together with /BUSREQ, the EV signal puts the IPC into the evaluation mode. When this signal becomes active, the status of /M1, /HALT and /RFSH change to input. When using Z84013/015 as an evaluator chip, the CPU is electrically disconnected after one machine cycle is executed with the EV signal "1" and the /BUSREQ signal "0". It follows the instructions from the other CPU (of ICE). Upon receiving /BUSREQ, A15-A0, /MREQ, /PCRD, /I/O and /MR are changed to input and D7-D0 changes its direction. /BUSACK is NOT 3-stated so it should be disconnected by an externally connected circuit. For details, please refer to "Functional Description" on EV mode.

2-77

SIO SIGNALS (Continued)

Pin Name	Pin Number	Input/Output, 3-State	Function
/RxCB, /RxCB	35,51(x13), 33,49(x15)	In	Receive clock signal. In the asynchronous mode, the receive clocks can be 1, 16, 32, or 64 times the data transfer rate.
/TxCB, /TxCB	36,50(x13), 34,48(x15)	In	Transmitter clock signal. In the asynchronous mode, the transmitter clocks can be 1, 16, 32, or 64 times the data transfer rate.
TxDB, /TDB	37,48(x13), 35,47(x15)	Out	Serial transmit data signal.
/DTRB, /DTRB	38,48(x13), 36,46(x15)	Out	Data terminal ready signal. When ready, these signals go active to enable the terminal transmitter. When not ready they go inactive to disable the transfer from the terminal.
/RTSA, /RTSB	39,47(x13), 37,45(x15)	Out	Request to send signal. "0" when transmitting serial data. They are active when enabling their receivers to transmit data.
/CTSA, /CTSB	40,46(x13), 38,44(x15)	In	Clear to send signal. When "0", after transmitting these signals the modem is ready to receive serial data. When ready, these signals go active to enable terminal transmitter. When not ready, these signals go inactive to disable transfer from the terminal.
/DODA, /DODB	41,45(x13), 39,43(x15)	In	Data carrier detect signal. When "0", serial data can be received. These signals are active to enable receivers to transmit.

SYSTEM CONTROL SIGNALS

Pin Name	Pin Number	Input/Output, 3-State	Function
IEI	60(x13), 72(x15)	In	Interrupt enable input signal. IEI is used with the IEO to form a priority daisy chain when there is more than one interrupt-driven peripheral.
IEO	59(x13), 71(x15)	Out	The interrupt enable output signal. In the daisy chain interrupt control, IEO controls the interrupt of external peripherals. IEO is active when IEI is "1" and the CPU is not servicing an interrupt from the on-chip peripherals.
/CS0 (C13/C15 only)	42(C13), 40(C15)	Out	Chip Select 0. Used to access external memory or I/O devices. This pin has been assigned to "ICT" pin on Z84013/015. This signal is decoded only from A15-A12 without control signals. Refer to "Functional Description" on-chip select signals for further explanation.

2-76



The following pins have different functions between 013/015 and C13/C15

Pin Name	Pin # X13	Pin # X15	Function
/RESET	28	9	Functionality is different.
/WAIT	19	15	Functionality is different.
EV	58	67	Functionality is different.
/WDTOUT	61	73	Push-pull output on Z84013/015, Open drain on Z84 C13/C15
ICT	40, 42	42, 40	(Test pin) on Z84013/015; /CS0 and /CS1 on Z84C13/15.
TXCA, TXCB,	35, 36, 50, 51	33, 34, 48, 49	On Z84C13/15; these signals have Schmitt-triggered inputs.
RXCA and RXCB			
/BUSACK	29	12	In EV mode, 3-stated on Z84C13/15; remains active on Z84013/015.

FUNCTIONAL DESCRIPTION

Figure 5(a) shows the functional block diagram of the Z84013/015 and Figure 5(b) shows the functional block diagram of the Z84C13/C15. As described earlier, the only difference between the Z84x13 and the Z84x15 is the PIO not being available on the Z84x13.

Functionally, the on-chip SIO, PIO (not available on Z84x13), CTC, and the Z80 CPU are the same as the discrete devices. Therefore, for detailed description of each individual unit, refer to the Product Specification/Technical Manual of each discrete product.

The following subsections describe each individual functional unit of the IPC.

Z84C00/01 Logic Unit

The CPU provides all the capabilities and pins of the Z80 CPU. This allows 100% software compatibility with existing Z80 software. In addition, it has the pin called "A7RF" to extend DRAM refresh address to 8-bits. Refer to "Z84C01 Z80 CPU with CGC" Product Specification.

Z84C20 Parallel Input/Output Logic Unit (Z84x15 Only)

This logic unit provides both TTL- and CMOS-compatible interfaces between peripheral devices and a CPU through the use of two 8-bit parallel ports (Figure 6). The CPU configures the logic to interface to a wide range of peripheral devices with no external logic. Typical devices that are compatible with this interface are keyboards, printers, and EPROM/PAL programmers.

The parallel ports (designated Port A and Port B) are byte wide and completely compatible with the Z84C20 PIO.

These two ports have several modes of operation: input, output, bi-directional, or bit control mode. Each port has two handshake signals (RDY and /STB) which are used to control data transfers. The RDY (ready) indicates that the port is ready for data transfer while /STB (strobe) is an input to the port that indicates when data transfer has occurred. Each of the ports can be programmed to interrupt the CPU upon the occurrence of specified status conditions, and generate unique interrupt vectors when the CPU responds (for more information on the operation of this portion of the logic, please refer to the Z84C20 PIO Product Specification and Technical Manual).

Z84C30 Counter/Timer Logic Unit

This logic unit provides the user with four individual 8-bit Counter/Timer Channels that are compatible with the Z84C30 CTC (Figure 7). The Counter/Timers can be programmed by the CPU for a broad range of counting and timing applications. Typical applications include event counting, interrupt and interval counting, and serial baud rate clock generation.

Each of the Counter/Timer Channels, designated Channels 0-3, have an 8-bit prescaler (when used in timer mode) and its own 8-bit counter to provide a wide range of count resolution. Each of the channels have their own Clock/Trigger input to quantify the counting process and an output to indicate zero crossing/timeout conditions. With only one interrupt vector programmed into the logic unit, each channel can generate a unique interrupt vector in response to the interrupt acknowledge cycle.

SYSTEM CONTROL SIGNALS (Continued)

Note: For the Z84C13/C15, to access on-chip resources from the CPU (e.g., ICE CPU), the CPU is electrically disconnected; A15-A0, /MREQ, /IORQ, /RD and /WR are changed to input, DT-D0 changes its direction; /M1, /H/ALT and /FRESH are put into the high impedance state when the EV pin is set to "1". Also, /BUSACK is 3-stated. For details, please refer to "Functional Description" on EV mode.

Pin Name	Pin Number	Input/Output, 3-State	Function
ICT	42,44(013), 40,42(015), Not with C13/C15	Out	Test pins. Used in the open state.
NC	24,27,57,65(x13), Not with x15		Not connected.
VCC	43,84(x13), 41,90(x15)	Power Supply	+5 Volts
VSS	22, 62(x13), 16,64(x15)	Power Supply	0 Volts

PIO SIGNALS (for the Z84x15 only)

Pin Name	Pin Number	Input/Output, 3-State	Function
/ASTB	21(x15)	In	Port A strobe pulse from a peripheral device. The signal is used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
/BSTB	61(x15)	In	Port B strobe pulse from a peripheral device. This signal is used as the handshake between Port B and external circuits. The meaning of this signal is the same as /ASTB, except when Port A is in mode 2 (see "PIO Basic Timing").
ARDY	20(x15)	Out	Register A ready signal. Used as the handshake between Port A and external circuits. The meaning of this signal depends on the mode of operation selected for Port A (see "PIO Basic Timing").
BRDY	62(x15)	Out	Register B ready signal. Used as the handshake between Port B and external circuits. The meaning of this signal is the same as ARDY except when Port A is in mode 2 (see "PIO Basic Timing").
PA7-PA0	22-29(x15)	I/O, 3-State	Port A data signals. Used for data transfer between Port A and external circuits.
PB7-PB0	53-60(x15)	I/O, 3-State	Port B data signals. Used for transfer between Port B and external circuits.



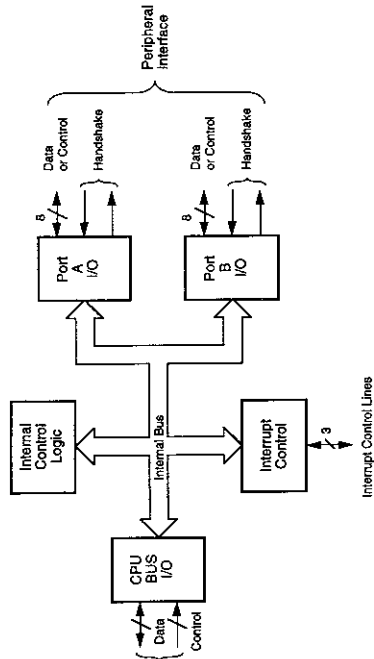


Figure 6. PIO Block Diagram

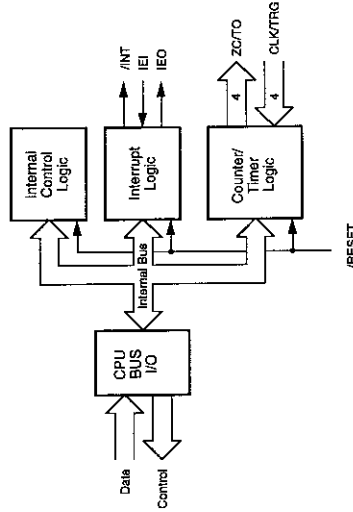


Figure 7. CTC Block Diagram

Z84C4x Serial I/O Logic Unit

This logic unit provides the user with two separate multi-protocol serial I/O channels that are completely compatible with the Z84C4xSIO. Their basic functions as serial-to-parallel and parallel-to-serial converters can be programmed by a CPU for a broad range of serial communications applications. Each channel, designated Channel A and Channel B, is capable of supporting all common asynchronous and synchronous protocols (Monosync, Bsync, and SDLCH/DLC, byte or bit oriented - Figure 8). Z84C13C15 Only. As an enhancement to the Z84013/015, the Z84C13C15 can handle a 32-bit CRC on Channel A and Schmitt-trigger inputs on the /TXC and /RXC pins of both channels.

2

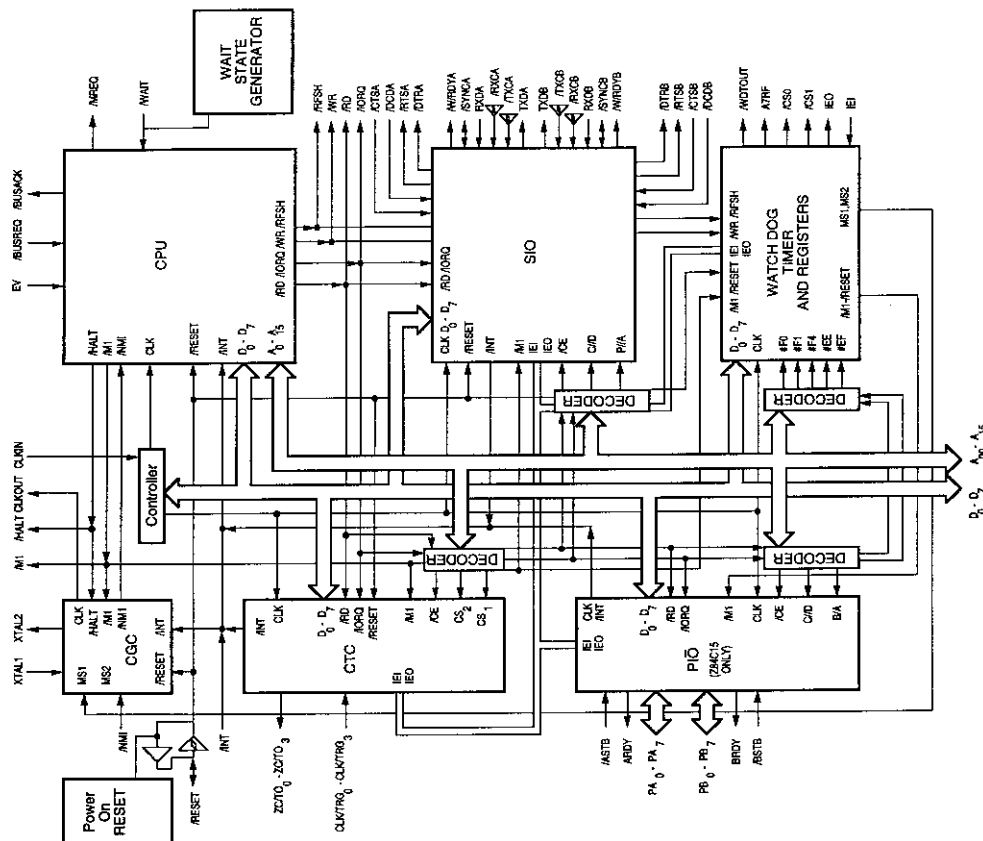


Figure 5(b). Block Diagram for 84C13C15 IPC



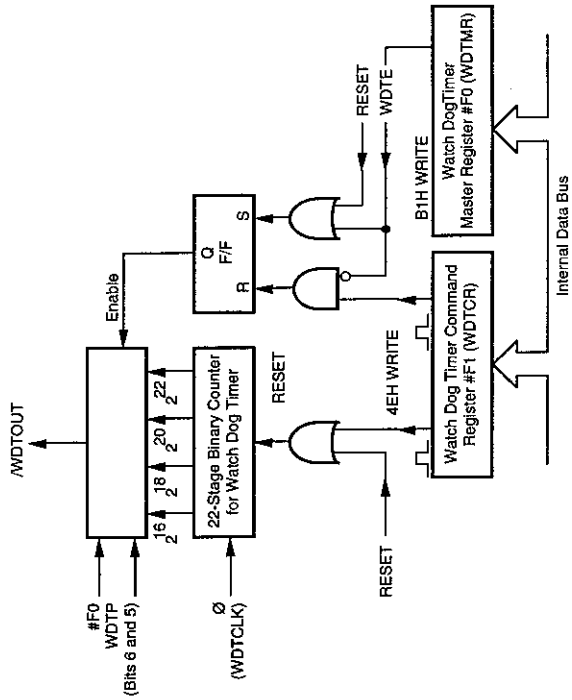


Figure 9. Block Diagram of Watch Dog Timer

Z84013/015 Only, if the system clock is provided on the CLKIN pin, none of the power-down mode (except RUN mode) is supported.

Z84C13/C15 Only. If the system clock is provided on the CLKIN pin, only the IDLE2 mode is applicable. In this mode, if the HALT instruction is executed, internal clock to the GTC is kept on "Continue", but the clock to the other components (CPU, PIO, SIO and Watch Dog Timer) are stopped. The divide-by-two circuit of the CGC unit can be skipped by programming bit D4 of the WDTMR (see "Programming" section). Upon Power-on Reset, it comes up in divide by two mode.

System Clock Generation

The IPC has a built-in oscillator circuit and the required clock can be easily generated by connecting a crystal to the external terminals (XTAL1, XTAL2). Clock output is the same frequency as half the speed of the crystal frequency. Example of oscillator connections are shown in Figure 10.

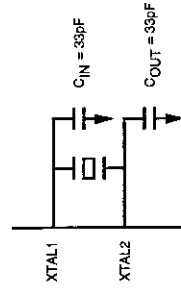


Figure 10. Circuit Configuration For Crystal

2

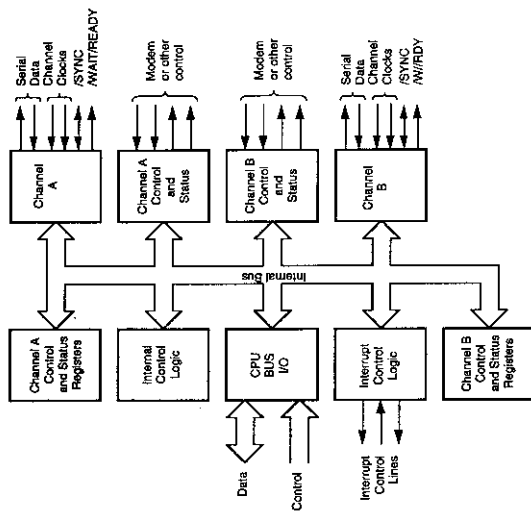


Figure 8. SIO Block Diagram

Watch Dog Timer (WDT) Logic Unit

This logic unit has been superintegrated into the IPC. It detects an operation error, caused by the program runaway, and returns to normal operation. Figure 9 shows the block diagram of the WDT. Upon Power-On Reset, this unit is enabled. If WDT is not required, but /WDTOUT is connected to /RESET or any other circuit, it has to be disabled. During the power-down mode of operation (either IDLE1/2 or Stop), the Watch Dog Timer is halted.

WDTOUT Output (/WDTOUT pin). When the WDT is used, the "0" level signal is output from the /WDTOUT pin after a duration of time specified in the WDT or in the WDTMR. The output pulse width is one of the following, depending on the /WDTOUT pin connection.

- The /WDTOUT is connected to the /RESET pin: The "0" level is pulsed for 5T_{CC} (System clock cycles).
- The /WDTOUT is connected to a pin other than the /RESET pin: The "0" level is kept until the Watch Dog timer is cleared by software, or reset by /RESET pin.

CGC Logic Unit. The IPC has CGC (Clock Generator/Controller) unit.

This unit is identical to the one with the Z84C01 and the Z84C50, and supports power-down modes of operation. The output from this unit is on the pin called CLKOUT, and is not connected to the system clock internally. The CLKIN pin is the system clock input. The user can connect CLKOUT to CLKIN to utilize this CGC unit, or supply external clock from CLKIN pin.

The CGC unit allows crystal input (XTAL1, XTAL2) or External Clock input on the XTAL1 pin. It has clock divide-by-two circuits and generates a half-speed clock to the input.

Z84C13/C15. The power-down modes of the IPC vary depending upon whether the system clock is fed from the CGC unit (via CLKOUT to CLKIN) or the external clock source on the CLKIN pin. They also have divide-by-one mode. If the clock is supplied by this CGC unit, all of the modes in "halt" state are available. When external clock is provided on the CLKIN pin, XTAL1 is not left open (tied to "0" or "1") to avoid meta-stable conditions to minimize power consumption.



such as V42, and is (X32 + X26 + X23 + X22 + X16 + X12 + X11 + X10 + X8 + X7 + X5 + X4 + X2 + X + 1). Upon Power-on Reset, this bit is cleared to 0.

Evaluation Mode

The IFC has a built evaluation (or development) mode feature which allows the users to utilize standard Z80 development systems conveniently. This mode virtually replaces the on-chip Z80 CPU with the external CPU. In this mode, the on-chip CPU is electrically disconnected from internal bus and all 3-state signals (A15-0, D7-0, /MREQ, /IORQ, /RD, /WR, /HALT, /M1 and /RFSH; for C13/C15, /BUSREQ as well) are tri-stated, or changed to input. This allows the development system CPU to take over and use the internal I/O registers of the IFC exactly as if the CPU was on-chip.

Z84013/015 Only. When this signal is active, the /M1, /HALT and /RFSH pins are put in the high-impedance state. In using the Z84013/015 as an evaluator chip, the CPU is electrically disconnected (put in high-impedance state) after one machine cycle is executed with the EV signal being "1" and the /BUSREQ signal being "0". Then, on-chip resources can be accessed from the outside. /BUSACK is disconnected by an externally connected circuit.

Z84C13/C15 Only. If the EV pin is tied to Vcc on Power-up, the Z84C13/C15 enters into an evaluation mode. In this mode, the internal CPU is immediately disconnected from the internal bus and all 3-state signals mentioned above are tri-stated, or changed to input. Note that the /WAIT pin became the OUTPUT pin in EV mode, and the Wait State Generator generates wait states only as programmed. If the target application board has a separate wait state generator, modification of the target may be required. /BUSACK is 3-stated in this mode.

The Z84C13/C15 behaves similarly to the situation where in regular operation, the /BUSREQ signal is asserted by an external master causing all 3-state signals to be tri-stated by the Z84C13/C15 during T1 of the following machine cycle. The /BUSREQ approach was not used for the evaluation mode to avoid significant external circuitry to work around the time period before the external CPU uses the bus for Z84C13/C15 accesses.

power-up, and boundary address is undefined. These features are controlled via the I/O control registers located at I/O address EEH and EFH. Note that a glitch may be observed on these pins because address decode logic is decoding only A15-A12, without any control signals. For more detail, please refer to the "Programming section."

Other functional features (Z84C13/C15 Only)
For more system design flexibility, the Z84C13/C15 has the following unique features. These features are controlled by MCR (Misc. Control Register) which is indirectly accessed via the System Control Register Pointer (SCRP, I/O address EEH) and System Control Data Port (SCDP, I/O address EFH). For more details, please refer to the "Programming" section.

- Clock Divide-by-one option
- Reset Output Disable
- 32-bit CRC Generation/Checking

Clock Divide-by-One Option. This feature is programmed through Bit D4 of MCR. Upon Power-On reset, the Clock from on-chip CGC is passed through a divide-by-two circuit. By setting this bit to one, the divide-by-two circuit is bypassed so the clock on the CLKOUT pin is equal to X-tal input. If the clock is applied to the CLKIN pin from external clock source, the status of this bit is ignored. Upon Power-on Reset, it is cleared to 0. For details, please refer to "Programming" section.

Reset Output Disable. This feature is programmed by Bit D3 of MCR. If this bit is cleared to "0", the /RESET pin becomes "Open-drain output" and is driven to "0" for 16-clock cycles from the falling edge of /RESET input. This feature is for the cases where /RESET is used to get out from the "HALT" state. If this bit is set to one, the on-chip reset circuit will not drive /RESET pin.

32-bit CRC Generation/Checking. This feature is programmed by Bit D2 of MCR. By setting this bit to one, Channel A of SIO is set to use the 32-bit CRC generator/checker instead of the original 16-bit CRC generator/checker in synchronous communication modes. The protocol to be used in this mode is the one for the protocols

PROGRAMMING

I/O address assignment

The PC's on-chip peripherals' I/O addresses are listed in Table 1. They are fully decoded from A7-A0 and have no image. The registers with Z84C13/C15 located at I/O Address

2

The Wait State Control Register can be programmed to generate multiple Wait states during different CPU cycles listed as follows.

Memory Wait and Opcode wait. The Wait State Generator can put 0 to 3 wait states in memory accesses. Additionally, one added wait state can be inserted during an /M1 (Opcode fetch) cycle, because /M1 cycle's timing requirement is tighter than memory Read/Write cycles. It generates wait states to the Memory Access in a specified address range, which is programmed in the Memory Wait Boundary Register.

I/O Wait. The Wait State generator can put 0, 2, 4 or 6 wait states in I/O accesses. Regardless of the programming of this field, no I/O wait states are inserted for accesses to on-chip peripherals.

Interrupt Vector Wait. During Interrupt acknowledge cycle, the Wait State Generator can insert one wait state after /IORQ goes active, to extend the time between /IORQ fall to vector fetch by CPU. It allows a slow vector response device.

Interrupt Daisy Chain Wait and RETI sequence extension. During Interrupt acknowledge cycle, the Wait State Generator can insert 0, 2, 4 or 6 wait states between /M1 falling to /IORQ falling edge, to extend the time required to settle daisy chain. This allows a longer daisy chain. Also, this field controls the number of wait states inserted during RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, Wait State Generator also inserts wait states during RETI fetch sequence. This sequence is generated with two op-code fetch cycles (Op-code is EDH followed by 4Dh). It inserts 2 or 4 wait states, respectively, if op-code followed by EDH is 4Dh. One wait state if the following op-code is not 4Dh.

Chip Select Signals (Z84C13/C15 Only)
The Z84C13/C15 has an enhanced feature of adding two chip select (/CS0, /CS1) pins. Both signals are originally I/O test pins (ICT) on the Z84013/015. The boundary value for each Chip Select Signal is 4 bits wide, and compare with A15-A12 of the address. Each Chip Select Signal goes active when:

- /CS0: (D3-D0 of CSBR) ≥ A15-A12 ≥ 0
- /CS1: (D7-D4 of CSBR) ≥ A15-A12 ≥ (D3-D0 of CSBR)

(Where CSBR is the contents of Chip Select Boundary Register.)

There is also a separate /CS enable bit. /CS0 is enabled on power-up with a boundary value of "F" causing /CS0 to go active for all memory accesses. /CS1 is disabled on

Recommended characteristics of the crystal and the values for the capacitor are as follows (the values will change with crystal frequency).

- Type of crystal: Fundamental, parallel type crystal (AT cut is recommended)
- Frequency tolerance: Application dependent
- CL, Load capacitance: Approximately 22pF (acceptable range is 20-30pF)
- Rs, equivalent-series resistance: ≤ 150 ohms
- Drive level: 10mW (for ≤ 10MHz crystal); 5mW (for ≥ 10MHz crystal)
- $C_N = C_{OUT} = 33pF$

Power-On Reset Logic Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Power-on Reset Circuit. During the power-up sequence, the open-drain gate of the on-chip power-on Reset circuit drives /RESET pin to "0" for 25 to 75 msec after the power supply passes through approx. 2.2V. After the termination of the "Power-on Reset" cycle, the open-drain gate of the on-chip Power-on Reset circuit stops to drive the /RESET pin. It is required to have external pull-up resistor on the /RESET pin.

If it receives /RESET input from outside after the power-on sequence and while the Reset Output Disable bit in Misc Control Register is cleared to "0", it will drive the /RESET pin for 16-processor clock cycles from the falling edge of the external /RESET input. Otherwise, the /RESET pin must be kept in the active state for a period of at least 3 system clock cycles.

If there are power-on reset circuits outside of this device, drive this pin with OPEN-DRAIN type gates with pull-up resistors because /RESET signal is driven low for the period mentioned above during the Power-on sequence. If the external Power-on Reset circuit has push-pull type drivers and they drive the /RESET pin to "1" during that period, it may cause damage. In particular, when using Z84C13/C15 in the Z84013/015 socket, modification may be required on the external reset circuit.

Wait State Generator Unit (Z84C13/C15 Only)
The Z84C13/C15 has the enhanced feature of a Wait State Generator circuit. It is capable of generating /WAIT signals to the CPU internally. The status of the External /WAIT input line is sampled after the insertion of software wait states, except for the wait state's insertion of Interrupt Daisy Chain Wait (for this cycle, insertion of a wait state is not simple).



Table 1. I/O Control Register Address

Address	Device	Channel	Register
10h	CTC	Ch 0	Control Register
11h	CTC	Ch 1	Control Register
12h	CTC	Ch 2	Control Register
13h	CTC	Ch 3	Control Register
18h	SIO	Ch. A	Data Register
19h	SIO	Ch. A	Control Register
1Ah	SIO	Ch. B	Data Register
1Bh	SIO	Ch. B	Control Register
1Ch	PIO	Port A	Data Register (Not with Z84x13)
1Dh	PIO	Port A	Command Register (Not with Z84x13)
1Eh	PIO	Port B	Data Register (Not with Z84x13)
1Fh	PIO	Port B	Command Register (Not with Z84x13)
F0h	Watch-Dog Timer		Master Register (WDTMR)
F1h	Watch-Dog Timer		Control Register (WDTCR)
F4h	Interrupt Priority Register		
EEh			System Control Register Pointer (SCRPP) (Not with Z84013/015)
EFh			System Control Data Port (SCDP) (Not with Z84013/015)
	Through SCRPP and SCDP		Control Register 00 - Wait State Control register (WCR)
			Control Register 01 - Memory Wait state Boundary Register (MWBRR)
			Control Register 02 - Chip Select Boundary Register (CSBR)
			Control Register 03 - Misc. Control Register (MCR)

PIO REGISTERS

For more detailed information, please refer to the PIO Technical Manual. These registers are not in the Z84x13.

Interrupt Vector Word

The PIO logic unit is designed to work with the Z80 CPU in interrupt Mode 2. The interrupt word must be programmed if interrupts are used. Bit D0 must be a zero (Figure 11).

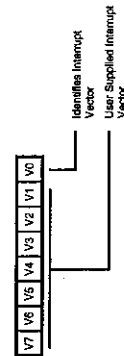


Figure 11. PIO Interrupt Vector Word

Mode Control Word
Selects the port operating mode. This word is required and is written at any time (Figure 12).

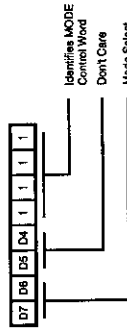


Figure 12. PIO Mode Control Word

I/O Register Control Word
When Mode 3 is selected, the Mode Control Word is followed by the I/O Register Control Word. This word configures the I/O register, which defines which port lines are inputs or outputs. A "1" indicates input while a "0" indicates output. This word is required when in Mode 3 (Figure 13).

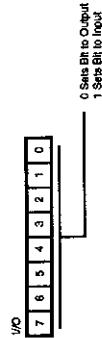
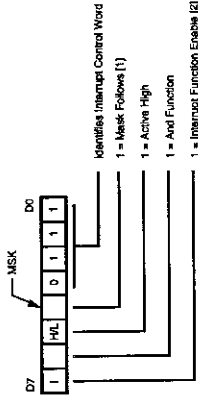


Figure 13. I/O Register Control Word

Interrupt Control Word
In Mode 3 operation, handshake signals are not used. Signals are generated as a logic function of the input signal levels. The Interrupt Control Word sets the logic conditions and the logic levels required for generating an interrupt. Two logic conditions or functions are available: AND (if all input bits change to the active level, an interrupt is triggered), OR (if any one of the input bits change to the active logic level, an interrupt is triggered). The user can program which input bits are to be considered as part of

this logic function. Bit D6 sets the logic function, bit D5 sets the logic level, and bit D4 specifies a mask control word to follow (Figure 14).



Note:
[1] Regardless of the operating mode, setting Bit D4 = 1 causes any pending interrupts to be cleared.
[2] The port interrupt is not enabled until the interrupt function enable is followed by an active INT.

Figure 14. Interrupt Control Word

Mask Control Word
This word sets the mask control register, thus allowing any unused bits to be masked off. If any bits are to be masked, then bit D4 of the Interrupt Control Word is set. When bit D4 of the Interrupt Control Word is set, then the next word programmed is the Mask Control Word. To mask an input bit, the corresponding Mask Control Word bit is a "1" (Figure 15).

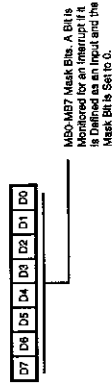


Figure 15. Mask Control Word

Interrupt Disable Word

This word can be used to enable or disable a port's interrupts without changing the rest of the port's interrupt conditions (Figure 16).



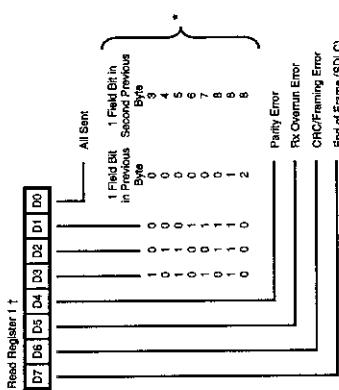


Figure 19. CTC Interrupt Vector Word

SIO REGISTERS

For more detailed information, refer to the SIO Technical Manual.

Read Registers. The SIO channel B contains three read registers while channel A contains only two that are read to obtain status information. To read the contents of a register (rather than RRO), the program must first write a pointer to WRO in exactly the same manner as a write operation. The next I/O read cycle will place the contents of the selected read registers onto the data bus (Figure 20a, b, c).

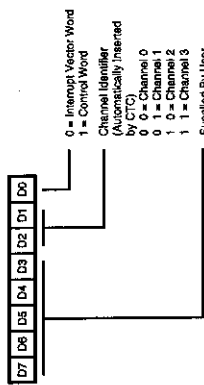


Figure 20a. SIO Read Register 0

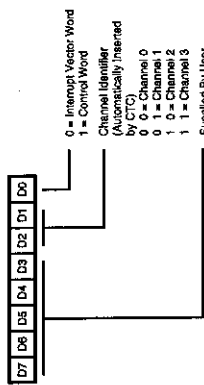


Figure 20b. SIO Read Register 1

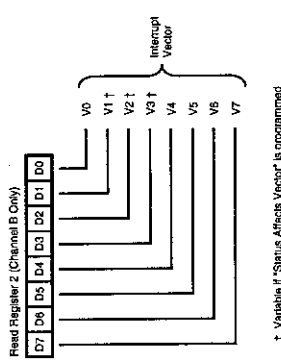


Figure 20c. SIO Read Register 2

Write Registers. The SIO Channel B contains eight write registers while Channel A contains only seven that are programmed to configure the operating mode characteristics of each channel. With the exception of WRO, programming the write registers is a two step operation. The first operation is a pointer written to WRO which points to the selected register. The second operation is the actual control word that is written into the register to configure the SIO channel (Figure 21).

2

- Bit D6. Mode Bit. This bit selects either Timer Mode or Counter Mode.
- Bit D5. Prescaler Factor. This bit selects the prescaler factor for use in the timer mode. Either divide-by-16 or divide-by-256 is available.
- Bit D4. Clock/Trigger Edge Selector. This bit selects the active edge of the CLK/TRG input pulses.
- Bit D3. Timer Trigger. This bit selects the trigger mode for timer operation. Either automatic or external trigger may be selected.
- Bit D2. Time Constant. This bit indicates that the next word programmed is time constant data for the downcounter.
- Bit D1. Software Reset. Writing 1 to this bit indicates a software reset operation, which stops counting activities until another time constant word is written.

Time Constant Word
Before a channel starts counting, it must receive a time constant word. The time constant value is anywhere between 1 and 256, with "0" being accepted as a count of 256 (Figure 18).

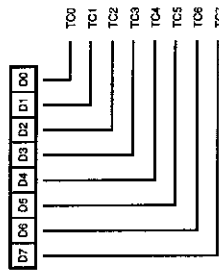


Figure 18. CTC Time Constant Word

Interrupt Vector Word
If one or more of the CTC channels have interrupt enabled, then the Interrupt Vector Word must be programmed. Only the five most significant bits of this word are programmed, and bit D0 must be "0". Bits D2-D1 are automatically modified by the CTC channels when it responds with an interrupt vector (Figure 19).

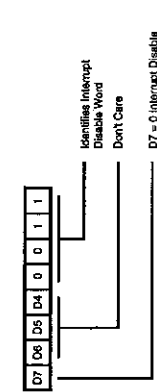


Figure 16. Interrupt Disable Word

CTC CONTROL REGISTERS

For more detailed information, refer to the CTC Technical Manual.

Channel Control Word
This word sets the operating modes and parameters as described below. Bit D0 is a "1" to indicate that this is a Control Word (Figure 17).

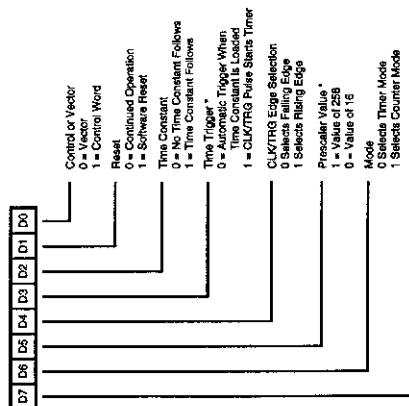


Figure 17. CTC Channel Control Word

Bit D7. Interrupt Enable. This bit enables the interrupt logic so that an internal INT can be generated at zero count. Interrupts are programmed in either mode and may be enabled or disabled at any time.



Clearing the WDT. The WDT can be cleared by writing "4Eh" into the WDTCR.

Watch Dog Timer Master Register (WDTMR). This register controls the activities of the Watch Dog Timer and selects power-down mode of operation (Figure 22).

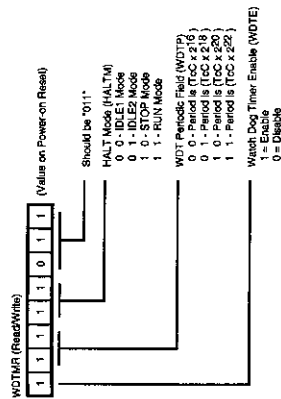


Figure 22. Watch Dog Timer Master Register

Bit D7. Watch Dog Timer Enable (WDTE). This bit controls the activities of Watch Dog Timer. The WDT can be enabled by setting this bit to "1". To disable WDT, write "0" to this bit followed by writing "B1h" in the WDT Command Register. Watch Dog Timer Logic has a "double key" structure to prevent the WDT disabling error, which may lead to the WDT operation to stop, due to program runaway. Upon Power-on reset, this bit is set to "1" and the WDT is enabled.

Bit D6-D5. WDT Periodic field (WDTP). This two bit field determines the desired time period. Upon Power-on reset, this field sets to "11".

- 00 - Period is (TCC * 2⁸)
- 01 - Period is (TCC * 2¹⁴)
- 10 - Period is (TCC * 2²⁰)
- 11 - Period is (TCC * 2²⁶)

Bit D4-D3. HALT mode (HALTM). This two bit field specifies one of four power-down modes. To change this field, write "DBh" to the WDT command register, followed by a write to this register. For detailed descriptions of this field, please refer to the section "Mode of operations". Upon Power-on Reset, this field is set to "11", which specifies "RUN mode".

- 00 - IDLE 1 Mode
- 01 - IDLE 2 Mode
- 10 - STOP Mode
- 11 - RUN Mode

Bit D2-D0. Reserved. These three bits are reserved and should always be programmed as "011". A read to these bits returns "011".

Watch Dog Timer Command Register (WDTCR). I/O address F1h). In conjunction with the WDTMR, this register works as a "Second key" for the Watch Dog Timer. This register is write only (Figure 23).

Write B1h after clearing WDTE to "0" - Disable WDT.
Write 4Eh - Clear WDT.
Write DBh followed by a write to HALTM - Change Power-down mode.

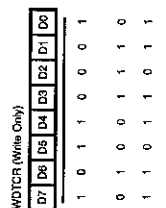


Figure 23. Watch Dog Timer Command Register

INTERRUPT PRIORITY REGISTER

This register (write only) is provided to determine the interrupt priority for the CTC, SIO and the PIO (Figure 24).

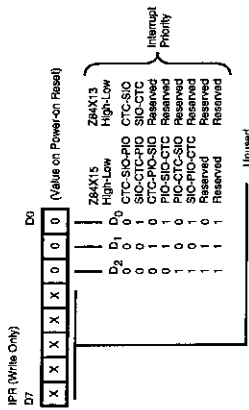


Figure 24. Interrupt Priority Register

Bit D7-D8. Unused

Bit D2-D0. This field specifies the order of the interrupt daisy chain. Upon Power-on Reset, this field is set to "000".

Z84C15		Z84C13	
High - Low	High - Low	High - Low	High - Low
000	CTC-SIO-PIO	CTC-SIO	CTC-SIO
001	SIO-CTC-PIO	SIO-CTC	SIO-CTC
010	CTC-PIO-SIO	Reserved	Reserved
011	PIO-SIO-CTC	Reserved	Reserved
100	PIO-CTC-SIO	Reserved	Reserved
101	SIO-PIO-CTC	Reserved	Reserved
110	Reserved	Reserved	Reserved
111	Reserved	Reserved	Reserved

REGISTERS FOR SYSTEM CONFIGURATION

(The following registers are not available on Z84013/D15.) There are four indirectly accessible registers to determine System configuration with the Z84C13/C15. These include accessible registers are: Wait State Control Register (WSCR, Control Register 00h), Memory Wait Boundary Register (MWBR, Control Register 01h), Chip Select Boundary Register (CSBR, Control Register 02h) and Misc. Control Register (MCR, Control Register 03h). To access these registers, Z84C13/C15 writes "register number to be accessed" to the System Control Register Pointer (SCRP, Control Register 00h).

I/O address EEh), and then accesses the target register through the System Control Data Port (SCDP, I/O address EFh). The pointer which writes into SCRP is kept until modified.

System Control Register Pointer (SCRP, I/O address EEh) This register stores the pointer to access System Control Registers (WCR, MWBR, CSBR and MCR). This register is Read/Write and it holds the pointer value until modified. Upon Power-on Reset, all bits are cleared to zero. The pointer value, other than 00h to 03h is reserved and is not written. Upon Power-on Reset, this register is set to "00h" (Figure 25).

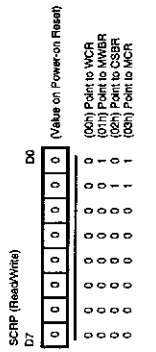


Figure 25. System Control Register Pointer

System Control Data Port (SCDP, I/O address EFh) This register is to access WCR, MWBR, CSBR and MCR (Figure 26).

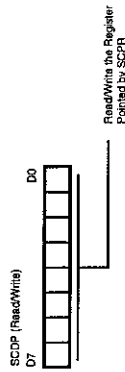


Figure 26. System Control Data Port

Wait State Control Register (WSCR, Control Register 00h) This register can be accessed through SCDP with the pointer value 00h in SCRP (Figure 27). To maintain compatibility with the Z84013/D15, the Z84C13/C15 inserts the maximum number of wait states (set all bits of this register to one) for fifteen /M1 cycles after Power-on Reset. It automatically clears the contents of this register (move to no-wait state insertion) on the trailing edge of the 16th /M1 signal unless software has programmed a value. If automatic wait state insertion is needed, the wait state is programmed within this time period. A read to WSCR during this period will return FFh, unless programmed.



D3-D0, /CS0 Boundary Address. These bits specify the boundary address range for /CS0. /CS0 is asserted if the address lines A15-12 have an address value less than or equal to the programmed boundary value. The /CS0 enable bit in the MCR must be set to 1. Upon Power-on Reset, these bits come up as all 1's so that /CS0 is asserted for all addresses.

Chip Select signals are active for the address range:

$$/CS0: (D3-D0 \text{ of CSBR}) \geq A15-A12 \geq 0$$

$$/CS1: (D7-D4 \text{ of CSBR}) \geq A15-A12 >$$

$$(D3-D0 \text{ of CSBR})$$

This register is set to "xxxx1111b" on Power-on Reset, which specifies the address range of /CS0 for "0000h to FFFFh" (all Memory location) and /CS1 "undefined."

Misc Control Register (MCR, Control Register 03h)
This register specifies miscellaneous options on this device (Figure 30).

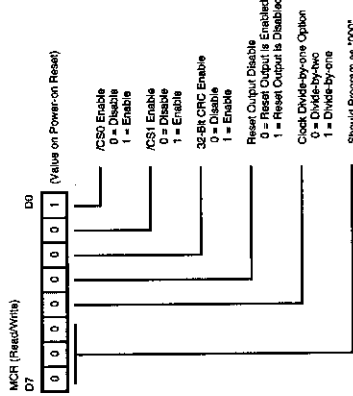


Figure 30. Misc Control Register

Bit D7-D5: Reserved. These three bits are reserved and are always programmed as "000".

Bit D4, Clock Divide-by-one option. "0"=Disable, "1"=enable. On-chip CGC unit has divide-by-two circuit. By setting this bit to one, this circuit is bypassed and CLKOUT is equal to XTAL oscillator frequency (or external clock input on the XTAL1 pin). This bit has no effect when the on-chip CGC unit is not in use and the external system clock is fed from CLKIN pin. Upon Power-on Reset, this bit is cleared to 0 and the clock is divided by two.

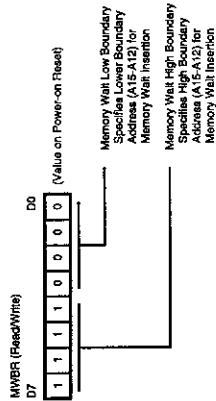


Figure 28. Memory Wait Boundary Register

Bit D7-D4, Memory Wait High Boundary. This field specifies A15-A12 of the upper address boundary for Memory Wait.

Bit D3-D0, Memory Wait Low Boundary. This field specifies A15-12 of the lower address boundary for Memory Wait.

Memory Wait states are inserted for the address range: (D7-D4 of MWBR) \geq A15-A12 \geq (D3-D0 of MWBR)

This register is set to "F0h" on Power-on Reset, which specifies the address range for Memory Wait as "0000h to FFFFh".

Chip Select Boundary Register (CSBR, Control Register 02h)
This register specifies the address range for each chip select signal. When accessed memory addresses are within this range, chip select signals are active (Figure 29).

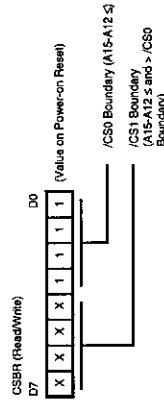


Figure 29. Chip Select Boundary Register

D7-D4, /CS1 Boundary Address. These bits specify the boundary address range for /CS1. The bit values are ignored on power-up as the /CS1 enable bit is off. The /CS1 is asserted if the address lines A15-12 have an address value greater than the programmed value for /CS0, and less than or equal to the programmed value in these bits.

2

For fifteen /M1 cycles from Power-on Reset, bits 7-6 are set to "11". They clear to "00" on the trailing edge of the 16th /M1 signal unless programmed.

Bit 5, Interrupt Vector Wait. While this bit is set to one, the wait state generator inserts one wait state after the /IORQ signal goes active during the interrupt acknowledge cycle. This gives more time for the vector read cycle. While this bit is cleared to zero, no wait state is inserted (standard timing). For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 4, Opcode Fetch Extension. If this bit is set to "1", one additional wait state is inserted during the Op-code fetch cycle in addition to the number of wait states programmed in the Memory Wait field. For fifteen /M1 cycles from Power-on Reset, this bit is set to "1", then cleared to "0" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 3-2, Memory Wait States. This 2-bit field specifies the number of wait states to be inserted during memory Read/Write transactions.

- 00 - No Wait states
- 01 - 1 Wait states
- 10 - 2 Wait states
- 11 - 3 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the 16th /M1 signal, unless programmed.

Bit 1-0, I/O Wait States. This 2-bit field specifies the number of wait states to be inserted during I/O transactions.

- 00 - No Wait states
- 01 - 2 Wait states
- 10 - 4 Wait states
- 11 - 6 Wait states

For fifteen /M1 cycles from Power-on Reset, these bits are set to "11", then cleared to "00" on the trailing edge of the 16th /M1 signal, unless programmed. For the accesses to the on-chip I/O registers, no Wait states are inserted regardless of the programming of this field.

Memory Wait Boundary Register (MWBR, Control Register 01h)

This register specifies the address range to insert memory wait states. When accessed memory addresses are within this range, the Memory Wait State generator inserts Memory Wait States specified in the Memory Wait field of WCR (Figure 28).

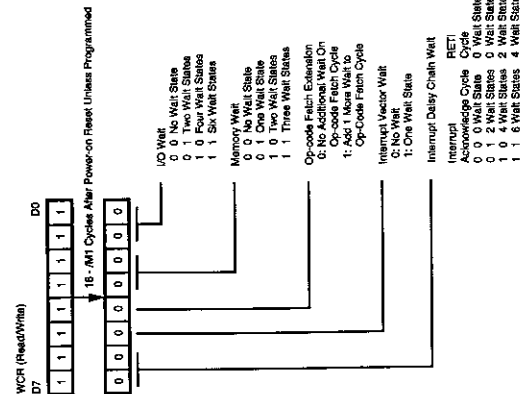


Figure 27. Wait State Control Register

This register has the following fields:

Bit 7-6, Interrupt Daisy Chain Wait. This 2-bit field specifies the number of wait states to be inserted during an interrupt Daisy Chain settle period of the Interrupt Acknowledge cycle, which is /IORQ falls after the settling period from /M1 going active "0". Also, this field controls the number of wait states inserted during the RETI (Return From Interrupt) cycle. If specified to insert 4 or 6 wait states during Interrupt Acknowledge cycle, the Wait state generator also inserts wait states during RETI fetch sequence. This sequence is formed with two op-code fetch cycles (Op-code is EDH followed by 4Dh). It inserts 1 wait state if op-code followed by EDH is NOT 4Dh, and inserts 2 or 4 wait states, respectively, if the following op-code is 4Dh.

Interrupt Acknowledge RETI cycle

- 00 - No Wait States
- 01 - 2 Wait States
- 10 - 4 Wait States
- 11 - 6 Wait States



All of the operating modes listed here are valid with crystal input (Crystal connected between XTAL1/2 or external clock input on XTAL1). For the external clock on the CLKIN pin, only the IDLE2 and RUN modes are applicable.

Table 3. Device status in Halt state
(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Mode	CGC	CPU	CTC	PIO	SIO	WDT	CLKOUT
IDLE1	0	X	X	X	X	X	X
IDLE2	0	X	X	X	X	X	0
STOP	X	X	X	X	X	X	X
RUN	0	0	0	0	0	0	0

0: Operating
x: Stop

TIMING

Basic Timing

The basic timing is explained here with emphasis placed on the halt function relative to the clock generator. The following items are identical to those for the Z84C00. Refer to the data sheet for the Z84C00.

- Operation code fetch cycle
- Memory Read/Write operation
- Input/Output operation
- Bus request/acknowledge operation
- Maskable interrupt request operation
- Non-Maskable interrupt request operation
- Reset Operation

Operation When HALT Instruction is Executed. When the CPU fetches a halt instruction in the operation code fetch cycle, /HALT goes active (Low) in synchronism with the falling edge of T4 state before the peripheral LS) and CPU stops the operation. After this, the system clock generation differs depending upon the operation mode (RUN Mode, IDLE1/2 Mode or STOP Mode). If the internal system clock is running, the CPU continues to execute NOP instruction even in the halt state.

RUN Mode (HALTM = 1). Shown in Figure 31 is the basic timing when the halt instruction is executed in RUN Mode.

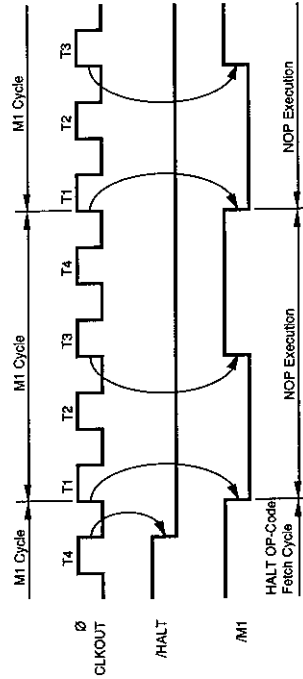


Figure 31. Timing of RUN Mode
(at Halt Instruction Command Execution)

to "1". While this bit is "1", the /CS0 carries address range specified in the CSBR. Upon Power-on Reset, this bit is set to "1".

Operation modes

There are four kinds of operation modes available for the IPC in connection with clock generation: RUN Mode, IDLE1/2 Modes and STOP Mode.

The Operation mode is effective when the HALT instruction is executed. Restart of the MPU from the stopped state under IDLE1/2 Mode or STOP mode is affected by inputting either /RESET or interrupt (/NMI or /INT). The mode selection of these power-down modes is made by programming the HALTM field (Bit D4-3) of WDTMR.

Setting Halt Mode

Duplicate control is provided to prevent the stopping of the WDT operation caused by the halt mode setting, an error due to program runaway. As described in the programming section, changing the Halt Mode field of WDTMR is in two steps. First, write "DBH" to WDTCR followed by a write to the WDTMR with the value in HALTM. Table 2 has descriptions of each mode, and Table 3 has device status in the Halt state.

Table 2. Power-down Modes

(When using on-chip CGC unit; CLKOUT and CLKIN are tied together)

Operation Mode	WDTMR		Description at HALT State
	Bit D4	Bit D3	
RUN Mode	1	1	The IPC continues the operation and continuously supplies a clock to the outside.
IDLE1 Mode	0	0	The internal oscillator's operation is continued. Clock output (CLKOUT) as well as internal clock to the CPU, PIO, SIO, CTC and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
IDLE2 Mode	0	1	The internal oscillator and the CTC's operation continues and supplies clock to the outside on the CLKOUT pin continuously. But the internal clock to the CPU, PIO, SIO and the Watch Dog Timer is stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.
STOP Mode	1	0	All operations of the internal oscillator, clock (CLK) output, internal clock to the CPU, PIO, CTC, SIO and the Watch Dog Timer are stopped at "0" level of T4 state in the halt instruction operation code fetch cycle.

2

Bit D3. Reset Output Disable. "0"-Reset output is enabled, "1"-Reset output is disabled. This bit controls the /RESET signal and is driven out when reset input is used to take the Z84C13/15 out of the "Halt" state. The reset pulse is driven out for 16-clock cycles from the falling edge of /RESET input, unless this bit is set. Upon Power-on reset, this bit is cleared to 0.

Bit D2. 32-bit CRC enable. "0"-Normal mode (16-bit CRC) "1"-32-bit CRC generation/Checking is enabled on SIO Channel A. This bit determines if the 32-bit CRC feature is enabled on Channel A of the SIO. If this bit is 0, the SIO is in a normal mode of operation. If this bit is set to 1, a normal CRC generator/checker is replaced with a 32-bit CRC generator/checker. Upon Power-on Reset, this bit is clear to "0".

Bit D1. /CS1 Enable. "0"-Disable, "1"-Enable. This bit enables /CS1 output. While this bit is "0", /CS1 is forced to "1". While this bit is "1", /CS1 carries the address range specified in the CSBR. Upon Power-on Reset, this bit is cleared to "0".

Bit D0. /CS0 Enable. "0"-Disable, "1"-Enable. This bit enables /CS0 output. While this bit is "0", /CS1 pin is forced



APPENDICE C: INDICE ANALITICO

A

ABACO® I/O BUS 3, 7, 10, 25, 45, 58
ALIMENTAZIONE 11
ALIMENTAZIONE A BASSA TENSIONE 38
ALIMENTAZIONE A BASSA TENSIONE 15
ALIMENTAZIONE DA RETE 15, 38
ALIMENTAZIONE DI BORDO 8

B

BACK UP 2
BAUD RATE GENERATOR 2, 61, 69
BIBLIOGRAFIA 76
BUZZER 3, 4, 10, 55, 63

C

CARATTERISTICHE ELETTRICHE 11
CARATTERISTICHE FISICHE 10
CARATTERISTICHE GENERALI 10
CLOCK 6
COMUNICAZIONE SERIALE 3, 46
CONFIGURAZIONE SCHEDA 6
CONNESSIONI CON IL MONDO ESTERNO 12
CONNETTORI 12
 CN1 15
 CN1&13 15
 CN10 12
 CN11 25
 CN12 24
 CN14 14
 CN2 22
 CN3 28
 CN4 16
 CN5 27
 CN6 18
 CN7 26
 CN8 14
 CN9 20
 DSW2 19
CORRENTE ASSORBITA 11
CPU 2
CTC 3, 7, 10, 12, 14, 45, 61, 65
CURRENT LOOP 2, 10, 28, 34, 46

D

DESCRIZIONE SOFTWARE 52
DESCRIZIONE SOFTWARE DELLE PERIFERICHE DI BORDO 61
DIP SWITCH 2, 6, 10, 34, 55
DISATTIVAZIONE DELLE USCITE A RELÉ 44
DISPOSITIVI DI MEMORIA 3
DSW1 45, 55, 62
DSW2 45, 55

E

EEPROM SERIALE 2, 10, 50, 58, 61
EPROM 2, 10, 50, 58, 61

F

FGDOS 52
FLASH EPROM 2, 10, 50, 58, 61
FUSIBILE 11

G

GDOS 52
GESTIONE INTERRUPTS 45
GET80 52

I

INFORMAZIONI GENERALI 2
INGRESSI DI CONFIGURAZIONE 45, 62
INGRESSI OPTOISOLATI DEL PORT A 18
INGRESSI OPTOISOLATI DEL PORT B 16
INGRESSI/USCITE GALVANICAMENTE ISOLATE 7
INPUT DI BORDO 34
INSTALLAZIONE 12
INTERFACCE PER I/O DIGITALI 36
INTERFACCIAMENTO DEGLI I/O CON IL CAMPO 34
INTRODUZIONE 1

J

JUMPERS 39
JUMPER A 5 VIE 42
JUMPERS A 2 VIE 40
JUMPERS A 3 VIE 41
JUMPERS A 4 VIE 40

L

LED 3, 35, 55
LED DI ATTIVITÀ 6, 62
LINEE DI I/O DEL PIO 4
LINEE DI I/O DEL PPI 82C55 6
LOGICA DI CONTROLLO 4

M

MAPPAGGI ED INDIRIZZAMENTI 55
MAPPAGGIO DELLE RISORSE DI BORDO 58
MAPPAGGIO DELL'I/O 56
MAPPAGGIO MEMORIE 58
MEMORY MANAGEMENT UNIT 55
MMU 4, 55, 63

O

OUTPUT A RELÉ 10

P

P1 36
PIO 2, 7, 10, 45, 61, 65
PORT B DEL PPI 82C55 45
POWER FAILURE 2, 8, 10, 45
PPI 2, 10
PPI 82C55 70
PPI 82C55 DA PORT A E C 20
PPI 82C55 DA PORT B 19
PRELIEVO TENSIONI DI ALIMENTAZIONE 24
PROCESSORE DI BORDO 7

R

RESET E WATCH DOG 44
RS 232 2, 10, 34, 46
RS 232 SU LINEA SERIALE A 26
RS 232 SU LINEA SERIALE B 27
RS 422 2, 10, 28, 34, 46
RS 485 2, 10, 28, 34, 48
RTC 7, 10, 61, 65
RUN/DEBUG 45, 62

S

SCHEDE ESTERNE 72
SEGNALAZIONI VISIVE 35
SELEZIONE MEMORIE 50
SELEZIONE TENSIONI DI ALIMENTAZIONE 38
SIO 4, 7, 45, 61, 65
SPECIFICHE TECNICHE 10
SRAM 2, 10, 50, 58, 61
SRAM TAMPONATA 2, 65

T

TASTO DI RESET 36
TENSIONE MASSIMA SUI RELÈ 11
TIMER COUNTER 4

U

USCITE A RELÈ 22, 71

V

VERSIONE SCHEDA 1

W

WATCH DOG 2, 6, 7, 10, 44, 55
WATCH DOG ESTERNO 61
WATCH DOG INTERNO 65