

PRELIMINARE DOCUMENTAZIONE
AAC 06
(Axis Acquisition Card 6 canali)

K1- CONNETTORE PER BUS ABACO®

Il connettore K1 é un connettore DIN 41612-C formato da un insieme di 64 pin con cui é possibile effettuare il collegamento della scheda con il **BUS industriale ABACO®**. Nella tabella seguente é riportato il pin-out del BUS e quindi anche del relativo connettore, con le distinzioni tra CPU a 16 bit rispetto a quelle a 8 bit e l'elenco di segnali collegati sulla scheda **AAC 06**.

A BUS a 16 bit	A BUS a 8 bit	A AAC 06	PIN	C AAC 06	C BUS a 8 bit	C BUS a 16 bit
GND	GND	GND	1	GND	GND	GND
+5 Vdc	+5 Vdc	+5 Vdc	2	+5 Vdc	+5 Vdc	+5 Vdc
D0	D0	D0	3	N.C.		D8
D1	D1	D1	4	N.C.		D9
D2	D2	D2	5	N.C.		D10
D3	D3	D3	6	N.C.	/INT	/INT
D4	D4	D4	7	N.C.	/NMI	/NMI
D5	D5	D5	8	N.C.	/HALT	D11
D6	D6	D6	9	N.C.	/MREQ	/MREQ
D7	D7	D7	10	/IORQ	/IORQ	/IORQ
A0	A0	A0	11	/RD	/RD	/RD LDS
A1	A1	A1	12	/WR	/WR	/WR LDS
A2	A2	A2	13	N.C.	/BUSAK	D12
A3	A3	A3	14	N.C.	/WAIT	/WAIT
A4	A4	A4	15	N.C.	/BUSRQ	D13
A5	A5	A5	16	/RESET	/RESET	/RESET
A6	A6	A6	17	/M1	/M1	/IACK
A7	A7	A7	18	N.C.	/RFSH	D14
A8	A8	N.C.	19	N.C.	/MEMDIS	/MEMDIS
A9	A9	N.C.	20	N.C.	VDUSEL	A22
A10	A10	N.C.	21	N.C.	/IEI	D15
A11	A11	N.C.	22	N.C.		
A12	A12	N.C.	23	N.C.	CLK	CLK
A13	A13	N.C.	24	N.C.		/RD UDS
A14	A14	N.C.	25	N.C.		/WR UDS
A15	A15	N.C.	26	N.C.		A21
A16		N.C.	27	N.C.		A20
A17		N.C.	28	N.C.		A19
A18		N.C.	29	N.C.	/R.T.	/R.T.
+12 Vdc	+12 Vdc	N.C.	30	N.C.	-12 Vdc	-12 Vdc
+5 Vdc	+5 Vdc	+5 Vdc	31	+5 Vdc	+5 Vdc	+5 Vdc
GND	GND	GND	32	GND	GND	GND

FIGURA 1: K1 - CONNETTORE PER BUS ABACO®

Legenda:

BUS a 8 bit

A0-A15	= O - Address BUS: BUS degli indirizzi.
D0-D7	= I/O - Data BUS: BUS dei dati.
INT	= I - Interrupt request: richiesta d'interrupt.
NMI	= I - Non Mascherable Interrupt: richiesta d'interrupt non mascherabile.
HALT	= O - Halt State: stato di Halt.
MREQ	= O - Memory Request: richiesta di operazione in memoria.
IORQ	= O - Input/Output Request: richiesta di operazione in Input/Output.
RD	= O - Read Cycle Status: richiesta di lettura.
WR	= O - Write Cycle Status: richiesta di scrittura.
BUSAK	= O - Bus Acknowledge: riconoscimento della richiesta di utilizzo del BUS.
WAIT	= I - Wait: attesa.
BUSRQ	= I - Bus Request: richiesta di utilizzo del BUS.
RESET	= O - Reset: azzeramento.
M1	= O - Machine cycle one: primo ciclo macchina.
RFSH	= O - Refresh: rinfresco per memorie dinamiche.
MEMDIS	= I - Memory Display: segnale emesso dal dispositivo periferico mappato in memoria.
VDUSEL	= O - VDU Selection: abilitazione per il dispositivo periferico ad essere mappato in memoria.
IEI	= I - Interrupt Enable Input: abilitazione interrupt da BUS in catene di priorità
CLK	= O - Clock: clock di sistema.
R.T.	= I - Reset Tast: tasto di reset.
+5Vcc	= I - Linea di alimentazione a +5Vcc.
+12 Vcc	= I - Linea di alimentazione a +12 Vcc.
-12 Vcc	= I - Linea di alimentazione a -12 Vcc.
GND	= - Linea di massa per tutti i segnali del BUS.

BUS a 16 bit

A0-A21	= O - Address BUS: BUS degli indirizzi.
D0-D15	= I/O - Data BUS: BUS dei dati.
RDUDS	= O - Read Upper Data Strobe: lettura del byte superiore BUS dati.
WRUDS	= O - Write Upper Data Strobe: scrittura del byte superiore BUS dati.
IACK	= O - Interrupt Acknowledge: riconoscimento della richiesta d'interrupt da parte della CPU.
RDLDS	= O - Read Lower Data Strobe: lettura del byte inferiore BUS dati.
WRLDS	= O - Write Lower Data Strobe: scrittura del byte inferiore BUS dati.

N.B.

Le indicazioni di direzionalità sopra riportate sono riferite ad una scheda di comando (CPU o GPC®) e sono mantenute inalterate in modo da non avere ambiguità d'interpretazione nel caso di sistemi composti da più schede.

CN1 - CONNETTORE D'INGRESSO CONTATORI

Il connettore CN1 é una vaschetta a 26 vie ad alta densita, femmina, a 90 gradi.

E' posto sulla parte frontale della scheda e viene usato per collegare gli ingressi dei sei contatori, ognuno dei quali é provvisto di tre segnali in optoisolati, di tipo NPN.

L'alimentazione di questi ingressi può essere a +12 Vcc oppure a +24 Vcc a seconda della configurazione di una serie di jumper, come descritto nei paragrafi successivi.

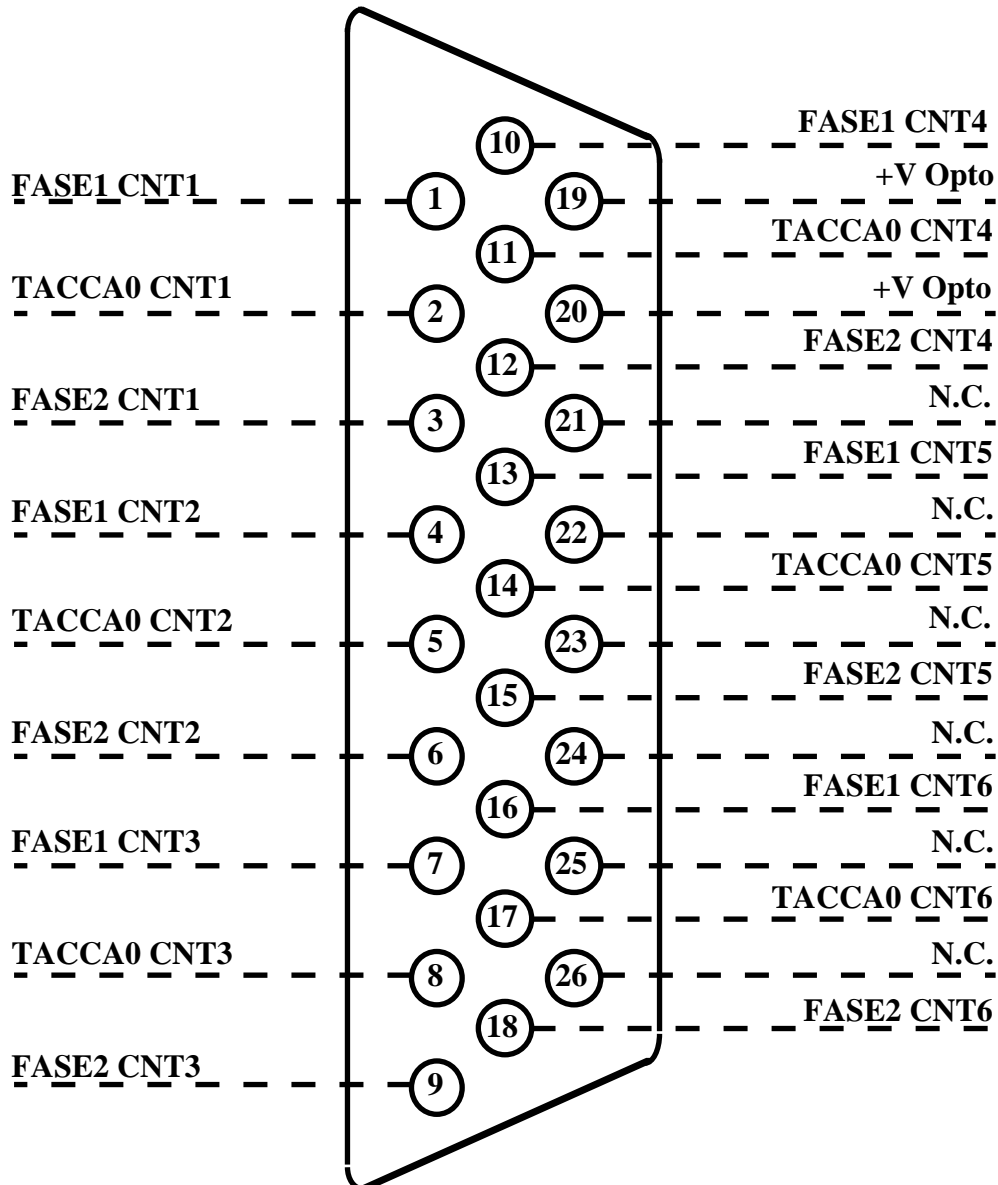


FIGURA 2: CN1 CONNETTORE D'INGRESSO CONTATORI

Legenda:

- FASE1 CNTn = I - Ingresso fase 1 del contatore n.
 FASE2 CNTn = I - Ingresso fase 2 del contatore n.
 TACCA0 CNTn = I - Ingresso fase di azzeramento contatore n.
 +V Opto = I - Ingresso tensione galvanicamente isolata di alimentazione ingressi optoisolati NPN.
 N.C. = - Non connesso.

JUMPER

In questo paragrafo verranno illustrate tutte le operazioni da compiere per il corretto utilizzo della scheda. A tale scopo é previsto un certo numero di jumper a cavaliere la cui configurazione seleziona diverse modalit  operative, come descritto nella seguente documentazione.

JUMPER	POSIZIONE	FUNZIONE
J1	1-2	La scheda gestisce il segnale /M1 presente K1 (pin 17C)
	2-3	La scheda non gestisce il segnale /M1 presente K1 (pin 17C)
J2	1-2	Collega FASE1 CNT4 al segnale di conteggio con incremento del contatore 4
	2-3	Collega FASE1 CNT4 al segnale di conteggio con discriminatore di direzione del contatore 4
J3	1-2	Collega FASE2 CNT4 al segnale di conteggio con decremento del contatore 4
	2-3	Collega FASE2 CNT1 al segnale di conteggio con discriminatore di direzione del contatore 4
J4	1-2	Collega segnale di overflow del contatore 4 al segnale di conteggio con incremento del contatore 5
	2-3	Collega FASE1 CNT5 al segnale di conteggio con incremento del contatore 5
	3-4	Collega FASE1 CNT5 al segnale di conteggio con discriminatore di direzione del contatore 5
J5	1-2	Collega segnale di underflow del contatore 4 al segnale di conteggio con decremento del contatore 5
	2-3	Collega FASE2 CNT5 al segnale di conteggio con decremento del contatore 5
	3-4	Collega FASE2 CNT5 al segnale di conteggio con discriminatore di direzione del contatore 5
J6	1-2	Collega FASE1 CNT6 al segnale di conteggio con incremento del contatore 6
	2-3	Collega FASE1 CNT6 al segnale di conteggio con discriminatore di direzione del contatore 6
J7	1-2	Collega FASE2 CNT6 al segnale di conteggio con decremento del contatore 6
	2-3	Collega FASE2 CNT6 al segnale di conteggio con discriminatore di direzione del contatore 6

J8	1-2	Collega FASE1 CNT1 al segnale di conteggio con incremento del contatore 1
	2-3	Collega FASE1 CNT1 al segnale di conteggio con discriminatore di direzione del contatore 1
J9	1-2	Collega FASE2 CNT1 al segnale di conteggio con decremento del contatore 1
	2-3	Collega FASE2 CNT1 al segnale di conteggio con discriminatore di direzione del contatore 1
J10	1-2	Collega segnale di overflow del contatore 1 al segnale di conteggio con incremento del contatore 2
	2-3	Collega FASE1 CNT2 al segnale di conteggio con incremento del contatore 2
	3-4	Collega FASE1 CNT2 al segnale di conteggio con discriminatore di direzione del contatore 2
J11	1-2	Collega segnale di underflow del contatore 1 al segnale di conteggio con decremento del contatore 2
	2-3	Collega FASE2 CNT2 al segnale di conteggio con decremento del contatore 2
	3-4	Collega FASE2 CNT2 al segnale di conteggio con discriminatore di direzione del contatore 2
J12	1-2	Collega FASE1 CNT3 al segnale di conteggio con incremento del contatore 3
	2-3	Collega FASE1 CNT3 al segnale di conteggio con discriminatore di direzione del contatore 3
J13	1-2	Collega FASE2 CNT3 al segnale di conteggio con decremento del contatore 3
	2-3	Collega FASE2 CNT3 al segnale di conteggio con discriminatore di direzione del contatore 3
J14	non connesso	Non collega carcassa metallica della vaschetta CN1 alla massa di alimentazione (GND)
	connesso	Collega carcassa metallica della vaschetta CN1 alla massa di alimentazione (GND)
J15	non connesso	Configura segnale FASE2 CNT6 per alimentazione a +24 Vcc
	connesso	Configura segnale FASE2 CNT6 per alimentazione a +12 Vcc
J16	non connesso	Configura segnale TACCA0 CNT6 per alimentazione a +24 Vcc
	connesso	Configura segnale TACCA0 CNT6 per alimentazione a +12 Vcc
J17	non connesso	Configura segnale FASE1 CNT6 per alimentazione a +24 Vcc
	connesso	Configura segnale FASE1 CNT6 per alimentazione a +12 Vcc

J18	non connesso connesso	Configura segnale FASE2 CNT5 per alimentazione a +24 Vcc Configura segnale FASE2 CNT5 per alimentazione a +12 Vcc
J19	non connesso connesso	Configura segnale TACCA0 CNT5 per alimentazione a +24 Vcc Configura segnale TACCA0 CNT5 per alimentazione a +12 Vcc
J20	non connesso connesso	Configura segnale FASE1 CNT5 per alimentazione a +24 Vcc Configura segnale FASE1 CNT5 per alimentazione a +12 Vcc
J21	non connesso connesso	Configura segnale FASE2 CNT4 per alimentazione a +24 Vcc Configura segnale FASE2 CNT4 per alimentazione a +12 Vcc
J22	non connesso connesso	Configura segnale TACCA0 CNT4 per alimentazione a +24 Vcc Configura segnale TACCA0 CNT4 per alimentazione a +12 Vcc
J23	non connesso connesso	Configura segnale FASE1 CNT4 per alimentazione a +24 Vcc Configura segnale FASE1 CNT4 per alimentazione a +12 Vcc
J24	non connesso connesso	Configura segnale FASE2 CNT3 per alimentazione a +24 Vcc Configura segnale FASE2 CNT3 per alimentazione a +12 Vcc
J25	non connesso connesso	Configura segnale TACCA0 CNT3 per alimentazione a +24 Vcc Configura segnale TACCA0 CNT3 per alimentazione a +12 Vcc
J26	non connesso connesso	Configura segnale FASE1 CNT3 per alimentazione a +24 Vcc Configura segnale FASE1 CNT3 per alimentazione a +12 Vcc
J27	non connesso connesso	Configura segnale FASE2 CNT2 per alimentazione a +24 Vcc Configura segnale FASE2 CNT2 per alimentazione a +12 Vcc
J28	non connesso connesso	Configura segnale TACCA0 CNT2 per alimentazione a +24 Vcc Configura segnale TACCA0 CNT2 per alimentazione a +12 Vcc
J29	non connesso connesso	Configura segnale FASE1 CNT2 per alimentazione a +24 Vcc Configura segnale FASE1 CNT2 per alimentazione a +12 Vcc
J30	non connesso connesso	Configura segnale FASE2 CNT1 per alimentazione a +24 Vcc Configura segnale FASE2 CNT1 per alimentazione a +12 Vcc
J31	non connesso connesso	Configura segnale TACCA0 CNT1 per alimentazione a +24 Vcc Configura segnale TACCA0 CNT1 per alimentazione a +12 Vcc
J32	non connesso connesso	Configura segnale FASE1 CNT1 per alimentazione a +24 Vcc Configura segnale FASE1 CNT1 per alimentazione a +12 Vcc

FIGURA 3: TABELLA FUNZIONI JUMPER

Il jumper J1 deve essere collegato in posizione 1-2 quando la scheda di CPU che controlla la AAC 06 é basata su CPU Z80 o compatibili, in modo da evitare malfunzionamenti soprattutto durante la gestione di interrupts da parte della stessa scheda di CPU.

La connessione dei segnali d'ingresso ai segnali di conteggio con discriminatore di direzione, consente di acquisire comodamente encoder bidirezionali, ottenendo dalla scheda una combinazione assoluta che esprime la posizione attuale dell'encoder, senza alcuna elaborazione intermedia.

La connessione dei segnali d'ingresso ai segnali di conteggio con incremento e/o decremento consente invece di realizzare contatori semplici, frequenzimetri, periodimetri, contaimpulsi in up e down, ecc.

Infine i contatori 1, 2 e 3, 4 possono essere collegati in cascata in modo da ottenere un contatore globale a 32 bit. Ad esempio per usare i contatori 1, 2 in cascata si deve:

- collegare i segnali da misurare agli ingressi del contatore 1: FASE1 CNT1, FASE2 CNT1 e TACCA0 CNT1;
- collegare i jumper J8 e J9 in posizione 1-2 o 2-3 a seconda se serve il discriminatore di direzione;
- collegare i jumper J10 e J11 in posizione 1-2 in modo che l'overflow e l'underflow del contatore 1 incrementino e decrementino il contatore 2;
- acquisire i 4 registri di conteggio ricordando che la coppia del contatore 1 costituisce i 16 bit meno significativi mentre la coppia del contatore 2 costituisce i 16 bit più significativi.

Il jumper J14 se connesso collega il GND di alimentazione con il frame metallico del connettore CN1, in modo da effettuare una schermatura sui segnali d'ingresso. Fare attenzione alla chiusura di questo jumper, infatti se il collegamento esterno non é realizzato con i dovuti criteri di immunità, potrebbe portare disturbi sull'alimentazione di tutto il sistema.

I jumper J15 +J32 se connessi consentono di lavorare con una +V Opto a 12 Vcc, viceversa se lasciati aperti consentono di lavorare con una alimentazione a +24 Vcc. Visto che sul connettore CN1 é collegabile una sola tensione +V Opto, se si devono acquisire contemporaneamente sia ingressi a +12 Vcc che +24 Vcc si deve fare attenzione a mantenere separate le masse di questi, essendo i positivi collegati assieme e quindi riportati sui pin 19 e 20 di CN1.

CONFIGURAZIONE FUNZIONAMENTO CONTATORI

La scheda AAC 06 é basata su due componenti THCT 12316 che coincidono con dei tripli contatori che possono operare in 8 diverse modalit  di funzionamento. Per dettagli su queste modalit  fare riferimento all'appendice A del manuale, mentre per la selezione della modalit  necessaria si devono configurare i tre dip switch DIP2, DIP3, DIP4 come di seguito descritto:

DIP 4.3	DIP 4.2	DIP 4.1	MODALITA'
ON	ON	ON	-> Modo 0 per contatore 1
ON	ON	OFF	-> Modo 1 per contatore 1
ON	OFF	ON	-> Modo 2 per contatore 1
ON	OFF	OFF	-> Modo 3 per contatore 1
OFF	ON	ON	-> Modo 4 per contatore 1
OFF	ON	OFF	-> Modo 5 per contatore 1
OFF	OFF	ON	-> Modo 6 per contatore 1
OFF	OFF	OFF	-> Modo 7 per contatore 1

DIP 4.6	DIP 4.5	DIP 4.4	MODALITA'
ON	ON	ON	-> Modo 0 per contatore 2
ON	ON	OFF	-> Modo 1 per contatore 2
ON	OFF	ON	-> Modo 2 per contatore 2
ON	OFF	OFF	-> Modo 3 per contatore 2
OFF	ON	ON	-> Modo 4 per contatore 2
OFF	ON	OFF	-> Modo 5 per contatore 2
OFF	OFF	ON	-> Modo 6 per contatore 2
OFF	OFF	OFF	-> Modo 7 per contatore 2

DIP 3.2	DIP 4.8	DIP 4.7	MODALITA'
ON	ON	ON	-> Modo 0 per contatore 3
ON	ON	OFF	-> Modo 1 per contatore 3
ON	OFF	ON	-> Modo 2 per contatore 3
ON	OFF	OFF	-> Modo 3 per contatore 3
OFF	ON	ON	-> Modo 4 per contatore 3
OFF	ON	OFF	-> Modo 5 per contatore 3
OFF	OFF	ON	-> Modo 6 per contatore 3
OFF	OFF	OFF	-> Modo 7 per contatore 3

DIP 2.3	DIP 2.2	DIP 2.1	MODALITA'
ON	ON	ON	-> Modo 0 per contatore 4
ON	ON	OFF	-> Modo 1 per contatore 4
ON	OFF	ON	-> Modo 2 per contatore 4
ON	OFF	OFF	-> Modo 3 per contatore 4
OFF	ON	ON	-> Modo 4 per contatore 4
OFF	ON	OFF	-> Modo 5 per contatore 4
OFF	OFF	ON	-> Modo 6 per contatore 4
OFF	OFF	OFF	-> Modo 7 per contatore 4

DIP 2.6	DIP 2.5	DIP 2.4	MODALITA'
ON	ON	ON	-> Modo 0 per contatore 5
ON	ON	OFF	-> Modo 1 per contatore 5
ON	OFF	ON	-> Modo 2 per contatore 5
ON	OFF	OFF	-> Modo 3 per contatore 5
OFF	ON	ON	-> Modo 4 per contatore 5
OFF	ON	OFF	-> Modo 5 per contatore 5
OFF	OFF	ON	-> Modo 6 per contatore 5
OFF	OFF	OFF	-> Modo 7 per contatore 5

DIP 3.1	DIP 2.8	DIP 2.7	MODALITA'
ON	ON	ON	-> Modo 0 per contatore 6
ON	ON	OFF	-> Modo 1 per contatore 6
ON	OFF	ON	-> Modo 2 per contatore 6
ON	OFF	OFF	-> Modo 3 per contatore 6
OFF	ON	ON	-> Modo 4 per contatore 6
OFF	ON	OFF	-> Modo 5 per contatore 6
OFF	OFF	ON	-> Modo 6 per contatore 6
OFF	OFF	OFF	-> Modo 7 per contatore 6

Di seguito viene riportata una breve descrizione delle 8 modalità di funzionamento riferite ai segnali disponibili su CN1.

- Modo 0: CONTATORE ad incremento o decremento dei segnali collegati a FASE1 CNTn e/o FASE2 CNT n, senza discriminatore di direzione.
- Modo 1: DISCRIMINATORE DI DIREZIONE con conteggio singolo su FASE1 CNTn con fronte di salita su un senso e fronte di discesa su senso inverso.
- Modo 2: DISCRIMINATORE DI DIREZIONE con conteggio singolo su FASE2 CNTn con fronte di salita su un senso e fronte di discesa su senso inverso.
- Modo 3: DISCRIMINATORE DI DIREZIONE con conteggio doppio su FASE1 CNTn con fronte di salita e discesa.
- Modo 4: DISCRIMINATORE DI DIREZIONE con conteggio doppio su FASE2 CNTn con fronte di salita e discesa.
- Modo 5: DISCRIMINATORE DI DIREZIONE con conteggio quadruplo su FASE1 CNTn e FASE2 CNTn, su tutti i fronti.
- Modo 6: MISURATORE DI PERIODO in cui FASE1 CNTn é il segnale di gate e FASE2 CNTn alto incrementa il contatore e viceversa se basso decrementa il contatore.
- Modo 7: MISURATORE DI FREQUENZA in cui FASE1 CNTn é la frequenza da misurare e FASE2 CNTn é il segnale di gate di durata nota; il conteggio é sincrono con FASE1 CNT n.

SEGNALAZIONI VISIVE

Nella parte frontale della scheda sono presenti due file a otto leds ciascuna che corrispondono alle due fasi e le tacche di zero dei sei canali gestiti dalla scheda **AAC 06**.

LEDs	COLORE	FUNZIONE
DL1	Rosso	Visualizza stato linea FASE1 CNT1.
DL9	Verde	Visualizza stato linea FASE2 CNT1.
DL7	Giallo	Visualizza stato linea TACCA 0 CNT1.
DL2	Rosso	Visualizza stato linea FASE1 CNT2.
DL10	Verde	Visualizza stato linea FASE2 CNT2.
DL17	Giallo	Visualizza stato linea TACCA 0 CNT2.
DL3	Rosso	Visualizza stato linea FASE1 CNT3.
DL11	Verde	Visualizza stato linea FASE2 CNT3.
DL8	Giallo	Visualizza stato linea TACCA 0 CNT3.
DL4	Rosso	Visualizza stato linea FASE1 CNT4.
DL12	Verde	Visualizza stato linea FASE2 CNT4.
DL15	Giallo	Visualizza stato linea TACCA 0 CNT4.
DL5	Rosso	Visualizza stato linea FASE1 CNT5.
DL13	Verde	Visualizza stato linea FASE2 CNT5.
DL18	Giallo	Visualizza stato linea TACCA 0 CNT5.
DL6	Rosso	Visualizza stato linea FASE1 CNT6.
DL14	Verde	Visualizza stato linea FASE2 CNT6.
DL16	Giallo	Visualizza stato linea TACCA 0 CNT6.

FIGURA 4: FUNZIONE LEDS

Si ricorda che per ogni LED l'attivazione corrisponde allo stato attivo del relativo ingresso, ovvero pin del connettore CN1 collegato alla massa di alimentazione optoisolata, ovvero il riferimento della +V Opto.

MAPPAGGIO DELLA SCHEDA

La scheda **AAC 06** occupa un indirizzamento in I/O di 16 byte consecutivi, che possono essere allocati a partire da un indirizzo di base diverso a seconda di come viene mappata la scheda. Questa prerogativa consente di poter utilizzare più schede **AAC 06** sullo stesso **BUS ABACO®**, oppure di montare la scheda su un **BUS** in cui sono presenti altre schede periferiche, ottenendo così una struttura espandibile senza difficoltà e senza alcuna modifica del software già realizzato.

L'indirizzo di mappaggio é definibile tramite l'apposita circuiteria di interfaccia al **BUS** presente sulla scheda stessa; questa circuiteria utilizza un dip switch a 4 vie, da cui preleva lo stesso indirizzo di mappaggio impostato dall'utente. Di seguito viene riportata la corrispondenza dei dip switch e le linee di indirizzo del **BUS**:

DIP1.1	->	Indirizzo A4
DIP1.2	->	Indirizzo A5
DIP1.3	->	Indirizzo A6
DIP1.4	->	Indirizzo A7

Tali dip switches sono collegati in logica negata, quindi se posto in **ON** genera uno **zero logico**, mentre se posto in **OFF** genera un **uno logico**.

Anche il jumper J1 influisce sulla logica d'indirizzamento e deve essere settato a seconda del tipo della scheda di controllo (**CPU** o **GPC®**) utilizzata. In particolare se la scheda di controllo é provvista del segnale /M1 sul connettore per il **BUS ABACO®**, allora il jumper J1 deve essere connesso in posizione 1-2 e viceversa.

A titolo di esempio vengono riportati di seguito alcuni esempi di mappaggio:

Dovendo mappare la scheda **AAC 06**, comandata da una scheda di controllo provvista del segnale /M1, all'indirizzo di mappaggio 040H, la scheda deve essere configurata come segue:

J1	->	Posizione 1-2
DIP1.1	->	ON
DIP1.2	->	ON
DIP1.3	->	OFF
DIP1.4	->	ON

Dovendo invece mappare la scheda **AAC 06**, comandata con una scheda di controllo non provvista del segnale /M1, all'indirizzo di mappaggio F0H, la scheda deve essere configurata come segue:

J1	->	Posizione 2-3
DIP1.1	->	OFF
DIP1.2	->	OFF
DIP1.3	->	OFF
DIP1.4	->	OFF

Per quanto riguarda la disposizione del dip switch, si faccia riferimento alla figura ??.

INDIRIZZAMENTO REGISTRI INTERNI

Indicando con <indbase> l'indirizzo di mappaggio della scheda, ovvero l'indirizzo impostato tramite il DIP1, come indicato nel paragrafo precedente, i registri interni della AAC 06 sono visti agli indirizzi riportati nella seguente tabella.

DISP.	REG.	INDIRIZZO	R/W	SIGNIFICATO
THCT 12316 IC8	CNT3H	<indbase>+02H	R/W	Lettura/Scrittura del byte H contatore 3
	CNT3L	<indbase>+03H	R/W	Lettura/Scrittura del byte L contatore 3
	CNT2H	<indbase>+04H	R/W	Lettura/Scrittura del byte H contatore 2
	CNT2L	<indbase>+05H	R/W	Lettura/Scrittura del byte L contatore 2
	CNT1H	<indbase>+06H	R/W	Lettura/Scrittura del byte H contatore 1
	CNT1L	<indbase>+07H	R/W	Lettura/Scrittura del byte L contatore 1
THCT 12316 IC7	CNT6H	<indbase>+0AH	R/W	Lettura/Scrittura del byte H contatore 6
	CNT6L	<indbase>+0BH	R/W	Lettura/Scrittura del byte L contatore 6
	CNT5H	<indbase>+0CH	R/W	Lettura/Scrittura del byte H contatore 5
	CNT5L	<indbase>+0DH	R/W	Lettura/Scrittura del byte L contatore 5
	CNT4H	<indbase>+0EH	R/W	Lettura/Scrittura del byte H contatore 4
	CNT4L	<indbase>+0FH	R/W	Lettura/Scrittura del byte L contatore 4

FIGURA 5: TABELLA INDIRIZZI DEI REGISTRI INTERNI

Se si utilizzano più schede sul **BUS ABACO®**, in fase di impostazione dell'indirizzo di mappaggio delle schede, si deve fare attenzione a non allocare più schede sugli stessi indirizzi (considerare per questo indirizzo di mappaggio e numero di byte occupati). Nel caso che la condizione non venga rispettata, si viene a creare una conflittualità sul BUS che pregiudica il funzionamento di tutto il sistema e delle stesse schede.

CONTATORE TRIPLO THCT 12316

Per quando riguarda la descrizione di questo triplo contatore, fare riferimento all'apposita documentazione tecnica dell'appendice A ed alla descrizione riportata nel paragrafo CONFIGURAZIONE FUNZIONAMENTO CONTATORI. Al fine di rendere completamente utilizzabili queste informazioni si ricorda che in appendice i segnali vengono chiamati con nomi diversi e che vale la seguente corrispondenza:

Ua1n	->	FASE1 CNTn
Ua2n	->	FASE2 CNTn
Ua0n	->	TACCA0 CNTn

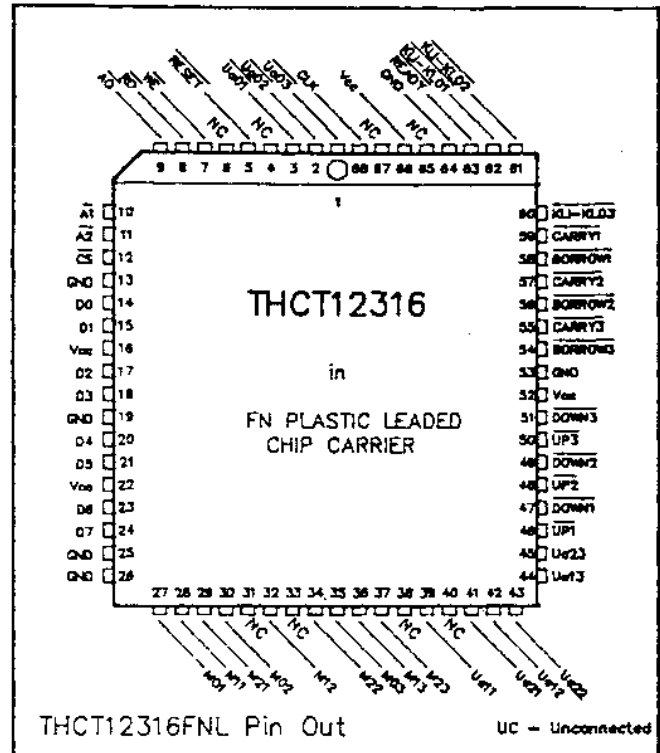
I tre contatori di tale componente possono essere gestiti eseguendo operazioni di lettura o scrittura agli indirizzi di allocazione dei registri CNTnH e CNTnL, relativi ai byte H e L del contatore **n** (1÷6).

APPENDICE A: DESCRIZIONE COMPONENTI

Smart Part™

THCT12316 TRIPLE INCREMENTAL ENCODER INTERFACE

- * Three independent channels in one compact surface mount device
- * Each channel compatible with the popular THCT2000
- * Interfaces three mechanisms/axes to data bus
- * Direction discriminators identify & measure forward/backward rotation/direction
- * Separate zero pulse input
- * Pulse width measurement
- * Frequency measurement
- * Cascadable 16-bit counters
- * TTL compatible
- * 8-bit parallel 3-state bus
- * Simple write/read procedure
- * Choice of chip carrier or flat package

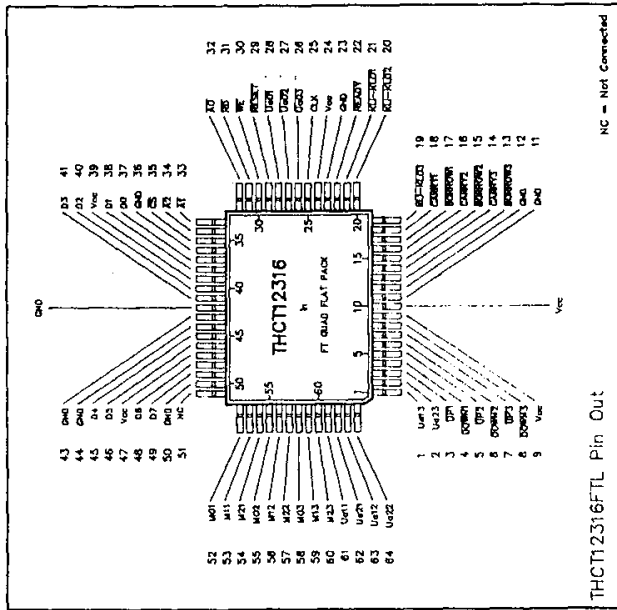


THCT12316 TRIPLE INCREMENTAL ENCODER INTERFACE

Architecture - continued

2. A 16-bit counter made up from two independently loadable 8-bit counters.
 3. A 16-bit latch which "freezes" the counter value when required
 4. A multiplexer that allows the processor to read either upper or lower byte in the latch.
- Supporting the three channels:-
- The control logic provides common microprocessor interface signals; the output multiplexer allows the processor to select data from one of the three channels and the three-state buffers place this data on the bus.
- (* throughout this data sheet signals suffixed n are repeated for each channel.)

THCT12316 TRIPLE INCREMENTAL ENCODER INTERFACE



Applications

The THCT12316 enables mechanical devices to be interfaced with microprocessors. It may be used in many diverse applications, including robotics, tracker balls (or mouse), lathes or tooling machines, automobiles, conveyor belts and transport mechanisms. Since it contains three channels each THCT12316 can support three measurements or axes of motion.

Architecture

Within each channel there are four main elements:-

1. The measurement and mode control logic generates up or down count pulses, internal signals I1 and I2, from :
 - Quadrature signals Ua1 *, Ua2 * and zero pulse Ua0n *
 - Clock input
 - Mode controls M0n *, Min *, M2n *



THCT12316 TRIPLE INCREMENTAL ENCODER INTERFACE

Operation

The eight modes of operation of the THCT12316 are summarized in Table 1. The modes of the three channels can be selected independently.

MODE	M2h	M1n	M0n	MODE DESCRIPTION
COUNTER				
0	0	0	0	16-bit up/down counter (inhibits direction discriminator).
DIRECTION DISCRIMINATOR				
1	0	0	1	Single count pulse synchronous with Ua1n rising in forward direction and Ua1n falling in backward direction.
2	0	1	0	Single count pulse synchronous with Ua2n rising in forward direction and Ua2n falling in backward direction.
3	0	1	1	Double count pulse synchronous with Ua1n rising and falling.
4	1	0	0	Double count pulse synchronous with Ua2n rising and falling.
5	1	0	1	Quadruple count pulse synchronous with all edges.
PULSE WIDTH MEASUREMENT				
6	1	1	0	Ua1n is the gate signal Ua2n is high for up counting and low for down counting. Count is synchronous with rising clock.
FREQUENCY MEASUREMENT				
7	1	1	1	Ua1n is frequency signal to be measured Ua2n is the gate signal of known time interval. Count is synchronous with rising edge of Ua1n

Table 1

THCT12316 TRIPLE INCREMENTAL ENCODER INTERFACE

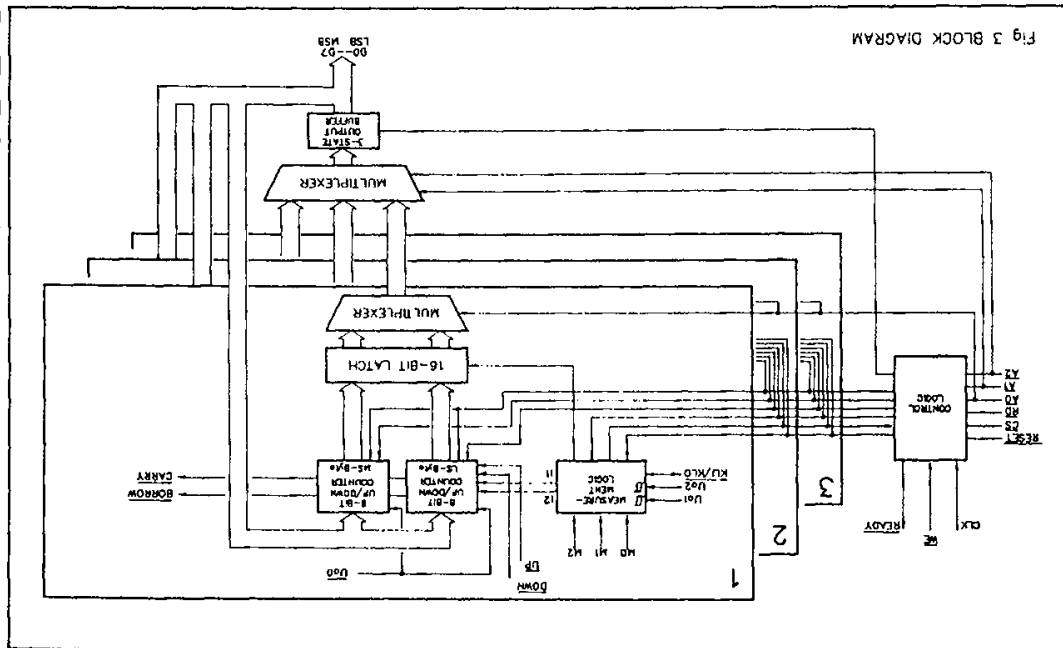


Fig. 3 BLOCK DIAGRAM



operation - continued

MODE 0: 16-BIT UP/DOWN COUNTER MODE

In this mode the THCT12316 may be used as three fast 16-bit synchronous up-/down counters with cascade capability. This is operated using the /UPn and /DOWNn inputs.

The states of the counter outputs are transferred to a 16-bit latch. The contents of this 16-bit latch are multiplexed on an 8-bit parallel data bus (D0.....D7) and enabled using /RD and /CS.

/A0 is the control input for the byte multiplexer. A high level at this input transfers the least significant byte to the data outputs; and a low level transfers the most significant byte.

The signals /A1 and /A2 select the channel for read or write according to the following table:

channel number	/A1	/A2
1	H	H
2	L	H
3	H	L
no channel selected(1)	L	L

(1) Output buffers still selected if /RD and /CS active
- data bus carries invalid data

Table 2

The up/down counters are loaded in individual 8-bit bytes by the /WR and /CS signals, with the byte selected by the /A0 input, and the channel by the /A1 and /A2 inputs. The counters and the control logic may be cleared using the /SRESET signal. The counters are cleared individually using the Ua0n signals.

Cascading to 32 bits is possible using the inputs /UPn and /DOWNn the outputs /BORROWn, /CARRYn and the input/outputs /XLI-KL0n.

MODES 1-5: DIRECTION DISCRIMINATOR MODES

The quadrature signals Ua1n and Ua2n, identify forward or backward directions. If Ua1n leads Ua2n, the forward direction is indicated and the counter will count up; if Ua1n lags Ua2n, the reverse direction is indicated and the counter will count down.

operation - continued

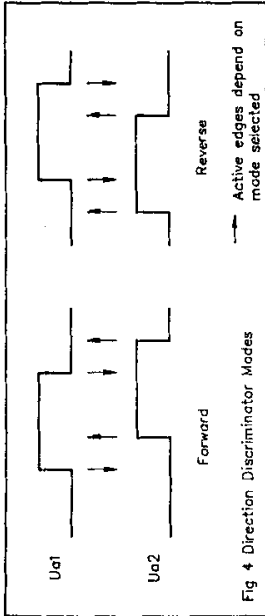


Fig 4 Direction Discriminator Modes

Ua1n and Ua2n are both stored in the first of a pair of consecutive D-type flip-flops on the clock falling edge, and transferred to the next on the clock rising edge. By comparing the states of the four flip-flops and checking the mode inputs, the up or down count pulses are generated; see figures 5 and 6.

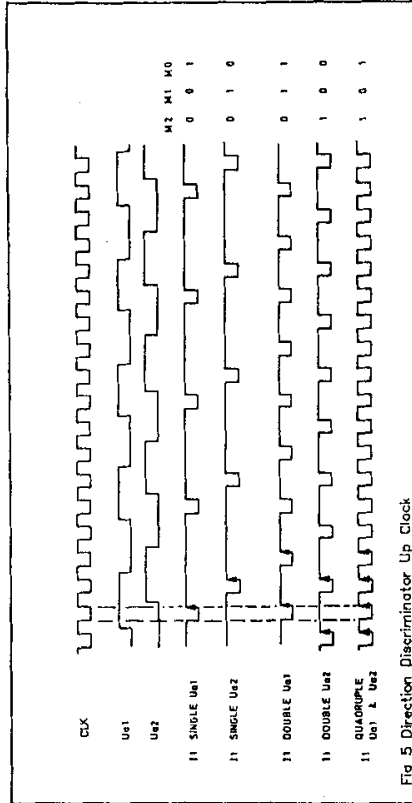


Fig 5 Direction Discriminator Up Clock



operation - continued

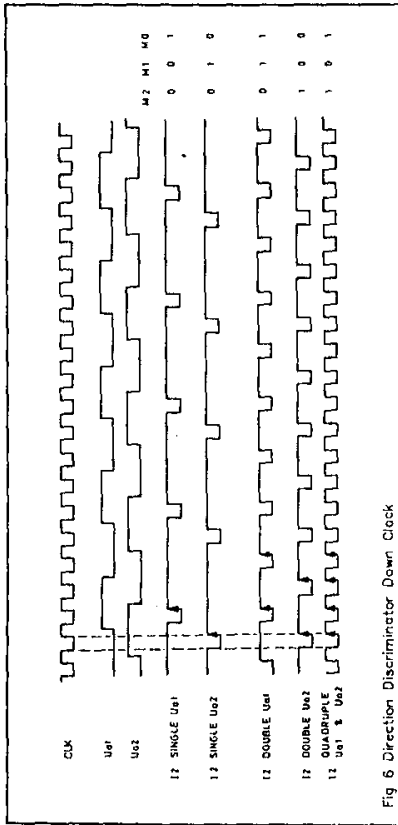


Fig 5 Direction Discriminator Down Clock

MODES 1 to 5 define which edge of the quadrature signals will be counted in accordance with Table 1.

The clock frequency should be at least four times greater than the frequencies of the quadrature signals: this will eliminate problems resulting from timing jitter in the transducer signals and will allow the quadruple counting mode to be used. The frequency of the quadrature signals, Ua1n and Ua2n may be calculated from the relationship:

$$F = \frac{\text{shaft speed}}{\text{resolution of transducer}}$$

MODE 6: PULSE WIDTH MEASUREMENT MODE

In this mode, Ua1n acts as a gate, and is the pulse width to be measured. Synchronised with the clock edge after a low to high transition in Ua1n, counting begins at the input clock frequency. Similarly, synchronised with the clock edge after a high to low transition of Ua1n, counting is disabled; the value in the counter is loaded in the output register; /KLI-KL0n is pulled low; and then the counter clears. See figure 7. If Ua2n is held high, the counter will count up, and if Ua2n is held low, the counter will count down.

Each counter can be preloaded in two bytes by activating /CS, /WE, and selecting the required byte with /A0, and the required channel with /A1 and /A2. This must be done while Ua1n is low. The output register should be read by activating /CS, /RD, and selecting the individual bytes with /A0 after Ua1n has fallen and before the next pre-load takes place.

operation - continued

The /KLI-KL0n signal may be used as an interrupt to indicate to the processor when the output register has been loaded. In both the pulse width and frequency modes, the output register will not be loaded via /CS and /RD, but by the falling edge of Ua1n, or by pulling /KLI-KL0n low.

In pulse width mode, the minimum time that can be measured is:

$$T_{min} = 2 (T_o) \quad (\text{Accuracy is } +/- T_o)$$

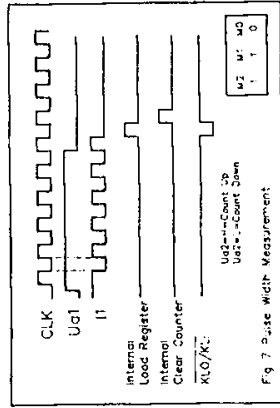


Fig 7 Pulse Width Measurement

MODE 7: FREQUENCY MEASUREMENT MODE

In Mode 7, Ua1n is the signal of unknown frequency to be measured; Ua2n is a gate signal of known width. A low to high transition of Ua2n enables counting at the frequency of Ua1n. When the gate (Ua2n) goes low, counting is disabled, the value of the counter is loaded into the output register, /KLI-KL0n is pulled low, and the counter is then cleared. See Figure 8.

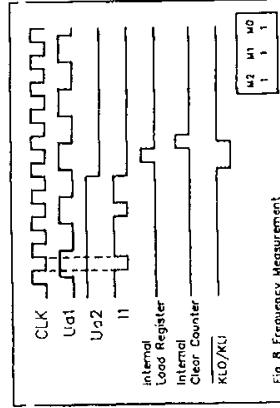


Fig 8 Frequency Measurement



operation - continued

RESET OPERATION

A total reset is initiated by pulling the /RESET pin low. This will clear the counters to zero, reset the D flip-flops at the inputs of the quadrature signals (Ua1n and Ua2n), clear the latches that inhibit the load register pulse, and load zero into the output register. To avoid a spurious count errors (+/- 1) after a reset, the Ua1n and Ua2n inputs should be held to the values indicated in Table 2 during and just after the reset pulse.

MODE	Ua1n	Ua2n
0	X	X
1-5	H	H
6-7	L	L

Table 3

CASCADING DEVICES

The /KLI-KL0n pins of all cascaded THCT12316's should be tied together, so that all of the devices load their output registers at the same time. When the 'master' generates a pulse for the other THCT12316s, /KLI-KL0n on the 'master' works as an output, and /KLI-KL0n on the 'slaves' work as inputs. The /CARRY output of one device should be tied to the /UP input of the next device in the cascade. Similarly, /BORROW should be connected to /DOWN. See 'System Application.'

READ OPERATION

A number may be preloaded into the counter by pulling /CS and /WE low while using /AO to direct the value on the data bus to the selected byte of the counter and /A1 & /A2 to select the required channel. This will cause /READY to go low on the next falling clock edge, and remain low until /CS and /WE go high. See Figure 12.

WRITE OPERATION

When in MODES 0 to 5 the contents of the counter can be read at any time by pulling /CS and /RD low. The channel is selected by using /A1 & /A2. Within this channel the most significant byte may be selected by setting /AO to low, and the least significant byte may be read by setting /AO high. This will cause a load output register pulse to be generated and /KLI-KL0n will go low during the next low clock pulse. /READY will also go low as the clock goes

WRITE OPERATION - continued

low, and will stay low until /CS and/or /RD go high. The load output register pulse stores the current value of the counter in a 16-bit latch register and /AO directs the selected byte through a multiplexer to the outputs: /CS and /RD also enable the 3-state outputs - see Figure 13. The output register will be loaded immediately. If /KLI-KL0n is pulled low externally, this signal normally comes from a cascaded device.

For Modes 6 & 7 see the earlier description of these modes.

Configuration

Special consideration should be paid to the automatic configuration features of the THCT12316. The purpose of these features is to allow for the different order of byte reads (high then low or low then high) of different processors when doing a word read across a byte wide bus and also to configure cascaded devices automatically for correct word read sequence - see below.

Byte order configuration-

After a system reset has occurred, the first read operation will store the value of /AO in a latch within the device. From that time until the next system reset the load output register pulse during a read operation will only be generated if /AO is this stored value. This means that the internal load output register pulse is correctly generated for word operations regardless of the byte order of the particular processor. Special care should be taken if reading individual bytes to ensure these operations are always done in a consistent order.

Cascaded configuration-

After a system reset the first device and channel to receive a read operation configures itself into "Master" mode and outputs a pulse on /KLI-KL0. In cascaded operation the /KLI-KL0 pins of the cascaded channels are connected together and the input pulse on /KLI-KL0 of the cascaded channels configures these to "Slave" mode. On all subsequent read operations the load output register pulse is only generated by the "Master" channel (for the appropriate polarity of /AO, as noted above) and this is fed to the "Slave" devices via the /KLI-KL0 connection.

Special care should be taken when cascading devices or channels to always read in the same channel order, as well as the byte order already mentioned. To freeze all three channels with a single read cycle (in cascaded or non-cascaded mode) the /KLI-KL0 pins of all channels are connected with a pull-up resistor to Vcc (see Systems Application). This ensures that only one channel is operating as the "Master" and all others are "Slaves".

If an external "freeze" of the positioning system is required, and external /KLI-KL0 pulse will program all channels as slaves. This is derived by generating an external /KLI-KL0 pulse before the first read cycle appears after system reset (See Design Checklist).



THCT12316 TRIPLE INCREMENTAL ENCODER INTERFACE

Pin Description - continued

Pin Name	Pin Number	I/O	Description
	68		
	PLCC		
	QFP		
Ua13	44	1	Input
Ua12	42	63	Measuring input signals (Schmitt characteristics)
Ua11	39	61	"
Ua23	45	2	"
Ua22	43	64	"
Ua21	41	62	"
/Ua01	3	28	Input
/Ua02	2	27	Zero pulse. When active (low), the counter in the appropriate channel is cleared. Other logic is not affected.
/Ua03	1	26	"
CLK	68	25	Input
			Clock. Used for internal synchronisation and control timing.
/A0	9	32	Input
			Byte select. A high level selects the least significant byte. A low level selects the most significant byte
/A1	10	33	Input
/A2	11	34	Input
			Channel select. See Table 2.
/RESET	5	29	Input
			Device reset. When active (low), the control logic is reset to a known state and the counter is cleared.
/WE	7	30	Input
			Write enable. When /WE and /CS are active (low), the data that is on the bus is loaded into the counter address -ed by IA0, IA1 and IA3.
/DOWN1	47	4	
/DOWN2	49	6	Input
/DOWN3	51	8	
			Cascade input for counting down.
/UP1	46	3	
/UP2	48	5	Input
/UP3	50	7	
			Cascade input for counting up.
Vcc	16,22, 52,66	9,10, 24,39, 47	
			Power supply voltage 5V +/- 10%.
GND	13,19,25, 53,64	11,12,23,36 42,43,44,50	
			Ground.

THCT12316 TRIPLE INCREMENTAL ENCODER INTERFACE

Pin Description

Pin Name	Pin Number	I/O	Description
	68		
	PLCC		
	QFP		
/CS	12	35	Input
			Chip Select. A low enables the device.
/RD	8	31	Input
			Read. When this and /CS are active(low), the data from the output register will be present on the data bus.
D0	14	37	LSB
.	15	38	Input/
.	17	40	Output
.	18	41	Data Bus Buffer: 8-Bit Bi-directional buffer with 3-state outputs connected to the microprocessor system.
.	20	45	
.	21	46	
.	23	48	
.	24	49	MSB
/BORROW1	58	17	
/BORROW2	56	15	Output
/BORROW3	54	13	Counter underflow signal
/CARRY1	59	18	
/CARRY2	57	16	Output
/CARRY3	54	14	Counter overflow signal
/KLI-KL01	62	21	Input/
/KLI-KL02	61	20	Output
/KLI-KL03	60	19	Cascade load input/cascade load output. Open drain output with internal 95uA(nom) pull-up. External pull-up required for full speed operation.
/READY	63	22	Output
			When low signal indicates to the MPU that read or write may be completed. /READY falling edge synchronous with CLK Open drain output needs external pull-up.
M21	29	54	Input
M11	28	53	"
M01	27	52	"
M22	34	57	"
M12	32	56	"
M02	30	55	"
M23	37	60	"
M13	36	59	"
M03	35	58	"
			Mode select inputs (see Table 1)



